



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년09월18일

(11) 등록번호 10-2157671

(24) 등록일자 2020년09월14일

- (51) 국제특허분류(Int. Cl.)  
**G11C 11/413** (2006.01) **G11C 11/412** (2006.01)  
**G11C 7/12** (2006.01)  
 (52) CPC특허분류  
**G11C 11/413** (2013.01)  
**G11C 11/412** (2013.01)  
 (21) 출원번호 10-2019-0029171  
 (22) 출원일자 2019년03월14일  
 심사청구일자 2019년03월14일  
 (56) 선행기술조사문헌  
 Y.W. Chiu et al., 'A 40nm 0.32V 3.5MHz 11T single-ended bit-interleaving subthreshold SRAM with data-aware write-assist', ISLPED 2013, 4-6 Sept. 2013.

- (73) 특허권자  
**연세대학교 산학협력단**  
 서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
 (72) 발명자  
**정성욱**  
 서울특별시 서대문구 연세로 50, 제3공학관 C513호(신촌동, 연세대학교)  
**조건희**  
 서울특별시 서대문구 연세로 50, 제3공학관 C421호(신촌동, 연세대학교)  
 (뒷면에 계속)  
 (74) 대리인  
**김연권**

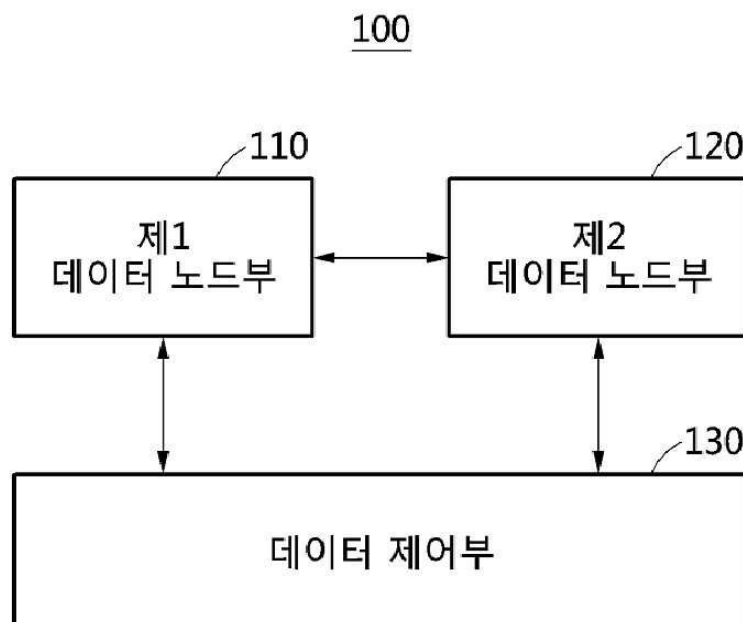
전체 청구항 수 : 총 9 항

심사관 : 손윤식

(54) 발명의 명칭 **단일 비트 라인을 이용하는 메모리 장치 및 그 제어 방법****(57) 요약**

본 발명은 라이트 동작에서 복수의 패스 게이트 트랜지스터 및 접근 트랜지스터를 이용하여 라이트 성능을 향상하고, 라이트 동작을 복수의 단계로 구분하여 수행하여 하프 선택 셀과 관련된 라이트 성능 저하를 방지하는 기술에 관한 것으로, 본 발명의 일실시예에 따른 단일 비트 라인을 이용하는 메모리 장치는 제1 데이터 노드에 연

(뒷면에 계속)

**대표도** - 도1

결된 트랜지스터들 중 어느 하나의 동작을 제어하여 상기 제1 데이터 노드에 대한 피드백 전압을 제어하는 제1 데이터 노드부, 제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드로부터의 구동 전압이 상기 제2 데이터 노드로 전달되는 것을 제어하는 제2 데이터 노드부 및 단일 비트 라인 및 상기 제1 데이터 노드에 연결된 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드와 상기 제2 데이터 노드에서의 홀드 동작, 리드 동작 또는 라이트 동작을 제어하는 데이터 제어부를 포함할 수 있다.

(52) CPC특허분류

**G11C 7/12** (2013.01)

(72) 발명자

**박주현**

서울특별시 서대문구 연세로 50, 제3공학관 C421호(신촌동, 연세대학교)

**오태우**

서울특별시 서대문구 연세로 50, 제3공학관 C421호(신촌동, 연세대학교)

이 발명을 지원한 국가연구개발사업

과제고유번호	10052716
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	[RCMS]스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발(4/5)
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2018.04.01 ~ 2019.01.31

---

## 명세서

### 청구범위

#### 청구항 1

제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나의 동작을 제어하여 상기 제1 데이터 노드에 대한 피드백 전압을 제어하는 제1 데이터 노드부;

제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드로부터의 구동 전압이 상기 제2 데이터 노드로 전달되는 것을 제어하는 제2 데이터 노드부; 및

단일 비트 라인 및 상기 제1 데이터 노드에 연결된 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드와 상기 제2 데이터 노드에서의 홀드 동작, 리드 동작 또는 라이트 동작을 제어하는 데이터 제어부를 포함하고,

상기 제1 데이터 노드부는, 상기 제1 데이터 노드, 제1 풀업 트랜지스터, 상기 제1 데이터 노드 및 상기 제1 풀업 트랜지스터에 연결된 제2 풀업 트랜지스터, 상기 제1 데이터 노드에 연결된 제1 풀다운 트랜지스터 및 상기 제1 풀업 트랜지스터 및 상기 제1 풀다운 트랜지스터에 연결된 제2 풀다운 트랜지스터를 포함하고, 상기 제2 풀업 트랜지스터 또는 상기 제1 풀다운 트랜지스터의 동작을 제어하여 상기 피드백 전압을 제어하며,

상기 제2 데이터 노드부는, 상기 제2 데이터 노드, 상기 제1 데이터 노드 및 상기 제2 데이터 노드에 연결된 제3 풀업 트랜지스터, 상기 제1 데이터 노드 및 상기 제2 데이터 노드에 연결되는 제3 풀다운 트랜지스터 및 상기 제2 데이터 노드 및 상기 제3 풀다운 트랜지스터에 연결된 상기 접근 트랜지스터를 포함하고,

상기 제3 풀업 트랜지스터는, 상기 제어된 리드 동작 및 상기 제어된 라이트 동작에서 워드 라인 신호(WLB)에 기초하여 턴 오프되어 상기 제2 데이터 노드의 데이터를 보호하며,

상기 접근 트랜지스터는, 상기 제어된 리드 동작에서 워드 라인 신호(WWL)에 기초하여 턴 오프되어 상기 제2 데이터 노드의 데이터를 보호하거나 상기 제어된 라이트 동작에서 워드 라인 신호(WWL)에 기초하여 턴 온되어 상기 제3 풀업 트랜지스터의 데이터 보호를 제거함으로써 상기 제1 데이터 노드로부터의 구동 전압이 상기 제2 데이터 노드로 전달되는 것을 제어하는

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

제1항에 있어서,

상기 제2 데이터 노드는 상기 제3 풀업 트랜지스터의 데이터 보호가 제거될 경우, 상기 제1 데이터 노드의 구동 전압에 기초하여 데이터의 전압을 하이 상태에서 로우 상태로 전이하거나 로우 상태에서 하이 상태로 전이하는

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 6

제5항에 있어서,

상기 제1 풀업 트랜지스터는 워드 라인 신호(WWL<sub>B</sub>)에 의해 제어되고, 상기 제어된 라이트 동작의 제1 단계에서 상기 워드 라인 신호(WWL<sub>B</sub>)의 로우 전압에 기초하여 턴 오프되고, 상기 제어된 라이트 동작의 제2 단계에서 상기 워드 라인 신호(WWL<sub>B</sub>)가 하이 전압으로 전이되어 턴 온되는

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 7

제6항에 있어서,

상기 단일 비트 라인을 공유하고, 열(row) 방향으로 배치된 비트 셀을 더 포함하고,

상기 비트 셀은 제3 데이터 노드 및 제4 데이터 노드를 포함하고, 상기 제2 단계에서 상기 단일 비트 라인에 프리차지된(precharged) 전압 및 상기 제3 데이터 노드에 저장된 데이터의 전압을 디스차지하는

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 8

제6항에 있어서,

상기 제1 데이터 노드부는 상기 제2 데이터 노드의 데이터가 하이 상태에서 로우 상태로 전이되어 상기 제2 풀다운 트랜지스터를 턴 오프하고, 상기 제1 데이터 노드의 데이터를 유지하는

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 9

제1항에 있어서,

상기 제2 데이터 노드부는 상기 제어된 리드 동작에서 상기 접근 트랜지스터를 턴 오프하여 상기 단일 비트 라인으로부터의 방전에 대한 상기 제2 데이터 노드의 데이터 플립을 방지하는

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 10

제1항에 있어서,

상기 데이터 제어부는 워드 라인 신호(WL)에 기초하여 상기 제1 패스 게이트 트랜지스터를 턴 오프하고, 워드 라인 신호(WLB)에 기초하여 상기 제2 패스 게이트 트랜지스터를 턴 오프 하여 상기 홀드 동작을 제어하고, 상기 워드 라인 신호(WL)에 기초하여 상기 제1 패스 게이트 트랜지스터를 턴 온하고, 상기 워드 라인 신호(WLB)에 기초하여 상기 제2 패스 게이트 트랜지스터를 턴 온하여 상기 리드 동작 또는 상기 라이트 동작을 제어하는

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 11

제1항에 있어서,

상기 제1 패스 게이트 트랜지스터는 NMOS 트랜지스터이고,

상기 제2 패스 게이트 트랜지스터는 PMOS 트랜지스터인

단일 비트 라인을 이용하는 메모리 장치.

#### 청구항 12

제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나의 동작을 제어하여 상기 제1 데이터 노드에 대한 피드백 전압을 제어하는 제1 데이터 노드부; 제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드로부터의 구동 전압이 상기 제2 데이터 노드로 전달되는 것을 제어하는 제2 데이터 노드부; 및 단일 비트 라인 및 상기 제1 데이터 노드에 연결된 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드와 상기 제2 데이터 노드에서의 홀드 동작, 리드 동작 또는 라이트 동작을

제어하는 데이터 제어부를 포함하는 단일 비트 라인을 이용하는 메모리 장치의 제어 방법으로서,

상기 제2 데이터 노드부에서, 상기 제어된 라이트 동작의 제1 단계 중 상기 접근 트랜지스터의 동작을 제어하는 워드 라인 신호(WWL)를 로우 상태에서 하이 상태로 전이하여 상기 구동 전압에 기초하여 상기 제2 데이터 노드의 데이터를 하이 상태에서 로우 상태로 전이하고, 상기 제1 데이터 노드부에서, 상기 제어된 라이트 동작의 제2 단계 중 워드 라인 신호(WWL)에 기초하여 상기 제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나를 턴 온하며,

상기 제1 데이터 노드부는, 상기 제1 데이터 노드, 제1 풀업 트랜지스터, 상기 제1 데이터 노드 및 상기 제1 풀업 트랜지스터에 연결된 제2 풀업 트랜지스터, 상기 제1 데이터 노드에 연결된 제1 풀다운 트랜지스터 및 상기 제1 풀업 트랜지스터 및 상기 제1 풀다운 트랜지스터에 연결된 제2 풀다운 트랜지스터를 포함하고, 상기 제2 풀업 트랜지스터 또는 상기 제1 풀다운 트랜지스터의 동작을 제어하여 상기 피드백 전압을 제어하며,

상기 제2 데이터 노드부는, 상기 제2 데이터 노드, 상기 제1 데이터 노드 및 상기 제2 데이터 노드에 연결된 제3 풀업 트랜지스터, 상기 제1 데이터 노드 및 상기 제2 데이터 노드에 연결되는 제3 풀다운 트랜지스터 및 상기 제2 데이터 노드 및 상기 제3 풀다운 트랜지스터에 연결된 상기 접근 트랜지스터를 포함하고,

상기 제3 풀업 트랜지스터는, 상기 제어된 리드 동작 및 상기 제어된 라이트 동작에서 워드 라인 신호(WLB)에 기초하여 턴 오프되어 상기 제2 데이터 노드의 데이터를 보호하며,

상기 접근 트랜지스터는, 상기 제어된 리드 동작에서 워드 라인 신호(WWL)에 기초하여 턴 오프되어 상기 제2 데이터 노드의 데이터를 보호하거나 상기 제어된 라이트 동작에서 워드 라인 신호(WWL)에 기초하여 턴 온되어 상기 제3 풀업 트랜지스터의 데이터 보호를 제거함으로써 상기 제1 데이터 노드로부터의 구동 전압이 상기 제2 데이터 노드로 전달되는 것을 제어하는

단일 비트 라인을 이용하는 메모리 장치의 제어 방법.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 단일 비트 라인을 이용하여 리드 및 라이트 동작을 수행하는 정적 랜덤 액세스 메모리 장치에 관한 것으로, 라이트 동작에서 복수의 패스 게이트 트랜지스터 및 접근 트랜지스터를 이용하여 라이트 성능을 향상하고, 라이트 동작을 제1 단계 및 제2 단계로 구분하여 수행하여 열 하프 선택(row-half selected) 셀과 관련된 라이트 방해를 방지하는 기술에 관한 것이다.

## 배경 기술

[0002] 종래 기술에 따른 단일 비트 라인을 이용하고, 9개의 트랜지스터로 구성된 정적 랜덤 액세스 메모리 장치는 리드 버퍼를 갖는데, 이 리드 버퍼가 홀드, 리드 및 라이트 동작의 제어와 관련된 패스 게이트 트랜지스터와 직렬 연결되어서 라이트 동작의 성능이 감소하는 단점이 존재한다.

[0003] 또한, 특정 워드 라인을 통해 특정 두 개의 트랜지스터가 동시에 턴 온될 경우에만 비트라인의 전압이 셀에 전이하도록 설계 되어, 제어 신호를 인가하기 위한 워드 라인의 수가 인가되고, 제어 신호의 증가에 따른 회로의 복잡성이 증가한다는 단점이 존재한다.

[0004] 한편, 단일 비트 라인을 이용하고, 11개의 트랜지스터로 구성된 정적 랜덤 액세스 메모리 장치는 교차 결합된 슈미트 트리거 인버터를 이용하여 회로의 유지 안정성이 증가하는 장점이 존재하나, 트랜지스터의 개수 증가에 따른 회로의 복잡성이 증가하고, 라이트 동작에서 하프 셀렉티드 이슈(half-selected issue)에 따른 리드 방해가 발생할 수 있다.

[0005] 또한, 종래 기술에 따른 메모리 장치는 트랜지스터의 동작을 제어하여 제1 데이터 노드의 데이터 전압이 감소하는 것을 방지하여 제2 데이터 노드의 전압이 초과되더라도 데이터 비트가 플립되지 않도록 제어한다.

[0006] 다만, 종래 기술에 따른 메모리 장치는 두 개 비트 라인 신호를 이용하며 행(column) 기반 신호에 따라 제어되므로 행 하프 선택된 셀에 의한 리드 방해 또는 라이트 방해가 발생할 수 있다.

## 선행기술문헌

## 특허문헌

- [0007] (특허문헌 0001) 한국등록특허 제10-0560948호, "6 트랜지스터 듀얼 포트 에스램 셀"  
(특허문헌 0002) 미국등록특허 제9070469호, "DIGITAL FILTERS WITH MEMORY"  
(특허문헌 0003) 한국등록특허 제10-0561567호, "반도체 장치"

## 비특허문헌

- [0008] (비특허문헌 0001) J.Madhuri and S.Anitha, Analysis of Design of Schmitt Trigger Based SRAM Cell Using a Novel Power Reduction Technique

## 발명의 내용

### 해결하려는 과제

- [0009] 본 발명은 단일 비트 라인을 이용하면서도 라이트 동작을 제1 단계 및 제2 단계로 구분되게 수행하여 열(row) 하프 셀렉티드 이슈(half-selected issue)에 따른 라이트 방해를 방지하는 것을 목적으로 한다.
- [0010] 본 발명은 서로 다른 특성을 갖는 패스 게이트 트랜지스터들을 통해 데이터 노드의 라이트 동작을 지원하여 라이트 성능을 향상시키는 것을 목적으로 한다.
- [0011] 본 발명은 제1 데이터 노드에 대한 리드 동작에서 제2 데이터 노드에 연결된 접근 트랜지스터를 턴 오프하여 제2 데이터 노드의 데이터를 보호함으로써 리드 방해(read disturbance)를 방지하는 것을 목적으로 한다.
- [0012] 본 발명은 선택된 셀의 라이트 동작에서 제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 제1 데이터 노드로부터의 구동 전압을 이용하여 제2 데이터 노드의 라이트 동작이 수행되도록 제어하는 것을 목적으로 한다.
- [0013] 본 발명은 단일 비트 라인을 이용하여 홀드, 리드 또는 라이트 동작을 수행함으로써, 리드 동작에 소모되는 에너지를 감소시키는 것을 목적으로 한다.
- [0014] 본 발명은 단일 비트 라인을 이용하면서도 행(column) 하프 셀렉티드 이슈(half-selected issue)에 따른 리드 및 라이트 방해를 방지하는 것을 목적으로 한다.

### 과제의 해결 수단

- [0015] 본 발명의 일실시예에 따르면 단일 비트 라인을 이용하는 메모리 장치는 제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나의 동작을 제어하여 상기 제1 데이터 노드에 대한 피드백 전압을 제어하는 제1 데이터 노드부, 제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드로부터의 구동 전압이 상기 제2 데이터 노드로 전달되는 것을 제어하는 제2 데이터 노드부 및 단일 비트 라인 및 상기 제1 데이터 노드에 연결된 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드와 상기 제2 데이터 노드에서의 홀드 동작, 리드 동작 또는 라이트 동작을 제어하는 데이터 제어부를 포함할 수 있다.
- [0016] 상기 제1 데이터 노드부는, 상기 제1 데이터 노드, 제1 풀업 트랜지스터, 상기 제1 데이터 노드 및 상기 제1 풀업 트랜지스터에 연결된 제2 풀업 트랜지스터, 상기 제1 데이터 노드에 연결된 제1 풀다운 트랜지스터 및 상기 제1 풀업 트랜지스터 및 상기 제1 풀다운 트랜지스터에 연결된 제2 풀다운 트랜지스터를 포함하고, 상기 제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나는 상기 제2 풀업 트랜지스터 또는 상기 제1 풀다운 트랜지스터를 포함할 수 있다.
- [0017] 상기 제2 데이터 노드부는, 상기 제2 데이터 노드, 상기 제1 데이터 노드 및 상기 제2 데이터 노드에 연결된 제3 풀업 트랜지스터, 상기 제2 데이터 노드에 연결되는 제3 풀다운 트랜지스터 및 상기 접근 트랜지스터, 상기 제1 데이터 노드, 상기 제3 풀업 트랜지스터, 상기 제3 풀다운 트랜지스터 및 상기 접근 트랜지스터에 연결된 제4 풀다운 트랜지스터를 포함할 수 있다.

- [0018] 상기 제3 풀업 트랜지스터는, 상기 제어된 리드 동작 및 상기 제어된 라이트 동작에서 워드 라인 신호(WLB)에 기초하여 턴 오프되어 상기 제2 데이터 노드의 데이터를 보호하며, 상기 접근 트랜지스터는, 상기 제어된 리드 동작에서 워드 라인 신호(WWL)에 기초하여 턴 오프되어 상기 제2 데이터 노드의 데이터를 보호하거나 상기 제어된 라이트 동작에서 워드 라인 신호(WWL)에 기초하여 턴 온되어 상기 제3 풀업 트랜지스터의 데이터 보호를 제거할 수 있다.
- [0019] 상기 제2 데이터 노드는 상기 제3 풀업 트랜지스터의 데이터 보호가 제거될 경우, 상기 제1 데이터 노드의 구동 전압에 기초하여 데이터의 전압을 하이 상태에서 로우 상태로 전이하거나 로우 상태에서 하이 상태로 전이할 수 있다.
- [0020] 상기 제1 풀업 트랜지스터는 워드 라인 신호(WWL)에 의해 제어되고, 상기 제어된 라이트 동작의 제1 단계에서 상기 워드 라인 신호(WWL)의 로우 전압에 기초하여 턴 오프되고, 상기 제어된 라이트 동작의 제2 단계에서 상기 워드 라인 신호(WWL)가 하이 전압으로 전이되어 턴 온될 수 있다.
- [0021] 상기 단일 비트 라인을 공유하고, 열(row) 방향으로 배치된 비트 셀을 더 포함하고, 상기 비트 셀은 제3 데이터 노드 및 제4 데이터 노드를 포함하고, 상기 제2 단계에서 상기 단일 비트 라인에 프리차지된(precharged) 전압 및 상기 제3 데이터 노드에 저장된 데이터의 전압을 디스차지할 수 있다.
- [0022] 상기 제1 데이터 노드부는 상기 제2 데이터 노드의 데이터가 하이 상태에서 로우 상태로 전이되어 상기 제2 풀다운 트랜지스터를 턴 오프하고, 상기 제1 데이터 노드의 데이터를 유지할 수 있다.
- [0023] 상기 제2 데이터 노드부는 상기 제어된 리드 동작에서 상기 접근 트랜지스터를 턴 오프하여 상기 단일 비트 라인으로부터의 방전에 대한 상기 제2 데이터 노드의 데이터 플립을 방지할 수 있다.
- [0024] 상기 데이터 제어부는 워드 라인 신호(WL)에 기초하여 상기 제1 패스 게이트 트랜지스터를 턴 오프하고, 워드 라인 신호(WLB)에 기초하여 상기 제2 패스 게이트 트랜지스터를 턴 오프 하여 상기 홀드 동작을 제어하고, 상기 워드 라인 신호(WL)에 기초하여 상기 제1 패스 게이트 트랜지스터를 턴 온하고, 상기 워드 라인 신호(WLB)에 기초하여 상기 제2 패스 게이트 트랜지스터를 턴 온하여 상기 리드 동작 또는 상기 라이트 동작을 제어할 수 있다.
- [0025] 상기 제1 패스 게이트 트랜지스터는 NMOS 트랜지스터이고, 상기 제2 패스 게이트 트랜지스터는 PMOS 트랜지스터일 수 있다.
- [0026] 본 발명의 일실시예에 따르면 단일 비트 라인을 이용하는 메모리 장치의 제어 방법은 제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나의 동작을 제어하여 상기 제1 데이터 노드에 대한 피드백 전압을 제어하는 제1 데이터 노드부; 제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드로부터의 구동 전압이 상기 제2 데이터 노드로 전달되는 것을 제어하는 제2 데이터 노드부; 및 단일 비트 라인 및 상기 제1 데이터 노드에 연결된 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터의 동작을 제어하여 상기 제1 데이터 노드와 상기 제2 데이터 노드에서의 홀드 동작, 리드 동작 또는 라이트 동작을 제어하는 데이터 제어부를 포함하는 단일 비트 라인을 이용하는 메모리 장치의 제어 방법으로서, 상기 제2 데이터 노드부에서, 상기 제어된 라이트 동작의 제1 단계 중 상기 접근 트랜지스터의 동작을 제어하는 워드 라인 신호(WWL)를 로우 상태에서 하이 상태로 전이하여 상기 구동 전압에 기초하여 상기 제2 데이터 노드의 데이터를 하이 상태에서 로우 상태로 전이하고, 상기 제1 데이터 노드부에서, 상기 제어된 라이트 동작의 제2 단계 중 워드 라인 신호(WWL)에 기초하여 상기 제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나를 턴 온할 수 있다.

### 발명의 효과

- [0027] 본 발명은 단일 비트 라인을 이용하면서도 라이트 동작을 제1 단계 및 제2 단계로 구분되게 수행하여 열(row) 하프 셀렉티드 이슈(half-selected issue)에 따른 라이트 방해를 방지할 수 있다.
- [0028] 본 발명은 서로 다른 특성을 갖는 패스 게이트 트랜지스터들을 통해 데이터 노드의 라이트 동작을 지원하여 라이트 성능을 향상시킬 수 있다.
- [0029] 본 발명은 제1 데이터 노드에 대한 리드 동작에서 제2 데이터 노드에 연결된 접근 트랜지스터를 턴 오프하여 제2 데이터 노드의 데이터를 보호함으로써 리드 방해(read disturbance)를 방지할 수 있다.
- [0030] 본 발명은 선택된 셀의 라이트 동작에서 제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 제1 데이터 노드로부터의 구동 전압을 이용하여 제2 데이터 노드의 라이트 동작이 수행되도록 제어할 수 있다.



[0031] 본 발명은 단일 비트 라인을 이용하여 홀드, 리드 또는 라이트 동작을 수행함으로써, 리드 동작에 소모되는 에너지를 감소시킬 수 있다.

[0032] 본 발명은 단일 비트 라인을 이용하면서도 행(column) 하프 선택티드 이슈(half-selected issue)에 따른 리드 및 라이트 방해를 방지할 수 있다.

### 도면의 간단한 설명

[0033] 도 1은 본 발명의 일실시예에 따른 메모리 장치의 구성 요소를 설명하는 도면이다.

도 2는 본 발명의 일실시예에 따른 메모리 장치의 회로를 설명하는 도면이다.

도 3은 본 발명의 일실시예에 따른 메모리 장치의 홀드 동작과 관련된 회로를 설명하는 도면이다.

도 4는 본 발명의 일실시예에 따른 메모리 장치의 리드 동작과 관련된 회로를 설명하는 도면이다.

도 5a 내지 도 6b는 본 발명의 일실시예에 따른 메모리 장치의 라이트 동작과 관련된 회로를 설명하는 도면이다.

도 7은 본 발명의 일실시예에 따른 메모리 장치에서의 워드 라인 구동과 관련된 그래프를 설명하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0034] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0035] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0036] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0037] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0038] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0039] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0040] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.



- [0042] 도 1은 본 발명의 일실시예에 따른 메모리 장치의 구성 요소를 설명하는 도면이다.
- [0043] 구체적으로, 도 1은 본 발명의 일실시예에 따라 단일 비트 라인을 이용하는 메모리 장치의 구성 요소를 예시한다.
- [0044] 도 1을 참고하면, 메모리 장치(100)는 제1 데이터 노드부(110), 제2 데이터 노드부(120) 및 데이터 제어부(130)를 포함한다.
- [0045] 본 발명의 일실시예에 따르면 제1 데이터 노드부(110)는 제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나의 동작을 제어하여 제1 데이터 노드에 대한 피드백 전압을 제어할 수 있다.
- [0046] 일례로, 제1 데이터 노드부(110)는 제1 데이터 노드, 제1 풀업 트랜지스터, 제1 데이터 노드 및 제1 풀업 트랜지스터에 연결된 제2 풀업 트랜지스터, 제1 데이터 노드에 연결된 제1 풀다운 트랜지스터 및 제1 풀업 트랜지스터 및 제1 풀다운 트랜지스터에 연결된 제2 풀다운 트랜지스터를 포함할 수 있다.
- [0047] 즉, 제1 데이터 노드부(110)는 제1 데이터 노드에 연결된 트랜지스터들 중 어느 하나는 상기 제2 풀업 트랜지스터 또는 상기 제1 풀다운 트랜지스터로 포함할 수 있다.
- [0048] 본 발명의 일실시예에 따르면 제1 데이터 노드부(110)는 제2 풀업 트랜지스터를 턴 오프하여 제2 풀업 트랜지스터의 피드백 전압을 제거할 수 있다.
- [0049] 일례로, 제1 데이터 노드부(110)는 제1 풀다운 트랜지스터를 턴 오프하여 제1 풀다운 트랜지스터의 피드백 전압을 제거할 수 있다.
- [0050] 본 발명의 일실시예에 따르면 제1 데이터 노드부(110)는 제1 풀업 트랜지스터를 워드 라인 신호(WWLb)를 이용하여 제어하고, 라이트 동작의 제1 단계에서 워드 라인 신호(WWLb)의 로우 전압에 기초하여 제1 풀업 트랜지스터를 턴 오프하고, 라이트 동작의 제2 단계에서 워드 라인 신호(WWLb)를 하이 전압으로 전이하여 제1 풀업 트랜지스터를 턴 온한다.
- [0051] 일례로, 제1 데이터 노드부(110)는 제2 데이터 노드의 데이터가 하이 상태에서 로우 상태로 전이되어 제2 풀다운 트랜지스터를 턴 오프하고, 제1 데이터 노드의 데이터를 유지할 수 있다.
- [0052] 본 발명의 일실시예에 따르면 제2 데이터 노드부(120)는 제2 데이터 노드에 연결된 접근 트랜지스터(access transistor)의 동작을 제어하여 제1 데이터 노드로부터의 구동 전압이 제2 데이터 노드로 전달되는 것을 제어할 수 있다.
- [0053] 즉, 제2 데이터 노드부(120)는 제1 데이터 노드로부터의 구동 전압에 기반하여 제2 데이터 노드의 데이터 전압을 하이 상태에서 로우 상태 또는 로우 상태에서 하이 상태로 전이할 수 있다.
- [0054] 다시 말해, 본 발명은 선택된 셀의 라이트 동작에서 제2 데이터 노드에 연결된 접근 트랜지스터의 동작을 제어하여 제1 데이터 노드로부터의 구동 전압을 이용하여 제2 데이터 노드의 라이트 동작이 수행되도록 제어할 수 있다.
- [0055] 일례로, 제2 데이터 노드부(120)는 제2 데이터 노드, 제1 데이터 노드 및 제2 데이터 노드에 연결된 제3 풀업 트랜지스터, 제2 데이터 노드에 연결되는 제3 풀다운 트랜지스터 및 접근 트랜지스터, 제1 데이터 노드, 제3 풀업 트랜지스터, 제3 풀다운 트랜지스터 및 접근 트랜지스터에 연결된 제4 풀다운 트랜지스터를 포함할 수 있다.
- [0056] 본 발명의 일실시예에 따르면 제2 데이터 노드부(120)는 리드 동작 및 라이트 동작에서 워드 라인 신호(WLb)에 기초하여 제3 풀업 트랜지스터를 턴 오프하여 제2 데이터 노드의 데이터를 보호할 수 있다.
- [0057] 일례로, 제2 데이터 노드부(120)는 리드 동작에서 워드 라인 신호(WWL)에 기초하여 접근 트랜지스터를 턴 오프하여 제2 데이터 노드의 데이터를 보호할 수 있다.
- [0058] 또한, 제2 데이터 노드부(120)는 라이트 동작에서 워드 라인 신호(WWL)에 기초하여 접근 트랜지스터를 턴 온하여 제3 풀업 트랜지스터의 데이터 보호를 제거할 수 있다.
- [0059] 본 발명의 일실시예에 따르면 제2 데이터 노드부(120)는 제3 풀업 트랜지스터의 데이터 보호가 제거될 경우, 제1 데이터 노드의 구동 전압에 기초하여 제2 데이터 노드의 데이터 전압을 하이 상태에서 로우 상태로 전이하거나 로우 상태에서 하이 상태로 전이할 수 있다.
- [0060] 일례로, 제2 데이터 노드부(120)는 리드 동작에서 접근 트랜지스터를 턴 오프하여 단일 비트 라인으로부터의 방

전에 대한 제2 데이터 노드의 데이터 플립을 방지할 수 있다.

- [0061] 즉, 제2 데이터 노드부(120)는 접근 트랜지스터 및 제3 풀다운 트랜지스터를 턴 오프하여 제2 데이터 노드의 데이터 플립을 방지할 수 있다.
- [0062] 본 발명의 일실시예에 따르면 데이터 제어부(130)는 단일 비트 라인 및 제1 데이터 노드에 연결된 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터의 동작을 제어하여 제1 데이터 노드와 제2 데이터 노드에서의 홀드 동작, 리드 동작 또는 라이트 동작을 제어할 수 있다.
- [0063] 따라서, 본 발명은 단일 비트 라인을 이용하여 홀드, 리드 또는 라이트 동작을 수행함으로써, 리드 동작에 소모되는 에너지를 감소시킬 수 있다.
- [0064] 일례로, 데이터 제어부(130)는 워드 라인 신호(WL)에 기초하여 제1 패스 게이트 트랜지스터를 턴 오프하고, 워드 라인 신호(WLB)에 기초하여 제2 패스 게이트 트랜지스터를 턴 오프 하여 홀드 동작을 제어하고, 워드 라인 신호(WL)에 기초하여 제1 패스 게이트 트랜지스터를 턴 온하고, 워드 라인 신호(WLB)에 기초하여 제2 패스 게이트 트랜지스터를 턴 온하여 리드 동작 또는 라이트 동작을 제어할 수 있다.
- [0065] 예를 들어, 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터가 턴 온될 경우, 비트 라인의 비트 라인 신호가 제1 데이터부(110) 또는 제2 데이터부(120)에 인가되고, 제1 패스 게이트 트랜지스터 및 제2 패스 게이트 트랜지스터가 턴 오프될 경우, 비트 라인의 비트 라인 신호는 차단될 수 있다.
- [0066] 본 발명의 다른 실시예에 따르면 메모리 장치(100)는 단일 비트 라인을 공유하고, 열(row) 방향으로 배치된 비트 셀을 더 포함할 수 있다.
- [0067] 일례로, 열 방향으로 배치된 비트 셀은 제3 데이터 노드 및 제4 데이터 노드를 포함하고, 선택된 셀의 라이트 동작 중 제2 단계에서 단일 비트 라인에 프리차지된(precharged) 전압 및 제3 데이터 노드에 저장된 데이터의 전압을 디스차지할 수 있다.
- [0068] 따라서, 본 발명은 단일 비트 라인을 이용하면서도 라이트 동작을 제1 단계 및 제2 단계로 구분되게 수행하여 열(row) 하프 셀렉티드 이슈(half-selected issue)에 따른 라이트 방해를 방지할 수 있다.
- [0069] 일례로, 메모리 장치(100)는 메모리 장치의 제어 방법에 기반하여 제어될 수 있다.
- [0071] 도 2는 본 발명의 일실시예에 따른 메모리 장치의 회로를 설명하는 도면이다.
- [0072] 도 2를 참고하면, 본 발명의 일실시예에 따른 메모리 장치(200)는 데이터 제어부(210), 제1 데이터 노드부(220) 및 제2 데이터 노드부(230)를 포함한다.
- [0073] 본 발명의 일실시예에 따르면 데이터 제어부(210)는 제1 패스 게이트 트랜지스터(PGN) 및 제2 패스 게이트 트랜지스터(PGP)를 포함한다.
- [0074] 예를 들어, 제1 패스 게이트 트랜지스터(PGN)는 비트 라인(BL)과 워드 라인(WL)에 연결되며, 워드 라인(WL)을 통해 인가되는 신호에 따라 동작이 제어될 수 있다.
- [0075] 또한, 제2 패스 게이트 트랜지스터(PGP)는 비트 라인(BL)과 워드 라인(WLB)에 연결되며, 워드 라인(WLB)을 통해 인가되는 신호에 따라 동작이 제어될 수 있다.
- [0076] 본 발명의 일실시예에 따르면 제1 패스 게이트 트랜지스터(PGN)는 NMOS 트랜지스터이고, 제2 패스 게이트 트랜지스터(PGP)는 PMOS 트랜지스터일 수 있다.
- [0077] 일례로, 제2 패스 게이트 트랜지스터(PGP)는 제1 패스 게이트 트랜지스터(PGN)보다 하이 상태의 전압에 대한 높은 구동력을 가진다.
- [0078] 즉, 제2 패스 게이트 트랜지스터(PGP)는 제1 패스 게이트 트랜지스터(PGN)보다 하이 상태의 전압을 보다 효율적으로 전달할 수 있다.
- [0079] 따라서, 메모리 장치(200)는 제2 패스 게이트 트랜지스터(PGP)의 구동 전압 전달 특성에 기반하여 제1 데이터 노드(Q)의 데이터가 로우 상태에서 하이 상태로 보다 효율적으로 전이되도록 제어할 수 있다.
- [0080] 본 발명은 서로 다른 특성을 갖는 패스 게이트 트랜지스터들을 통해 데이터 노드의 라이트 동작을 지원하여 라이트 성능을 향상시킬 수 있다.

- [0081] 즉, 메모리 장치(200)는 제2 패스 게이트 트랜지스터(PGP)에 기반하여 라이트 성능이 개선될 수 있다.
- [0082] 본 발명의 일실시예에 따르면 제1 데이터 노드부(220)는 제1 풀업 트랜지스터(PUL1), 제2 풀업 트랜지스터(PUL2), 제1 데이터 노드(Q), 제1 풀다운 트랜지스터(PDL1) 및 제2 풀다운 트랜지스터(PDL2)를 포함한다.
- [0083] 일례로, 제1 데이터 노드부(220)는 제2 풀업 트랜지스터(PUL2) 및 제1 풀다운 트랜지스터(PDL1)를 선택적으로 제어하여 제1 데이터 노드(Q)에 대한 피드백 전압을 선택적으로 제거할 수 있다.
- [0084] 일례로, 제1 풀업 트랜지스터(PUL1)는 제2 풀업 트랜지스터(PUL2) 제2 데이터 노드(QB) 및 제2 풀다운 트랜지스터(PDL2)에 연결되고, 제2 데이터 노드(QB)의 데이터 전압에 기반하여 제어될 수 있다.
- [0085] 본 발명의 일실시예에 따르면 제2 풀업 트랜지스터(PUL2)는 제1 풀업 트랜지스터(PUL1) 및 제1 데이터 노드(Q)에 연결되고, 워드 라인 신호(WL)에 기반하여 제어될 수 있다.
- [0086] 일례로, 제1 풀다운 트랜지스터(PDL1)는 제1 데이터 노드(Q) 및 제2 풀다운 트랜지스터(PDL2)에 연결되고, 워드 라인 신호(WWL)에 기반하여 제어될 수 있다.
- [0087] 본 발명의 일실시예에 따르면 제2 풀다운 트랜지스터(PDL2)는 제1 풀다운 트랜지스터(PDL1), 제1 풀업 트랜지스터(PUL1) 및 제2 데이터 노드(QB)에 연결되고, 제2 데이터 노드(QB)의 데이터 전압에 기반하여 제어될 수 있다.
- [0088] 일례로, 제2 데이터 노드부(230)는 제3 풀업 트랜지스터(PUR), 제2 데이터 노드(QB), 제3 풀다운 트랜지스터(PDR1), 접근 트랜지스터(WPD) 및 제4 풀다운 트랜지스터(PDR2)를 포함한다.
- [0089] 본 발명의 일실시예에 따르면 제3 풀업 트랜지스터(PUR)는 제2 데이터 노드(QB) 및 제1 데이터 노드(Q)에 연결되고, 제1 데이터 노드(Q)의 데이터 전압에 기반하여 제어될 수 있다.
- [0090] 일례로, 제3 풀다운 트랜지스터(PDR1)는 제2 데이터 노드(QB) 및 제4 풀다운 트랜지스터(PDR2)에 연결되고, 워드 라인 신호(WLB)에 기반하여 제어될 수 있다.
- [0091] 본 발명의 일실시예에 따르면 접근 트랜지스터(WPD)는 제2 데이터 노드(QB) 및 제4 풀다운 트랜지스터(PDR2)에 연결되고, 워드 라인 신호(WWL)에 기반하여 제어될 수 있다.
- [0092] 일례로, 제4 풀다운 트랜지스터(PDR2)는 제3 풀다운 트랜지스터(PDR1), 접근 트랜지스터(WPD), 제1 데이터 노드(Q) 및 제3 풀업 트랜지스터(PUR)에 연결되고, 제1 데이터 노드(Q)의 데이터 전압에 기반하여 제어될 수 있다.
- [0093] 본 발명의 일실시예에 따르면 워드 라인 신호(WL), 워드 라인 신호(WLB) 및 워드 라인 신호(WWL)는 행(column) 기반 신호이고, 워드 라인 신호(WWL)는 열(row) 기반 신호일 수 있다.
- [0095] 도 3은 본 발명의 일실시예에 따른 메모리 장치의 홀드 동작과 관련된 회로를 설명하는 도면이다.
- [0096] 도 3을 참고 하면, 메모리 장치(300)는 데이터 제어부(310), 제1 데이터 노드부(320) 및 제2 데이터 노드부(330)를 포함한다.
- [0097] 본 발명의 일실시예에 따르면 데이터 제어부(310)에 포함된 제1 패스 게이트 트랜지스터(PGN)는 워드 라인 신호(WL)를 로우 상태로 인가 받아 턴 오프 되고, 제2 패스 게이트 트랜지스터(PGP)는 워드 라인 신호(WLB)를 하이 상태로 인가 받아 턴 오프된다.
- [0098] 일례로, 제1 데이터 노드부(320)는 제1 데이터 노드(Q)의 데이터를 유지하고, 제2 풀업 트랜지스터(PUL2) 및 제1 풀다운 트랜지스터(PDL1)를 턴 온한다.
- [0099] 본 발명의 일실시예에 따르면 제2 데이터 노드부(330)는 제2 데이터 노드(QB)를 유지하고, 제2 데이터 노드(QB)에 연결된 접근 트랜지스터(WPD)를 턴 오프하고, 제3 풀다운 트랜지스터(PDR1)를 턴 오프한다.
- [0100] 본 발명의 일실시예에 따르면 메모리 장치(300)는 제1 데이터 노드(Q)와 제2 데이터 노드(QB)에 저장된 데이터의 상태에 따라 비트 셀의 홀드 정적 잡음 마진(hold static noise margin, HSNM)이 다를 수 있다.
- [0101] 일례로, 메모리 장치(300)는 제1 데이터 노드(Q)에 로우 상태의 데이터가 저장되고, 제2 데이터 노드(QB)에 하이 상태의 데이터가 저장된 경우, 제2 데이터 노드부(230)의 높은 스위칭 임계값에 따라 홀드 정적 잡음 마진(hold static noise margin, HSNM) 결정될 수 있다.
- [0102] 또한, 메모리 장치(300)는 제1 데이터 노드(Q)에 하이 상태의 데이터가 저장되고, 제2 데이터 노드(QB)에 로우 상태의 데이터가 저장된 경우, 제2 데이터 노드부(330)의 낮은 스위칭 임계값에 따라 홀드 정적 잡음 마진(hold

static noise margin, HSNM) 결정될 수 있다.

- [0103] 본 발명의 일실시예에 따르면 메모리 장치(300)는 선택된 셀의 홀드 동작에서 워드 라인 신호(WL)를 로우 상태로 인가하고, 워드 라인 신호(WLB)를 하이 상태로 인가하며, 워드 라인 신호(WWLB)를 하이 상태로 인가하고, 워드 라인 신호(WWL)을 로우 상태로 인가할 수 있다.
- [0105] 도 4는 본 발명의 일실시예에 따른 메모리 장치의 리드 동작과 관련된 회로를 설명하는 도면이다.
- [0106] 도 4를 참고 하면, 메모리 장치(400)는 데이터 제어부(410), 제1 데이터 노드부(420) 및 제2 데이터 노드부(430)를 포함한다.
- [0107] 본 발명의 일실시예에 따르면 데이터 제어부(410)에 포함된 제1 패스 게이트 트랜지스터(PGN)는 워드 라인 신호(WL)를 하이 상태로 인가 받아 턴 온된다.
- [0108] 또한, 데이터 제어부(410)에 포함된 제2 패스 게이트 트랜지스터(PGP)는 워드 라인 신호(WLB)를 로우 상태로 인가 받아 턴 온된다.
- [0109] 한편, 제1 패스 게이트 트랜지스터(PGN) 및 제2 패스 게이트 트랜지스터(PGP)가 열(row) 기반 워드 라인 신호에 해당하는 워드 라인 신호(WL) 및 워드 라인 신호(WLB)에 의해 제어됨에 따라 행 하프 선택되는 비트 셀에서의 리드 방해는 발생되지 않을 수 있다.
- [0110] 본 발명의 일실시예에 따르면 제1 데이터 노드부(420)는 제1 패스 게이트 트랜지스터(PGN) 및 제2 패스 게이트 트랜지스터(PGP)가 턴 온됨에 따라 제1 데이터 노드(Q)에 저장된 데이터의 상태에 따라 비트 라인(BL)의 비트 라인 신호가 방전되거나 방전되지 않는다.
- [0111] 본 발명의 일실시예에 따라 비트 라인(BL)의 비트 라인 신호가 방전될 경우, 제1 데이터 노드부(420)는 제2 풀업 트랜지스터(PUL2)를 턴 오프하고, 제1 풀다운 트랜지스터(PDL1) 및 제2 풀다운 트랜지스터(PDL2)를 턴 온한다.
- [0112] 이 때, 제2 데이터 노드부(430)는 접근 트랜지스터(WPD) 및 제3 풀다운 트랜지스터(PDR1)를 턴 오프하여 제2 데이터 노드(QB)의 데이터에 대한 플립을 방지할 수 있다.
- [0113] 즉, 본 발명은 제1 데이터 노드에 대한 리드 동작에서 제2 데이터 노드에 연결된 접근 트랜지스터를 턴 오프하여 제2 데이터 노드의 데이터를 보호함으로써 리드 방해(read disturbance)를 방지할 수 있다.
- [0115] 도 5a는 본 발명의 일실시예에 따른 메모리 장치의 라이트 동작과 관련된 회로를 설명하는 도면이다.
- [0116] 구체적으로, 도 5a는 본 발명의 일실시예에 따른 메모리 장치가 선택된 비트 셀의 제1 데이터 노드에 저장된 데이터를 로우 상태에서 하이 상태로 전이하는 라이트 동작 중 제1 단계로 동작할 시 선택된 비트 셀의 회로 동작을 예시한다.
- [0117] 도 5a를 참고하면, 메모리 장치의 선택된 비트 셀(500)은 데이터 제어부(501), 제1 데이터 노드부(502) 및 제2 데이터 노드부(503)를 포함한다.
- [0118] 본 발명의 일실시예에 따르면 데이터 제어부(501)에 포함된 제1 패스 게이트 트랜지스터(PGN)는 워드 라인 신호(WL)를 하이 상태로 인가 받아 턴 온된다.
- [0119] 또한, 데이터 제어부(501)에 포함된 제2 패스 게이트 트랜지스터(PGP)는 워드 라인 신호(WLB)를 로우 상태로 인가 받아 턴 온된다.
- [0120] 한편, 제1 패스 게이트 트랜지스터(PGN) 및 제2 패스 게이트 트랜지스터(PGP)가 열(row) 기반 워드 라인 신호에 해당하는 워드 라인 신호(WL) 및 워드 라인 신호(WLB)에 의해 제어됨에 따라 행 하프 선택되는 비트 셀에서의 라이트 방해는 발생되지 않을 수 있다.
- [0121] 본 발명의 일실시예에 따르면 제1 데이터 노드부(502)는 비트 라인 신호를 인가 받아 제1 데이터 노드(Q)의 데이터 전압을 로우 상태에서 하이 상태로 전이한다.
- [0122] 일례로, 제1 데이터 노드부(502)는 제1 풀업 트랜지스터(PUL1)는 제2 데이터 노드(QB)의 데이터 전압이 하이 상태에서 로우 상태로 전이됨에 따라 턴 온되고, 제2 풀업 트랜지스터(PUL2)는 워드 라인 신호(WL)에 기반하여 턴 오프 되고, 제1 풀다운 트랜지스터(PDL1)는 워드 라인 신호(WWLB)에 기반하여 턴 오프 되며, 제2 풀다운 트랜지스터(PDL2)는 제2 데이터 노드(QB)의 데이터 전압이 하이 상태에서 로우 상태로 전이됨에 따라 턴 오프 된다.

- [0123] 본 발명의 일실시예에 따르면 제2 데이터 노드부(503)는 제1 데이터 노드의 데이터 전압을 인가받아서 제2 데이터 노드(QB)의 데이터 전압을 하이 상태에서 로우 상태로 전이할 수 있다.
- [0124] 일례로, 제2 데이터 노드부(503)는 제1 데이터 노드(Q)의 데이터 전압에 기초하여 제3 풀업 트랜지스터(PUR)를 턴 오프하고, 워드 라인 신호(WWL)에 기반하여 접근 트랜지스터(WPD)를 턴 온하며, 워드 라인 신호(WLB)에 기반하여 제3 풀다운 트랜지스터(PDR1)를 턴 오프하고, 제1 데이터 노드(Q)의 데이터 전압에 기초하여 제4 풀다운 트랜지스터(PDR2)를 턴 온한다.
- [0125] 예를 들어, 제2 데이터 노드부(503)는 접근 트랜지스터(WPD)를 턴 온하여 제3 풀다운 트랜지스터(PDR1)가 턴 오프되어 보호되고 있는 제2 데이터 노드(QB)의 데이터 보호를 제거할 수 있다.
- [0126] 본 발명의 일실시예에 따르면, 제2 데이터 노드부(503)는 접근 트랜지스터(WPD)를 턴 온하여 제3 풀다운 트랜지스터(PDR1)의 턴 오프 상태에 기반하여 보호되고 있는 제2 데이터 노드(QB)의 데이터 보호를 제거할 수 있다.
- [0127] 일례로, 제2 데이터 노드(QB)의 데이터 보호가 제거될 경우, 제1 데이터 노드(Q)의 데이터 전압이 제2 데이터 노드(QB)로 구동(drive)되어 제2 데이터 노드(QB)의 데이터 전압이 하이 상태에서 로우 상태로 전이될 수 있다.
- [0129] 도 5b는 본 발명의 일실시예에 따른 메모리 장치의 라이트 동작과 관련된 회로를 설명하는 도면이다.
- [0130] 구체적으로, 도 5b는 본 발명의 일실시예에 따른 라이트 동작 중 제1 단계에서 열 하프 선택된(row-half selected) 비트 셀의 회로 동작을 예시한다.
- [0131] 도 5b를 참고하면, 메모리 장치의 열 하프 선택된 비트 셀(510)은 데이터 제어부(511), 제1 데이터 노드부(512) 및 제2 데이터 노드부(513)를 포함한다.
- [0132] 본 발명의 일실시예에 따르면 데이터 제어부(511)에 포함된 제1 패스 게이트 트랜지스터(PGN)는 워드 라인 신호(WL)를 하이 상태로 인가 받아 턴 온된다.
- [0133] 또한, 데이터 제어부(511)에 포함된 제2 패스 게이트 트랜지스터(PGP)는 워드 라인 신호(WLB)를 로우 상태로 인가 받아 턴 온된다.
- [0134] 예를 들어, 데이터 제어부(511)에 인가되는 비트 라인 신호는 프리차지된(precharged) 비트 라인 신호일 수 있다.
- [0135] 본 발명의 일실시예에 따르면 제1 데이터 노드부(512)는 비트 라인 신호를 인가 받아 제1 데이터 노드(Q)의 데이터 전압을 로우 상태에서 하이 상태로 전이한다.
- [0136] 즉, 제1 데이터 노드(Q)는 프리차지된 비트 라인 신호를 공유(sharing)하여 데이터 전압이 로우 상태에서 하이 상태로 전이될 수 있다.
- [0137] 일례로, 제1 데이터 노드부(512)는 제1 풀업 트랜지스터(PUL1)는 제2 데이터 노드(QB)의 데이터 전압이 하이 상태로 유지됨에 따라 턴 오프되고, 제2 풀업 트랜지스터(PUL2)는 워드 라인 신호(WL)에 기반하여 턴 오프 되고, 제1 풀다운 트랜지스터(PDL1)는 워드 라인 신호(WWL)에 기반하여 턴 오프 되며, 제2 풀다운 트랜지스터(PDL2)는 제2 데이터 노드(QB)의 데이터 전압이 하이 상태를 유지함에 따라 턴 온된다.
- [0138] 본 발명의 일실시예에 따르면 제2 데이터 노드부(513)는 제1 데이터 노드(Q)의 데이터 전압으로부터 제2 데이터 노드(QB)의 데이터 전압을 보호할 수 있다.
- [0139] 일례로, 제2 데이터 노드부(513)는 제1 데이터 노드(Q)의 데이터 전압에 기초하여 제3 풀업 트랜지스터(PUR)를 턴 오프하고, 워드 라인 신호(WWL)에 기반하여 접근 트랜지스터(WPD)를 턴 오프하며, 워드 라인 신호(WLB)에 기반하여 제3 풀다운 트랜지스터(PDR1)를 턴 오프하고, 제1 데이터 노드(Q)의 데이터 전압에 기초하여 제4 풀다운 트랜지스터(PDR2)를 턴 온한다.
- [0140] 예를 들어, 제2 데이터 노드부(503)는 접근 트랜지스터(WPD)를 턴 오프되고, 제3 풀다운 트랜지스터(PDR1)가 턴 오프되면 제2 데이터 노드(QB)의 데이터를 보호할 수 있다.
- [0141] 예를 들어, 제1 데이터 노드(Q)는 제3 데이터 노드에 상응하고, 제2 데이터 노드(QB)는 제4 데이터 노드에 상응할 수 있다.
- [0143] 도 6a는 본 발명의 일실시예에 따른 메모리 장치의 라이트 동작과 관련된 회로를 설명하는 도면이다.
- [0144] 구체적으로, 도 6a는 본 발명의 일실시예에 따른 메모리 장치가 선택된 비트 셀의 제1 데이터 노드에 저장된 데



이터를 로우 상태에서 하이 상태로 전이하는 라이트 동작 중 제2 단계로 동작할 시 선택된 비트 셀의 회로 동작을 예시한다.

- [0145] 도 6a를 참고하면, 메모리 장치의 선택된 비트 셀(600)은 데이터 제어부(601), 제1 데이터 노드부(602) 및 제2 데이터 노드부(603)를 포함한다.
- [0146] 본 발명의 일실시예에 따르면 데이터 제어부(601)에 포함된 제1 패스 게이트 트랜지스터(PGN)는 워드 라인 신호(WL)를 하이 상태로 인가 받아 턴 온된다.
- [0147] 또한, 데이터 제어부(601)에 포함된 제2 패스 게이트 트랜지스터(PGP)는 워드 라인 신호(WLB)를 로우 상태로 인가 받아 턴 온된다.
- [0148] 본 발명의 일실시예에 따르면 제1 데이터 노드부(602)는 비트 라인 신호를 인가 받아 제1 데이터 노드(Q)의 데이터 전압을 로우 상태에서 하이 상태로 전이한다.
- [0149] 일례로, 제1 데이터 노드부(602)는 제1 풀업 트랜지스터(PUL1)는 제2 데이터 노드(QB)의 데이터 전압이 로우 상태임에 따라 턴 온되고, 제2 풀업 트랜지스터(PUL2)는 워드 라인 신호(WL)에 기반하여 턴 오프 되고, 제1 풀다운 트랜지스터(PDL1)는 워드 라인 신호(WWLB)가 로우 상태에서 하이 상태로 전이됨에 따라 턴 온되며, 제2 풀다운 트랜지스터(PDL2)는 제2 데이터 노드(QB)의 데이터 전압이 하이 상태에서 로우 상태로 전이됨에 따라 턴 오프 된다.
- [0150] 본 발명의 일실시예에 따르면 제2 데이터 노드부(603)는 도 5a에서 설명된 동작 상태를 유지한다.
- [0151] 일례로, 제1 데이터 노드부(602)는 제2 풀다운 트랜지스터(PDL2)가 턴 오프됨에 따라 제1 데이터 노드의 데이터 전압과 비트 라인 신호가 디스차지되지 못한다.
- [0153] 도 6b는 본 발명의 일실시예에 따른 메모리 장치의 라이트 동작과 관련된 회로를 설명하는 도면이다.
- [0154] 구체적으로, 도 6b는 본 발명의 일실시예에 따른 라이트 동작 중 제2 단계에서 열 하프 선택된(row-half selected) 비트 셀의 회로 동작을 예시한다.
- [0155] 도 6b를 참고하면, 메모리 장치의 열 하프 선택된 비트 셀(610)은 데이터 제어부(611), 제1 데이터 노드부(612) 및 제2 데이터 노드부(613)를 포함한다.
- [0156] 본 발명의 일실시예에 따르면 데이터 제어부(611)에 포함된 제1 패스 게이트 트랜지스터(PGN)는 워드 라인 신호(WL)를 하이 상태로 인가 받아 턴 온된다.
- [0157] 또한, 데이터 제어부(611)에 포함된 제2 패스 게이트 트랜지스터(PGP)는 워드 라인 신호(WLB)를 로우 상태로 인가 받아 턴 온된다.
- [0158] 예를 들어, 데이터 제어부(611)에 인가되는 비트 라인 신호는 프리차지된(precharged) 비트 라인 신호일 수 있다.
- [0159] 일례로, 제1 데이터 노드부(612)는 프리차지된(precharged) 비트 라인 신호의 공유에 기반하여 제1 데이터 노드(Q)의 데이터 전압을 로우 상태에서 하이 상태로 전이한다.
- [0160] 본 발명의 일실시예에 따르면 제1 데이터 노드부(612)는 제1 풀업 트랜지스터(PUL1)는 제2 데이터 노드(QB)의 데이터 전압이 하이 상로 유지됨에 따라 턴 오프되고, 제2 풀업 트랜지스터(PUL2)는 워드 라인 신호(WL)에 기반하여 턴 오프 되고, 제1 풀다운 트랜지스터(PDL1)는 워드 라인 신호(WWLB)가 로우 상태에서 하이 상태로 전이됨에 따라 턴 온되고, 제2 풀다운 트랜지스터(PDL2)는 제2 데이터 노드(QB)의 데이터 전압이 하이 상태를 유지함에 따라 턴 온된다.
- [0161] 일례로, 제1 데이터 노드부(612)는 제1 풀다운 트랜지스터(PDL1) 및 제2 풀다운 트랜지스터(PDL2)가 턴 온됨에 따라 비트 라인(BL)에 프리차지된 전압과 제1 데이터 노드(Q)의 데이터 전압을 제1 풀다운 트랜지스터(PDL1) 및 제2 풀다운 트랜지스터(PDL2)를 통해 디스차지한다.
- [0162] 따라서, 열 하프 선택된 비트 셀(610)은 선택된 비트 셀의 라이트 동작과 관계 없이 제1 데이터 노드(Q) 및 제2 데이터 노드(QB)의 데이터 전압을 유지할 수 있다.
- [0163] 즉, 본 발명은 단일 비트 라인을 이용하면서도 라이트 동작을 제1 단계 및 제2 단계로 구분되게 수행하여 열(row) 하프 셀렉티드 이슈(half-selected issue)에 따른 라이트 방해를 방지할 수 있다.

- [0165] 도 7은 본 발명의 일실시예에 따른 메모리 장치에서의 워드 라인 구동과 관련된 그래프를 설명하는 도면이다.

[0166] 구체적으로, 도 7은 본 발명의 일실시예에 따른 메모리 장치에서의 워드 라인 구동과 관련된 타이밍도를 예시한다.

[0167] 도 7을 참고하면, 그래프(700)는 시간의 흐름에 따라 준비 단계(701), 라이트 동작의 제1 단계(702) 및 라이트 동작의 제2 단계(703)로 구분될 수 있다.

[0168] 예를 들어, 준비 단계(701)는 메모리 장치의 홀드 동작과 관련될 수 있다.

[0169] 본 발명의 일실시예에 따르면 메모리 장치는 준비 단계(701)에서 워드 라인 신호(WL) 및 워드 라인 신호(WWL)를 로우 상태로 인가한다.

[0170] 또한, 메모리 장치는 준비 단계(701)에서 워드 라인 신호(WLB) 및 워드 라인 신호(WWL)를 하이 상태로 인가한다.

[0171] 본 발명의 일실시예에 따르면 메모리 장치는 제1 단계(702)에서 워드 라인 신호(WL) 및 워드 라인 신호(WWL)를 하이 상태로 인가한다.

[0172] 또한, 메모리 장치는 제1 단계(702)에서 워드 라인 신호(WLB) 및 워드 라인 신호(WWL)를 로우 상태로 인가한다.

[0173] 본 발명의 일실시예에 따르면 메모리 장치는 제2 단계(703)에서 워드 라인 신호(WL) 및 워드 라인 신호(WWL)를 하이 상태로 인가한다.

[0174] 또한, 메모리 장치는 제2 단계(703)에서 워드 라인 신호(WLB)를 로우 상태로 유지하되, 워드 라인 신호(WWL)를 로우 상태에서 하이 상태로 전이한다.

[0175] 따라서, 선택된 셀의 제1 풀다운 트랜지스터는 워드 라인 신호(WWL)에 기반하여 턴 온되나, 제2 풀다운 트랜지스터가 턴 오프됨에 따라 제1 데이터 노드의 데이터 전압과 비트 라인 신호가 디스차지되지 못한다.

[0176] 한편, 열 하프 선택된 비트 셀은 제1 풀다운 트랜지스터가 워드 라인 신호(WWL)에 기반하여 턴 온되고 및 제2 풀다운 트랜지스터가 턴 온 상태를 유지함에 따라 비트 라인에 프리차지된 전압과 제1 데이터 노드의 데이터 전압을 제1 풀다운 트랜지스터 및 제2 풀다운 트랜지스터를 통해 디스차지한다.

[0177] 따라서, 열 하프 선택된 비트 셀은 비트 라인에 프리차지된 전압과 제1 데이터 노드의 데이터 전압을 제1 풀다운 트랜지스터 및 제2 풀다운 트랜지스터를 통해 디스차지됨에 따라 선택된 비트 셀의 라이트 동작과 관계 없이 제1 데이터 노드 및 제2 데이터 노드의 데이터 전압을 유지할 수 있다.

[0179] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0180] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

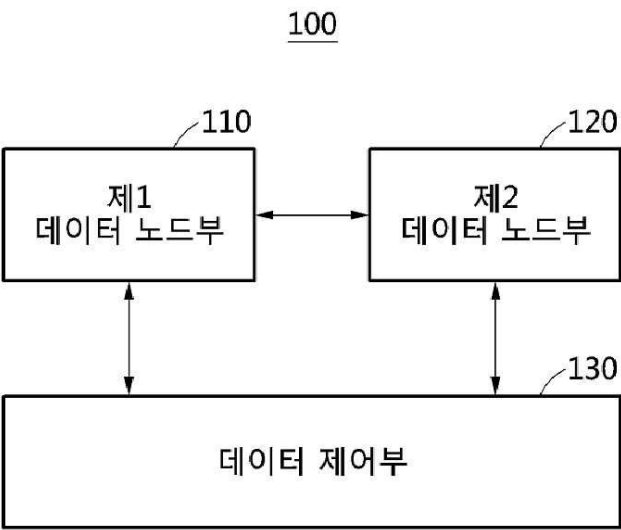
## 부호의 설명

- [0181]
- |                 |                 |
|-----------------|-----------------|
| 100: 메모리 장치     | 110: 제1 데이터 노드부 |
| 120: 제2 데이터 노드부 | 130: 데이터 제어부    |

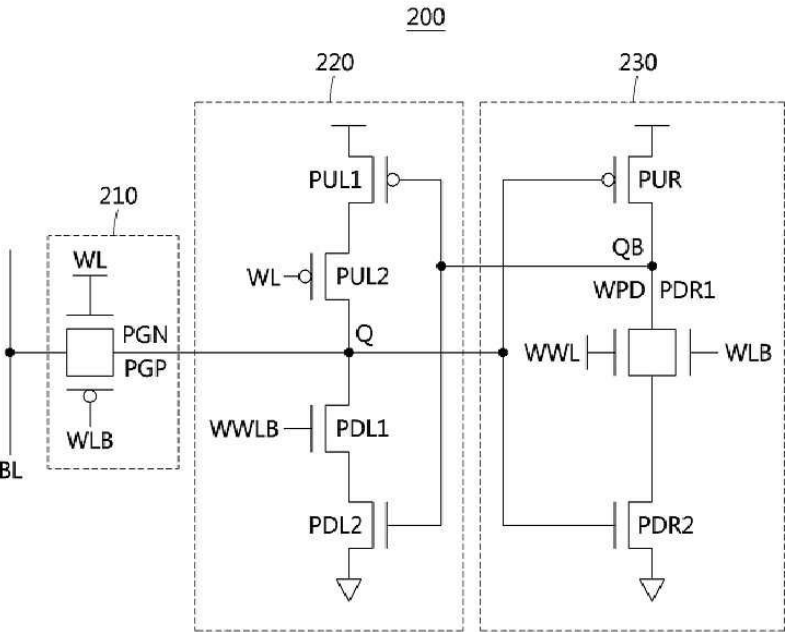


도면

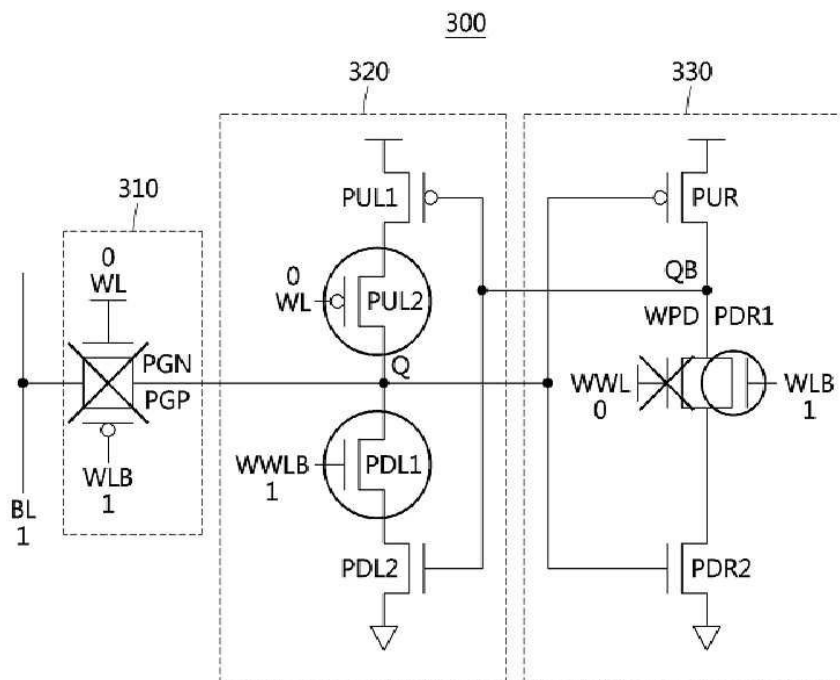
도면1



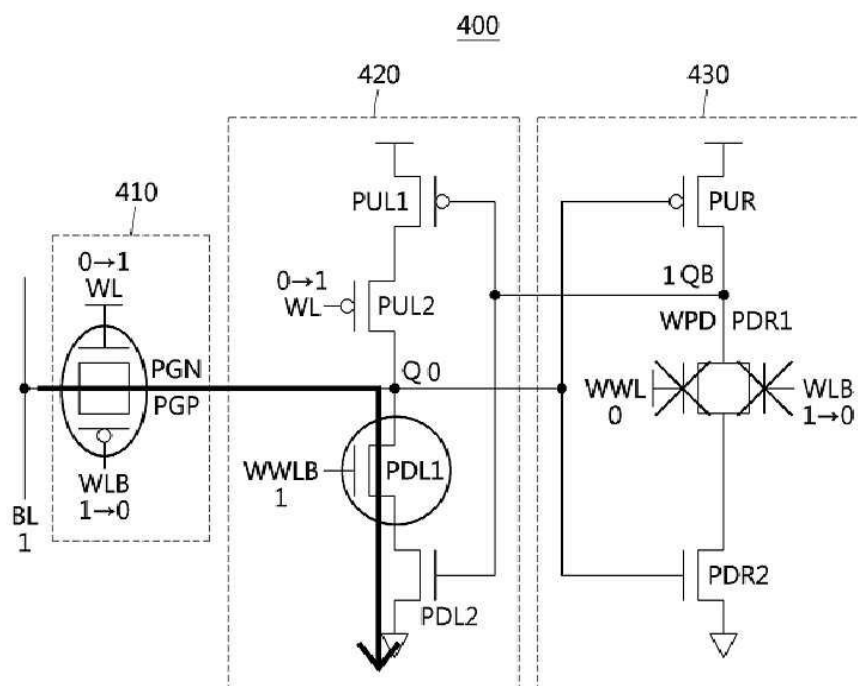
도면2



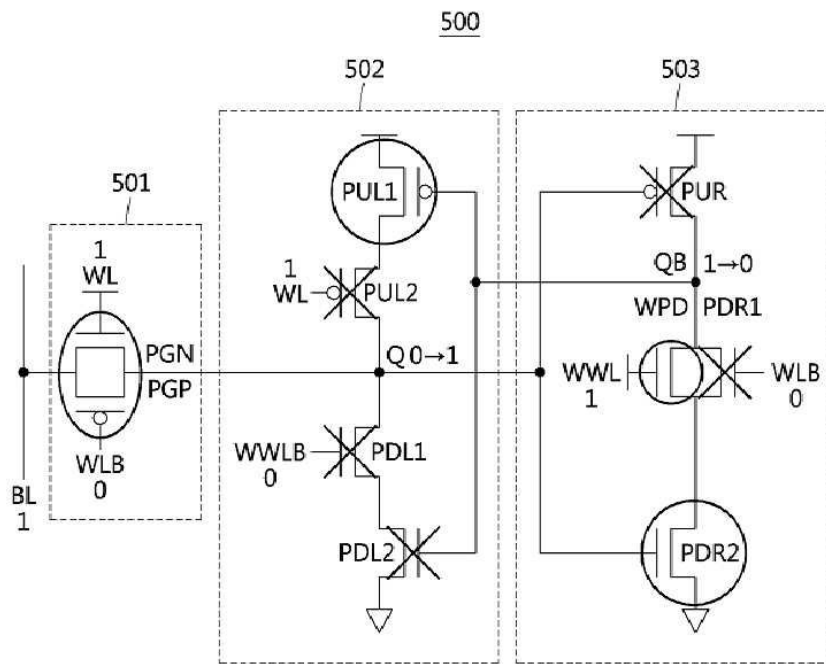
도면3



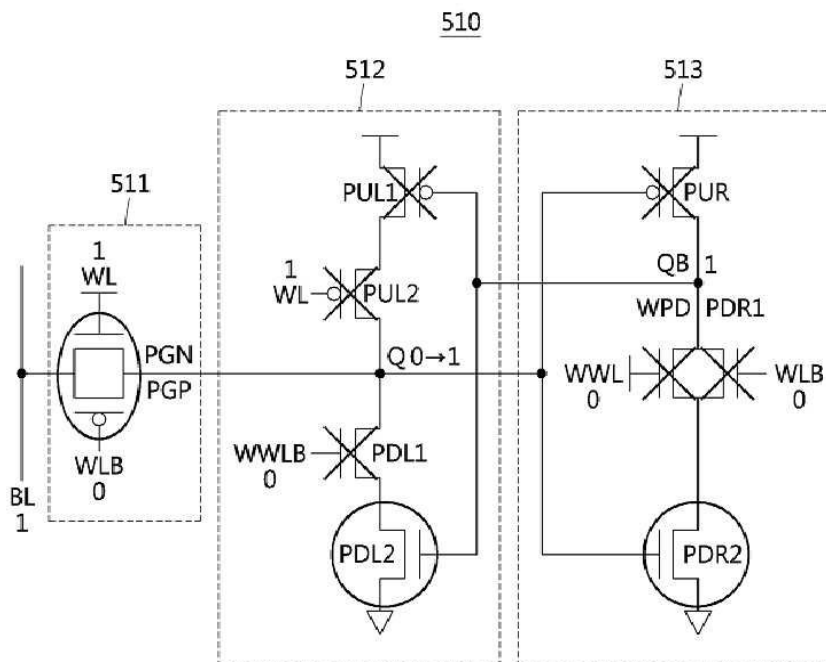
도면4



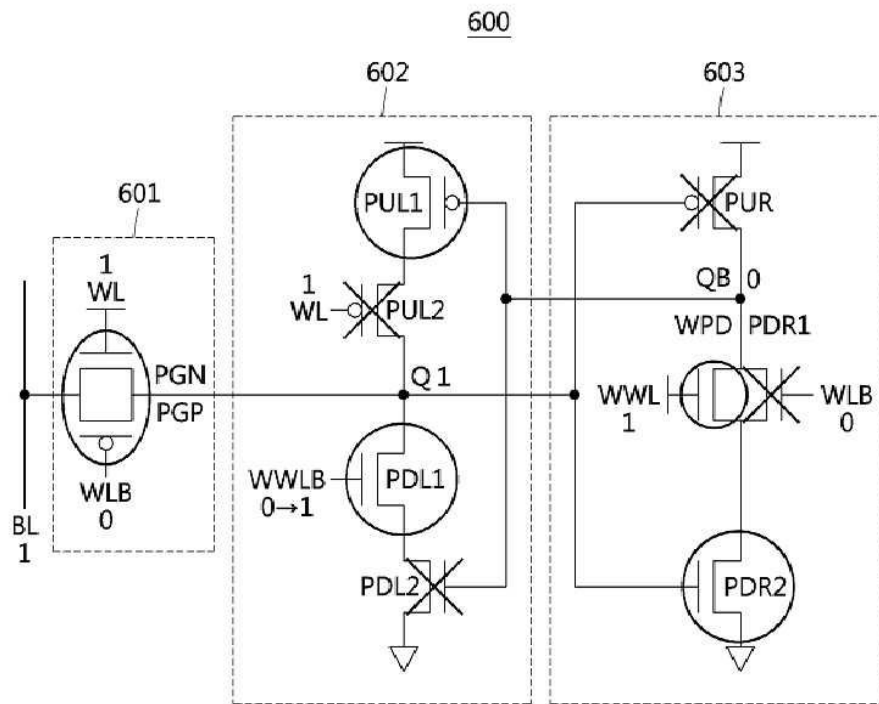
도면5a



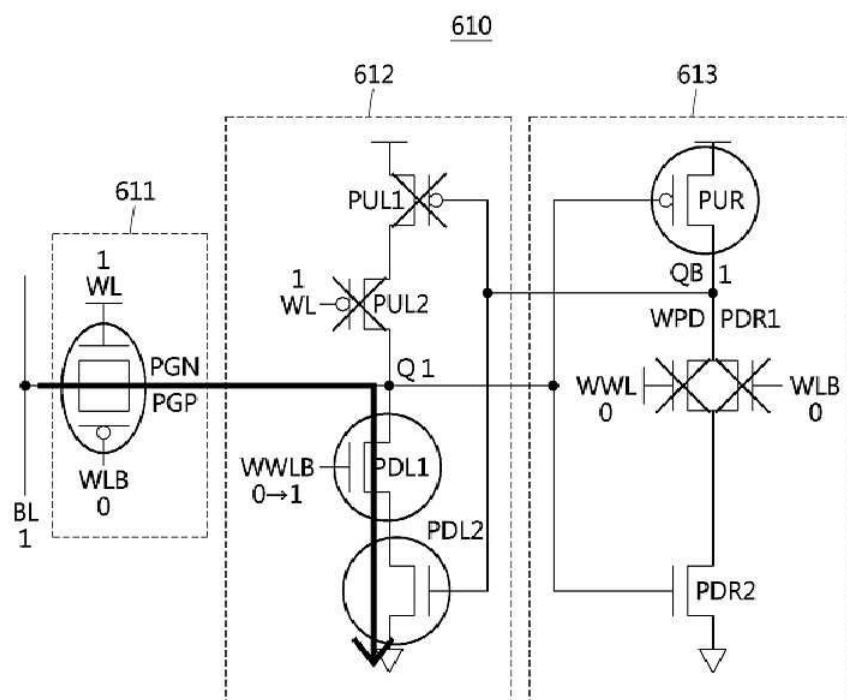
도면5b



도면6a



도면6b



도면7

