



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월22일  
(11) 등록번호 10-2125350  
(24) 등록일자 2020년06월16일

(51) 국제특허분류(Int. Cl.)  
G11C 29/42 (2015.01) G06F 11/10 (2006.01)  
G11C 5/02 (2006.01)  
(52) CPC특허분류  
G11C 29/42 (2013.01)  
G06F 11/1048 (2013.01)  
(21) 출원번호 10-2019-0012161  
(22) 출원일자 2019년01월30일  
심사청구일자 2019년01월30일  
(56) 선행기술조사문헌  
KR1020080046826 A\*  
KR1020150130888 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
강성호  
서울특별시 서대문구 연세로 50, 제3공학관 C631호 (신촌동)  
한동현  
서울특별시 서대문구 연세로 50, 제3공학관 C631호 (신촌동)  
이하영  
서울특별시 서대문구 연세로 50, 제3공학관 C631호 (신촌동)  
(74) 대리인  
특허법인우인

전체 청구항 수 : 총 11 항

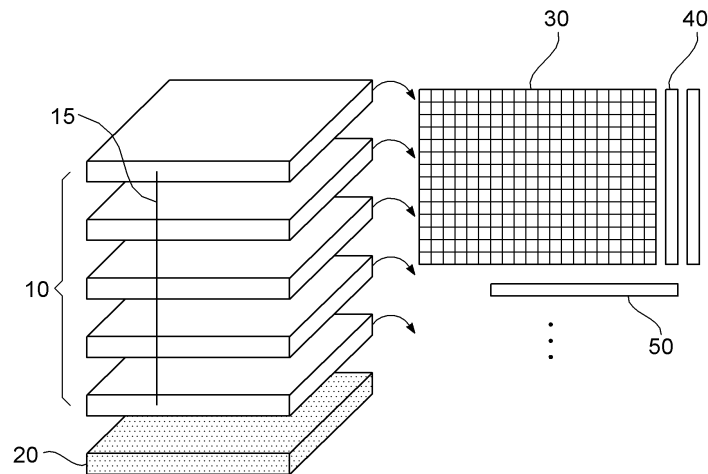
심사관 : 신우열

(54) 발명의 명칭 오류 정정 코드를 이용한 적층형 메모리 장치 및 그 수리 방법

(57) 요약

본 실시예들은 프리 본드 공정(Pre-Bond)에서 예비 자원에 관한 정보를 저장하고, 포스트 본드 공정(Post-Bond)에서 사용 가능한 예비 자원을 확인하고, 오류 정정 코드를 통해 오류를 정정하고, 동일한 개수의 예비 자원을 가변적으로 사용함으로써, 포스트 본드 공정에서 예비 자원의 개수를 추가적으로 확보하여 수율을 향상시킬 수 있는 적층형 메모리 장치 및 그 수리 방법을 제공한다.

대표도 - 도1



(52) CPC특허분류

**G11C 5/025** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10052875

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 기타사업

연구과제명 TSV 기반 3D IC의 수율 향상을 위한 테스트 및 테스터 기술

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2018.04.01 ~ 2019.01.31

---

## 명세서

### 청구범위

#### 청구항 1

복수의 메모리 층 및 시스템 층을 포함하는 적층형 메모리 장치에 있어서,

상기 복수의 메모리 층에 기본 메모리가 배치되며,

상기 시스템 층은 오류 정정 모듈을 포함하고,

상기 복수의 메모리 층은 (i) 상기 기본 메모리에서 오류가 발생한 셀을 대체하는 여분 메모리와 (ii) 상기 기본 메모리에서 오류가 발생한 셀의 고장 상태를 저장하는 고장 상태 메모리를 포함하며,

상기 고장 상태 메모리는 (i) 상기 여분 메모리에 관한 제1 정보, (ii) 상기 기본 메모리에 관한 제2 정보, (iii) 고장 유형에 관한 제3 정보, 또는 이들의 조합을 저장하는 것을 특징으로 하는 적층형 메모리 장치.

#### 청구항 2

제1항에 있어서,

상기 오류 정정 모듈은 단일 또는 복수의 데이터의 오류를 검출하여 정정하는 모듈로서, 상기 기본 메모리 또는 상기 여분 메모리에 데이터 비트를 기록할 때 체크 비트를 생성하고, 상기 데이터 비트를 독출할 때 상기 데이터 비트와 상기 체크 비트를 비교하여 상기 데이터 비트 중에서 오류 비트를 결정하고, 상기 오류 비트를 정정하는 것을 특징으로 하는 적층형 메모리 장치.

#### 청구항 3

제1항에 있어서,

상기 시스템 층은 추가적인 여분 메모리와 추가적인 고장 상태 메모리를 포함하는 것을 특징으로 하는 적층형 메모리 장치.

#### 청구항 4

제1항에 있어서,

상기 고장 상태 메모리는 퓨즈, 비휘발성 저장 소자, 또는 이들의 조합으로 구현된 것을 특징으로 하는 적층형 메모리 장치.

#### 청구항 5

삭제

#### 청구항 6

제1항에 있어서,

상기 고장 상태 메모리는 상기 여분 메모리가 행 또는 열에 해당하는지에 관한 정보 및 상기 여분 메모리가 솔루션에서 사용되는지에 관한 정보를 상기 여분 메모리에 관한 제1 정보로 저장하는 것을 특징으로 하는 적층형 메모리 장치.

#### 청구항 7

제1항에 있어서,

상기 고장 상태 메모리는 상기 여분 메모리가 상기 기본 메모리의 몇 번째 행 또는 열을 수리할 예정인지에 관한 정보를 상기 기본 메모리에 관한 제2 정보로 저장하는 것을 특징으로 하는 적층형 메모리 장치.

## 청구항 8

제1항에 있어서,

상기 고장 상태 메모리는 상기 복수의 메모리 층의 행 또는 열에서 오류가 발생한 셀의 개수를 상기 고장 유형에 관한 제3 정보로 저장하는 것을 특징으로 하는 적층형 메모리 장치.

## 청구항 9

제1항에 있어서,

상기 오류 정정 모듈은 상기 고장 유형에 관한 제3 정보를 독출한 결과에 따라 상기 고장 유형에 대응하는 오류가 발생한 셀의 데이터를 정정하는 것을 특징으로 하는 적층형 메모리 장치.

## 청구항 10

제1항에 있어서,

상기 고장 상태 메모리는 상기 기본 메모리에서 오류가 발생한 셀을 수리하지 않고 셀의 고장 상태를 저장하며, 상기 오류 정정 모듈은 상기 셀의 고장 상태를 참조하여 상기 기본 메모리에서 오류가 발생한 셀을 일부 또는 전부 수리하는 것을 특징으로 하는 적층형 메모리 장치.

## 청구항 11

프리 본드 공정에서 기본 메모리의 오류를 검출하고, 고장 상태 메모리에 포스트 본드 공정에서 체크하기 위한 고장 유형을 저장하는 단계; 및

상기 포스트 본드 공정에서 상기 고장 상태 메모리에 저장된 고장 유형을 판독한 결과에 따라 여분 메모리와 오류 정정 모듈을 통하여 상기 기본 메모리를 수리하는 단계

를 포함하는 적층형 메모리 장치의 수리 방법.

## 청구항 12

제11항에 있어서,

상기 프리 본드 공정에서, 상기 기본 메모리에서 오류가 발생한 셀의 고장 상태를 저장하며,

상기 포스트 본드 공정에서, 상기 셀의 고장 상태를 참조하여 상기 기본 메모리에서 오류가 발생한 셀을 일부 또는 전부 수리하는 것을 특징으로 하는 적층형 메모리 장치의 수리 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명이 속하는 기술 분야는 적층형 메모리 장치의 수리 방법에 관한 것이다.

### 배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 메모리 셀의 면적 당 밀도가 물리적 한계에 다다르면서 3D 메모리가 발전하였고, 메모리의 층이 적층되면서 높은 수리율이 요구된다. 메모리 각 층마다 여분 셀이 마련된다.

[0004] 여분 셀들은 웨이퍼 상에서의 수리인 프리 본드 공정(Pre-Bond) 과정을 위한 여분 셀과 메모리의 적층 이후에 수리 과정인 포스트 본드 공정(Post-Bond) 과정을 위한 여분 셀들이 존재한다. 즉, 메모리는 프리 본드 공정과 포스트 본드 공정 총 2회에 걸쳐 고장 정보를 확인하고 수리를 진행한다.

[0005] 기존의 수리 방식은 프리 본드 공정에서 수리시 사용한 예비 자원을 제외한 나머지 예비 자원을 포스트 본드 공정에서 수리시 사용한다. 이때 사용 가능한 예비 자원이 부족한 경우 메모리 전체를 버려야 한다. 프리 본드 공

정에서 수리가 불가능한 경우에는 하나의 메모리 다이를 버리면 되지만, 포스트 본드 공정에서 수리가 불가능한 경우에는 적층된 모든 메모리를 버려야 하는 문제가 있다.

## 선행기술문헌

### 특허문헌

- [0006] (특허문헌 0001) 한국등록특허공보 제10-1843580호 (2018.03.30.)  
(특허문헌 0002) 한국등록특허공보 제10-1424402호 (2014.07.22.)

## 발명의 내용

### 해결하려는 과제

- [0007] 본 발명의 실시예들은 프리 본드 공정(Pre-Bond)에서 예비 자원에 관한 정보를 저장하고, 포스트 본드 공정(Post-Bond)에서 사용 가능한 예비 자원을 확인하고, 오류 정정 코드를 통해 오류를 정정하고, 동일한 개수의 예비 자원을 가변적으로 사용함으로써, 포스트 본드 공정에서 예비 자원의 개수를 추가적으로 확보하는 데 발명의 주된 목적이 있다.
- [0008] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

### 과제의 해결 수단

- [0009] 본 실시예의 일 측면에 의하면, 복수의 메모리 층 및 시스템 층을 포함하는 적층형 메모리 장치에 있어서, 상기 복수의 메모리 층에 기본 메모리가 배치되며, 상기 시스템 층은 오류 정정 모듈을 포함하고, 상기 복수의 메모리 층은 (i) 상기 기본 메모리에서 오류가 발생한 셀을 대체하는 여분 메모리와 (ii) 상기 기본 메모리에서 오류가 발생한 셀의 고장 상태를 저장하는 고장 상태 메모리를 포함하는 것을 특징으로 하는 적층형 메모리 장치를 제공한다.
- [0010] 상기 오류 정정 모듈은 단일 또는 복수의 데이터의 오류를 검출하여 정정하는 모듈로서, 상기 기본 메모리 또는 상기 여분 메모리에 데이터 비트를 기록할 때 체크 비트를 생성하고, 상기 데이터 비트를 독출할 때 상기 데이터 비트와 상기 체크 비트를 비교하여 상기 데이터 비트 중에서 오류 비트를 결정하고, 상기 오류 비트를 정정할 수 있다.
- [0011] 상기 시스템 층은 추가적인 여분 메모리와 추가적인 고장 상태 메모리를 포함할 수 있다.
- [0012] 상기 고장 상태 메모리는 퓨즈, 비휘발성 저장 소자, 또는 이들의 조합으로 구현될 수 있다.
- [0013] 상기 고장 상태 메모리는 (i) 상기 여분 메모리에 관한 제1 정보, (ii) 상기 기본 메모리에 관한 제2 정보, (iii) 고장 유형에 관한 제3 정보, 또는 이들의 조합을 저장할 수 있다.
- [0014] 프리 본드 공정(Pre-Bond)에서, 상기 고장 상태 메모리는 상기 여분 메모리가 행 또는 열에 해당하는지에 관한 정보 및 상기 여분 메모리가 솔루션에서 사용되는지에 관한 정보를 상기 여분 메모리에 관한 제1 정보로 저장할 수 있다.
- [0015] 프리 본드 공정에서, 상기 고장 상태 메모리는 상기 여분 메모리가 상기 기본 메모리의 몇 번째 행 또는 열을 수리할 예정인지에 관한 정보를 상기 기본 메모리에 관한 제2 정보로 저장할 수 있다.
- [0016] 프리 본드 공정에서, 상기 고장 상태 메모리는 상기 복수의 메모리 층의 행 또는 열에서 오류가 발생한 셀의 개수를 상기 고장 유형에 관한 제3 정보로 저장할 수 있다.
- [0017] 포스트 본드(Post-Bond) 공정에서, 상기 오류 정정 모듈은 상기 고장 유형에 관한 제3 정보를 독출한 결과에 따라 상기 고장 유형에 대응하는 오류가 발생한 셀의 데이터를 정정할 수 있다.
- [0018] 프리 본드 공정에서, 상기 기본 메모리에서 오류가 발생한 셀을 수리하지 않고 셀의 고장 상태를 저장하며, 포스트 본드 공정에서, 상기 셀의 고장 상태를 참조하여 상기 기본 메모리에서 오류가 발생한 셀을 일부 또는 전

부 수리할 수 있다.

[0019] 본 실시예의 다른 측면에 의하면, 프리 본드 공정에서 기본 메모리의 오류를 검출하고, 고장 상태 메모리에 포스트 본드 공정에서 체크하기 위한 고장 유형을 저장하는 단계, 및 상기 포스트 본드 공정에서 상기 고장 상태 메모리에 저장된 고장 유형을 판독한 결과에 따라 여분 메모리와 오류 정정 모듈을 통하여 상기 기본 메모리를 수리하는 단계를 포함하는 적층형 메모리 장치의 수리 방법을 제공한다.

[0020] 프리 본드 공정에서, 상기 기본 메모리에서 오류가 발생한 셀을 수리하지 않고 셀의 고장 상태를 저장하며, 포스트 본드 공정에서, 상기 셀의 고장 상태를 참조하여 상기 기본 메모리에서 오류가 발생한 셀을 일부 또는 전부 수리할 수 있다.

### 발명의 효과

[0021] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 프리 본드 공정(Pre-Bond)에서 예비 자원에 관한 정보를 저장하고, 포스트 본드 공정(Post-Bond)에서 사용 가능한 예비 자원을 확인하고, 오류 정정 코드를 통해 오류를 정정하고, 동일한 개수의 예비 자원을 가변적으로 사용함으로써, 포스트 본드 공정에서 예비 자원의 개수를 추가적으로 확보하여 수율을 향상시키는 효과가 있다.

[0022] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

### 도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 적층형 메모리 장치의 구조를 예시한 도면이다.

도 2는 본 발명의 일 실시예에 따른 적층형 메모리 장치의 시스템 층을 예시한 블록도이다.

도 3은 본 발명의 일 실시예에 따른 적층형 메모리 장치의 고장 상태 메모리를 예시한 도면이다.

도 4는 본 발명의 일 실시예에 따른 적층형 메모리 장치가 수리하는 과정을 예시한 흐름도이다.

도 5는 본 발명의 일 실시예에 따른 적층형 메모리 장치가 프리 본드 공정에서 솔루션을 찾는 것을 예시한 도면이다.

도 6은 본 발명의 일 실시예에 따른 적층형 메모리 장치가 프리 본드 공정에서 고장 상태 메모리에 고장 유형을 저장하는 것을 예시한 도면이다.

도 7은 본 발명의 일 실시예에 따른 적층형 메모리 장치가 포스트 본드 공정에서 솔루션을 찾는 것을 예시한 도면이다.

도 8은 본 발명의 다른 실시예에 따른 적층형 메모리 장치의 수리 방법을 예시한 흐름도이다.

### 발명을 실시하기 위한 구체적인 내용

[0024] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.

[0025] 도 1은 적층형 메모리 장치의 구조를 예시한 도면이다. 적층형 메모리 장치는 하나 이상의 결합된 메모리 다이 층들, 메모리 패키지들, 또는 다른 메모리 요소들을 포함하는 3차원 컴퓨터 메모리를 의미한다. 도 1을 참조하면, 적층형 메모리 장치는 복수의 메모리 층(10) 및 시스템 층(20)을 포함하며, 기판 위에 구현될 수 있다.

[0026] 적층형 메모리 장치는 수직 적층형 또는 수평(예컨대, 사이드-바이-사이드) 적층형이거나, 서로 결합되어 있는 메모리 요소들을 포함할 수 있다. 복수의 메모리 층(10)은 DRAM(Dynamic Random Access Memory)으로 구현될 수 있으나, 이에 한정되는 것은 아니다. 적층형 DRAM 표준(Wide IO)의 출현으로 DRAM 웨이퍼는 메모리 스택을 가진 동일 패키지에 시스템 온 칩(SoC) 웨이퍼와 같은 시스템 요소와 함께 적층될 수 있다. 적층형 메모리 장치에서는 DRAM의 제조 회사에 따라 장치마다 메모리 층들이 변할 수 있다.

[0027] 복수의 메모리 층(10)은 실리콘 관통전극(15)을 통하여 상호 연결될 수 있다. 적층형 메모리는 실리콘 관통전극(Through Silicon Via, TSV) 제조 기법들을 이용하며, 메모리 스택을 통한 신호 경로들을 제공하기 위해 실리콘 다이들을 통하여 비아들이 생성된다. 실리콘 관통전극으로 연결할 때, 최상부(또는 최외곽) 메모리 다이 층은

제외될 수 있다.

- [0028] 시스템 층(20)은 중앙 처리 유닛(Central Processing Unit, CPU), 메모리 컨트롤러, 및 기타 관련 시스템 요소들과 같은 요소들을 포함할 수 있다. 시스템 층은 시스템 온 칩(SoC)을 포함할 수 있다. 로직 칩은 애플리케이션 프로세서 또는 그래픽 처리 장치(Graphics Processing Unit, GPU)일 수 있다.
- [0029] 메모리 수리는 포괄적이고 메모리의 제조 회사에 의해 시행되는 임의의 메모리 포맷에 적용될 수 있다. 일부 실시예들에서 메모리 장치는 CAM과 같은 별개의 메모리에 저장하거나 메모리의 결함 있는 부분들의 주소들을 메모리의 양호한 부분들로 변환함으로써 결함 있는 요소들에 대한 여분(Redundancy)을 제공한다. 일부 실시예들에서 메모리의 결함 있는 메모리의 여분의 행들, 열들, 또는 블록들이 소정의 종래의 DRAM들에서 구현될 수 있다.
- [0030] 도 2는 적층형 메모리 장치의 시스템 층을 예시한 블록도이다.
- [0031] 시스템 층(20)은 오류 정정 모듈(60)을 포함한다. 시스템 층(20)은 도 2에서 예시적으로 도시한 다양한 구성요소들 중에서 일부 구성요소를 생략하거나 다른 구성요소를 추가로 포함할 수 있다. 예컨대, 시스템 층(20)은 추가적인 고장 상태 메모리(미도시), 메모리 컨트롤러(미도시), 또는 이들의 조합을 포함할 수 있다.
- [0032] 복수의 메모리 층(10)은 기본 메모리(30)를 포함할 수 있다. 기본 메모리는 DRAM(Dynamic Random Access Memory) 등의 다양한 메모리로 구현될 수 있다.
- [0033] 복수의 메모리 층(10)은 여분 메모리(40)와 고장 상태 메모리(50)를 포함할 수 있다. 시스템 층(20)은 추가적인 여분 메모리 및/또는 추가적인 고장 상태 메모리를 포함할 수 있다.
- [0034] 여분 메모리(40)는 기본 메모리(30)에서 오류가 발생한 셀을 대체한다. 여분 메모리(40)는 셀 단위 또는 라인 단위로 오류가 발생한 하나 이상의 셀을 대체한다. 여분 메모리(40)는 복수의 메모리 층의 행 또는 열과 연결된 라인을 교체하는 방식으로 수리할 수 있다. 여분 메모리(40)는 기본 메모리의 행 또는 열과 연결된 라인을 교체하는 방식으로 수리할 수 있다. 여분 메모리(40)는 물리적인 대체를 이용할 수 있고, 메모리 층에 해당하는 행렬처럼 동작하는 논리적인 대체를 수행할 수도 있다.
- [0035] 고장 상태 메모리(50)는 여분 메모리(30)가 오류가 발생한 셀의 정보를 저장한다. 고장 상태 메모리(50)는 비휘발성 메모리로 구현될 수 있다. 예컨대, 고장 상태 메모리(50)는 퓨즈 방식으로 구현될 수 있다.
- [0036] 고장 상태 메모리(50)는 (i) 여분 메모리(40)에 관한 제1 정보, (ii) 기본 메모리(30)에 관한 제2 정보, 및 (iii) 고장 유형에 관한 제3 정보를 저장할 수 있다.
- [0037] 오류 정정 모듈(60)은 오류 정정 코드(Error Correction Code, ECC)를 이용하여 단일 또는 복수의 데이터의 오류를 검출하여 정정하는 모듈이다. 오류 정정 모듈(60)은 기본 메모리(30) 또는 여분 메모리(40)에 데이터 비트를 기록할 때 체크 비트를 생성한다. 오류 정정 모듈(60)은 데이터 비트를 독출할 때 데이터 비트와 체크 비트를 비교하여 데이터 비트 중에서 오류 비트를 결정한다. 데이터 비트와 체크 비트를 비교한 값을 기준으로 오류 비트를 정정한다.
- [0038] 메모리 컨트롤러는 복수의 메모리 층 중에서 특정 메모리 층에서 해당하는 기본 메모리(30) 또는 여분 메모리(40)에 대하여 데이터를 기입하는 동작과 독출하는 동작을 제어한다.
- [0039] 도 3은 적층형 메모리 장치의 고장 상태 메모리를 예시한 도면이다.
- [0040] 프리 본드 공정에서 만들어진 솔루션 정보는 고장 상태 메모리에 저장될 수 있다. 솔루션 정보는 기본 메모리에서 오류가 발생한 셀을 여분 메모리로 대체하는 방법이다. 본 실시예에 따른 고장 상태 메모리는 각 솔루션이 어떤 형태의 고장 분포를 수리할 예정인지 기록한다.
- [0041] 복수의 고장 상태 메모리(51, 52, 53, 54)는 복수의 여분 메모리에 대응하는 정보를 포함할 수 있다. 고장 상태 메모리(51)는 여분 메모리에 관한 제1 정보, 기본 메모리에 관한 제2 정보, 및 고장 유형에 관한 제3 정보를 저장할 수 있다.
- [0042] 프리 본드 공정(Pre-Bond)에서, 고장 상태 메모리(51)는 여분 메모리가 행 또는 열에 해당하는지에 관한 정보(55) 및 여분 메모리가 솔루션에서 사용되는지에 관한 정보(56)를 여분 메모리에 관한 제1 정보로 저장할 수 있다.
- [0043] 프리 본드 공정에서, 고장 상태 메모리(51)는 여분 메모리가 기본 메모리의 몇 번째 행 또는 열을 수리할 예정인지에 관한 정보(57)를 기본 메모리에 관한 제2 정보로 저장할 수 있다.



- [0044] 프리 본드 공정에서, 고장 상태 메모리(51)는 복수의 메모리 층의 행 또는 열에서 오류가 발생한 셀의 개수를 상기 고장 유형에 관한 제3 정보로 저장할 수 있다.
- [0045] 예비 자원으로 각각 2개의 행과 열을 사용하고, 고장 상태 메모리를 퓨즈 구조로 구현한 경우를 예로 들어 설명하면, 고장 상태 메모리(51)는 R/C Fuse(55), Enable Fuse(56), Address Fuse(57), 및 Fault Type Fuse(58)를 포함할 수 있다. 연결된 상태를 로직 1로 설정하고 단선된 상태를 로직 0으로 설정할 수 있고, 단선된 상태를 로직 1로 설정하고 연결된 상태를 로직 0으로 설정할 수도 있다.
- [0046] R/C Fuse(55)는 사용 예정인 예비 자원이 행 예비 자원과 열 예비 자원 중 어떤 것인지 파악한다. Enable Fuse는 예비 자원이 솔루션에서 사용되는지를 나타낸다. Address Fuse는 각 예비 자원이 몇 번째 행 혹은 열을 수리할 것인지 나타낸다. Fault Type Fuse는 해당 예비 자원이 어떤 형태의 고장 분포를 수리하는지 나타낸다.
- [0047] 행 혹은 열 형태의 예비 자원은 한 예비 자원이 수리할 예정인 고장의 개수가 복수인 경우와 단수인 경우로 나눌 수 있다. Fault Type Fuse는 해당 예비 자원이 하나의 고장을 수리할 것인지, 다수의 고장을 수리할 것인지 나타낸다. 하나의 고장을 수리하는 경우, 하나의 고장은 예비 자원이 아닌 오류 정정 코드(ECC)로도 수리가 가능하다.
- [0048] 프리 본드 공정에서 셀의 수리를 위해 배정 예정인 예비 자원, 고장이 발생한 주소, 및 고장의 형태를 퓨즈 구조 등의 비휘발성 저장 소자에 저장할 수 있다. 포스트 본드 공정에서 솔루션을 산출한 결과 예비 자원이 부족한 경우, 프리 본드 공정에서 단일 고장의 수리를 위해 배정했던 예비 자원을 포스트 본드 공정에서 수리를 위해 사용할 수 있다. 단일 고장이 발생한 셀, 행, 또는 열의 주소를 오류 정정 모듈로 전달한다. 배정했던 예비 자원이 아닌 오류 정정 모듈을 이용하여 오류 정정 모듈이 처리 가능한 셀의 데이터를 정정한다.
- [0049] 도 4는 적층형 메모리 장치가 수리하는 과정을 예시한 흐름도이다.
- [0050] 적층형 메모리 장치에 관한 공정은 크게 3가지로 구분된다. 프리 본드 공정(Pre-Bond)(S100), 패키징 공정(S200), 포스트 본드 공정(Post-Bond)(S300)을 포함한다.
- [0051] 단계 S110에서 적층형 메모리 장치는 자동 테스트 장비(ATE, Automatic Test Equipment)를 이용하여 메모리 층을 검사하고 고장 데이터를 획득할 수 있다. 단계 S120에서 적층형 메모리 장치는 고장 데이터를 수집한다. 단계 S120에서 적층형 메모리 장치는 ATE를 이용하여 고장 데이터를 분석하여 대체 솔루션을 구한다.
- [0052] ATE는 적층형 메모리 장치, 즉, 피시험장치(Device Under Test, DUT)를 자동으로 검사하는 장비로 마이크로컴퓨터 또는 마이크로프로세서 기반의 시스템으로 구성된다. ATE는 테스트 헤더를 통해 BOST(Built off Self Test) 회로 장치와 전기적으로 결합된다. ATE는 테스트 패턴을 DUT에 직접 입력하거나 BOST 회로 장치를 통하여 DUT와 전기적으로 연결하고 테스트 패턴을 DUT에 입력할 수 있다. DUT의 출력과 기대값을 비교하여 DUT의 오류를 판정한다. DUT는 BOST 회로 장치의 소켓에 장착되어 전기적으로 결합될 수 있다.
- [0053] ATE는 외부의 서버와 인터페이스를 사용하여 접속할 수 있다. 서버는 사용자 인터페이스를 제공하여 사용자가 테스트될 DUT의 특성에 맞는 테스트 프로그램을 작성할 수 있는 환경을 제공한다. 또한 서버는 ATE에 테스트 프로그램을 송신하며 ATE에서 테스트 결과를 송신 받아 분석할 수 있는 사용자 인터페이스를 제공할 수 있다. 서버는 임의의 타입의 프로세싱 디바이스일 수 있고, 종래의 퍼스널 컴퓨터(PC), 데스크 탑 디바이스, 또는 휴대용 디바이스, 마이크로프로세서 컴퓨터, 마이크로프로세서 기반 또는 프로그램가능 소비자 전자 디바이스, 미니-컴퓨터, 메인프레임 컴퓨터, 및/또는 개인용 모바일 컴퓨팅 디바이스를 포함하지만 이에 제한되지는 않는다.
- [0054] BOST 회로 장치는 프린트 인쇄기관으로 형성될 수 있고, ATE와 DUT를 전기적으로 연결하기 위한 다수의 도전패턴들이 형성될 수 있다. 다수의 도전패턴들은 입출력 테스트 신호 라인들, 클록 신호 라인들, 전원 라인들을 포함할 수 있다. BOST 회로 장치는 테스트 보드 또는 하이픽스(High Fidelity Tester Access Fixture, HI FIX)를 포함할 수 있다.
- [0055] 적층형 메모리 장치는 BIST(Built in Self Test) 회로 장치를 통하여 메모리를 테스트할 수 있다. BIST 회로 장치는 테스트 패턴 생성기와 테스트 결과를 저장하는 메모리가 필요하다. BIST 회로 장치는 적층형 메모리 장치 내부에 조립되어, 테스트 데이터를 생성하고, 테스트 결과를 비교하여, 불량량의 메모리 셀을 검출해 자기 수리(Self Repair)가 가능하다.
- [0056] 본 실시예에 따른 적층형 메모리 장치를 수리하는 방법은 기존의 방식에서 고장 상태 메모리에 고장 정보를 저장하는 단계(S130)를 추가한다. 고장 상태 메모리는 해당 예비 자원이 어떤 형태의 고장 분포를 수리할 예정인지 저장된다. 다음 공정에서 각 예비 자원에 대응하는 고장이 오류 정정 코드(ECC)로 수리 가능한지 판단할 수



있는 정보로 사용된다.

- [0057] 패키징 과정(S200)는 복수의 메모리를 적층하는 공정으로 메모리 분야의 통상적 패키징 기술을 적용할 수 있다.
- [0058] 포스트 본드 공정(Post-Bond)(S300)에서 수리 솔루션을 도출하는 단계(S310, S320, S330)까지는 기존의 방식을 적용할 수 있다. 기존의 방식은 현재 배정된 예비 자원으로 수리 솔루션의 도출이 불가능한 경우에, 이미 웨이퍼에서 생산되어 적층된 메모리에 예비 자원을 물리적으로 추가하는 것은 불가능하다.
- [0059] 본 실시예에 따른 적층형 메모리 장치가 수리하는 방법은 프리 본드 공정에서 할당했던 예비 자원을 포스트 본드 공정에서 실제로 수리시 활용할 수 있다. 단계 S331에서 퓨즈 구조 등의 고장 상태 메모리를 스캔한다. 단계 S332에서 오류 정정 코드로 대체가 가능한 예비 자원은 오류 정정 코드에 고장난 셀, 행 또는 열의 주소를 인가하고, 포스트 본드 공정에서 사용될 수 있다. 추가적으로 확보된 예비 자원을 이용하여 다시 수리 솔루션을 도출할 수 있다. 포스트 본드 공정에서 사용 가능한 예비 자원의 절대적인 양이 늘었기 때문에 메모리의 수율이 높아진다.
- [0060] 이하에서는 도 5 내지 도 7을 참조하여, 프리 본드 공정에서 솔루션을 찾고 고장 유형을 저장하고, 포스트 본드 공정에서 솔루션을 찾고 기 저장된 고장 유형을 참조하여 수리하는 동작을 설명하기로 한다.
- [0061] 도 5는 적층형 메모리 장치가 프리 본드 공정에서 솔루션을 찾는 것을 예시한 도면이고, 도 6은 적층형 메모리 장치가 프리 본드 공정에서 고장 상태 메모리에 고장 유형을 저장하는 것을 예시한 도면이다.
- [0062] 도 5를 참조하면, 기본 메모리의 행과 열에 라인 단위로 대체하는 여분 메모리(41, 42, 43, 44)이 있다고 가정하고 6 개의 고장난 셀에 대한 솔루션을 예로 들면, 3 개의 셀이 고장난 Row 5(31)을 Spare 1(41)이 대체하고, 1 개의 셀이 고장난 Column 6(32)을 Spare 3(43)이 대체하고, 2 개의 셀이 고장난 Column 7(32)을 Spare 3(43)이 대체할 수 있다.
- [0063] 도 6을 참조하면, Spare 1에 대응하는 퓨즈 구조에서 R/C Fuse를 1로 변경하고, Enable Fuse를 1로 변경하고, Address Fuse를 5로 변경한다. Spare 3에 Enable Fuse를 1로 변경하고, Address Fuse를 6으로 변경하고, Fault Type Fuse를 1로 변경한다. Spare 4는 Enable Fuse를 1로 변경하고, Address Fuse를 7로 변경한다.
- [0064] 프리 본드 공정 단계에서 수리 솔루션 발생 후 정보를 퓨즈 구조에 저장하면, 사용된 예비 자원 중에서 Spare 3은 단일 고장을 수리하고 있기 때문에 Fault Type Fuse에 1이 표시된다.
- [0065] 도 7은 적층형 메모리 장치가 포스트 본드 공정에서 솔루션을 찾는 것을 예시한 도면이다.
- [0066] 포스트 본드 공정에서 Column 5(34)에서 3 개의 셀이 고장난 상황을 가정하면, 기존의 방식으로는 수리가 불가능하다.
- [0067] 본 실시예에 따른 적층형 메모리 장치는 저장된 고장 상태 메모리를 독출한다. 고장 상태 메모리를 독출한 결과, Fault Type Fuse에 1이 표시된 예비 자원이 있기 때문에, 해당하는 예비 자원을 이용하여 포스트 본드 공정에서도 수리가 가능하다. 예비 자원이 할당되어 수리 예정이었던 고장을 오류 정정 코드(ECC)를 통해서 수리가 가능하다. 기존의 방식으로는 사용 불가능했던 자원이지만, 추가로 예비 메모리를 확보하여 다시 솔루션을 도출할 수 있다.
- [0068] 포스트 본드 공정(Post-Bond)에서 오류 정정 모듈은 고장 유형에 관한 제3 정보를 독출한 결과에 따라 고장 유형에 대응하는 오류가 발생한 셀의 데이터를 정정할 수 있다. 프리 본드 공정에서 기본 메모리에서 오류가 발생한 셀을 수리하지 않고 저장한 셀의 고장 상태를, 포스트 본드 공정에서 참조하여 기본 메모리에서 오류가 발생한 셀을 일부 또는 전부 수리한다.
- [0069] 도 8은 본 발명의 다른 실시예에 따른 적층형 메모리 장치의 수리 방법을 예시한 흐름도이다.
- [0070] 적층형 메모리 장치의 수리 방법은 프리 본드 공정에서 고장 유형을 저장하는 단계(S810) 및 포스트 본드 공정에서 오류 정정 모듈을 통하여 수리하는 단계(S320)를 포함한다.
- [0071] 고장 유형을 저장하는 단계(S810)는 프리 본드 공정에서 기본 메모리의 오류를 검출하고, 고장 상태 메모리에 포스트 본드 공정에서 체크하기 위한 고장 유형을 저장한다.
- [0072] 오류 정정 모듈을 통하여 수리하는 단계(S320)는 포스트 본드 공정에서 고장 상태 메모리에 저장된 고장 유형을 판독한 결과에 따라 고장 유형에 대응하는 오류가 발생한 셀을 오류 정정 모듈을 통하여 수리한다.
- [0073] 포스트 본드 공정에서, 여분 메모리는 적층형 메모리 장치에 포함된 복수의 메모리 층의 행 또는 열과 연결된

라인을 교체하는 방식으로 오류를 수리할 수 있다.

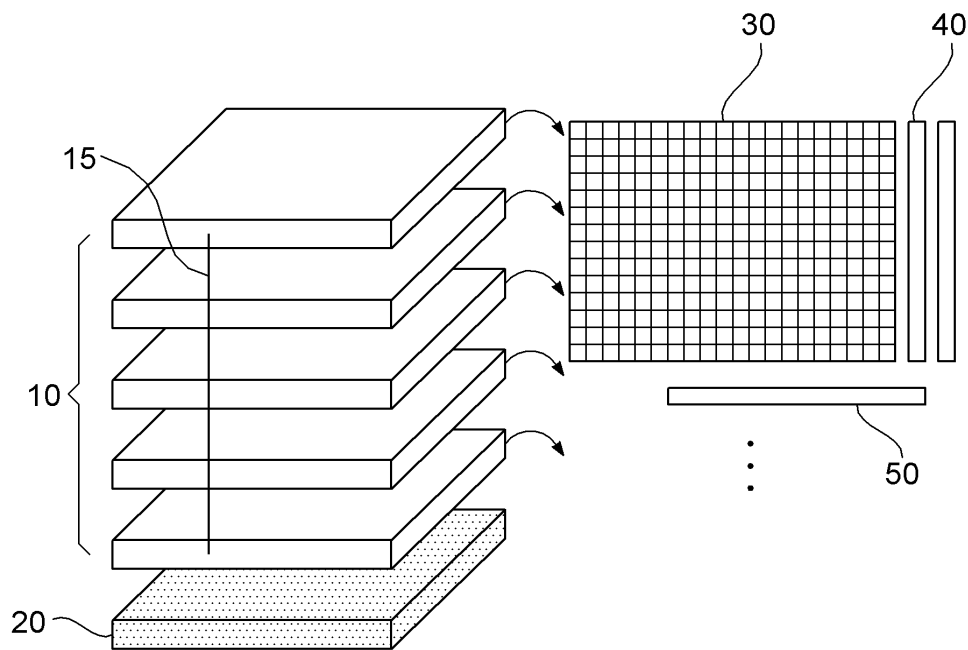
- [0074] 본 실시예에 의하면, 프리 본드 공정(Pre-Bond)에서, 포스트 본드 공정(Post-Bond)에서 예비 자원이 배치될 예정인 고장 주소 혹은 고장이 발생한 주소 정보를 저장한다. 포스트 본드 공정에서 사용 가능한 예비 자원을 확인하고, 오류 정정 코드를 통해 오류를 정정하고, 동일한 개수의 예비 자원을 가변적으로 사용함으로써, 포스트 본드 공정에서 예비 자원의 개수를 추가적으로 확보하여 수율을 향상시키는 효과가 있다.
- [0075] 적층형 메모리 장치에 포함된 복수의 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.
- [0076] 적층형 메모리 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.
- [0077] 적층형 메모리 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.
- [0078] 도 4에서는 각각의 과정을 순차적으로 실행하는 것으로 기재하고 있으나 이는 예시적으로 설명한 것에 불과하고, 이 분야의 기술자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 도 4에 기재된 순서를 변경하여 실행하거나 또는 하나 이상의 과정을 병렬적으로 실행하거나 다른 과정을 추가하는 것으로 다양하게 수정 및 변형하여 적용 가능할 것이다.
- [0079] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.
- [0080] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

## 부호의 설명

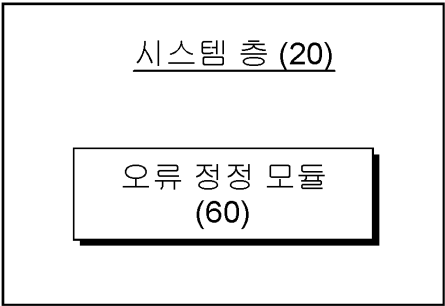
- [0081] 10: 복수의 메모리 층      15: 실리콘 관통전극  
20: 시스템 층              30: 기본 메모리  
40: 여분 메모리            50: 고장 상태 메모리  
60: 오류 정정 모듈

도면

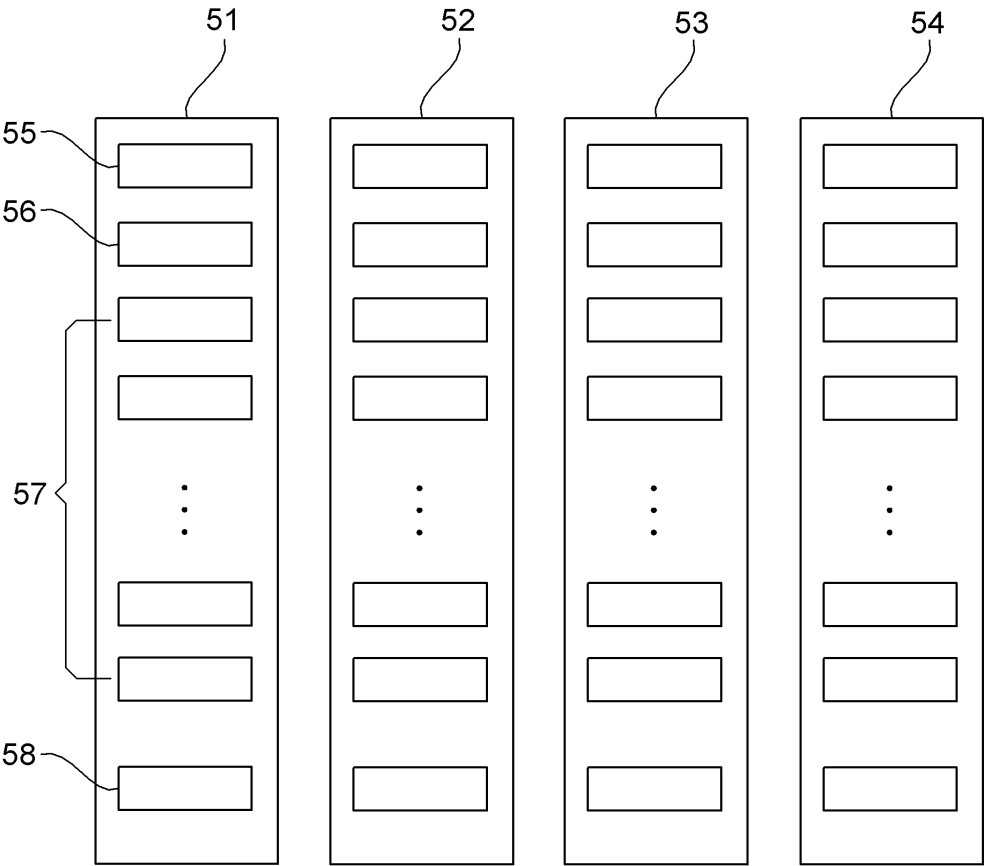
도면1



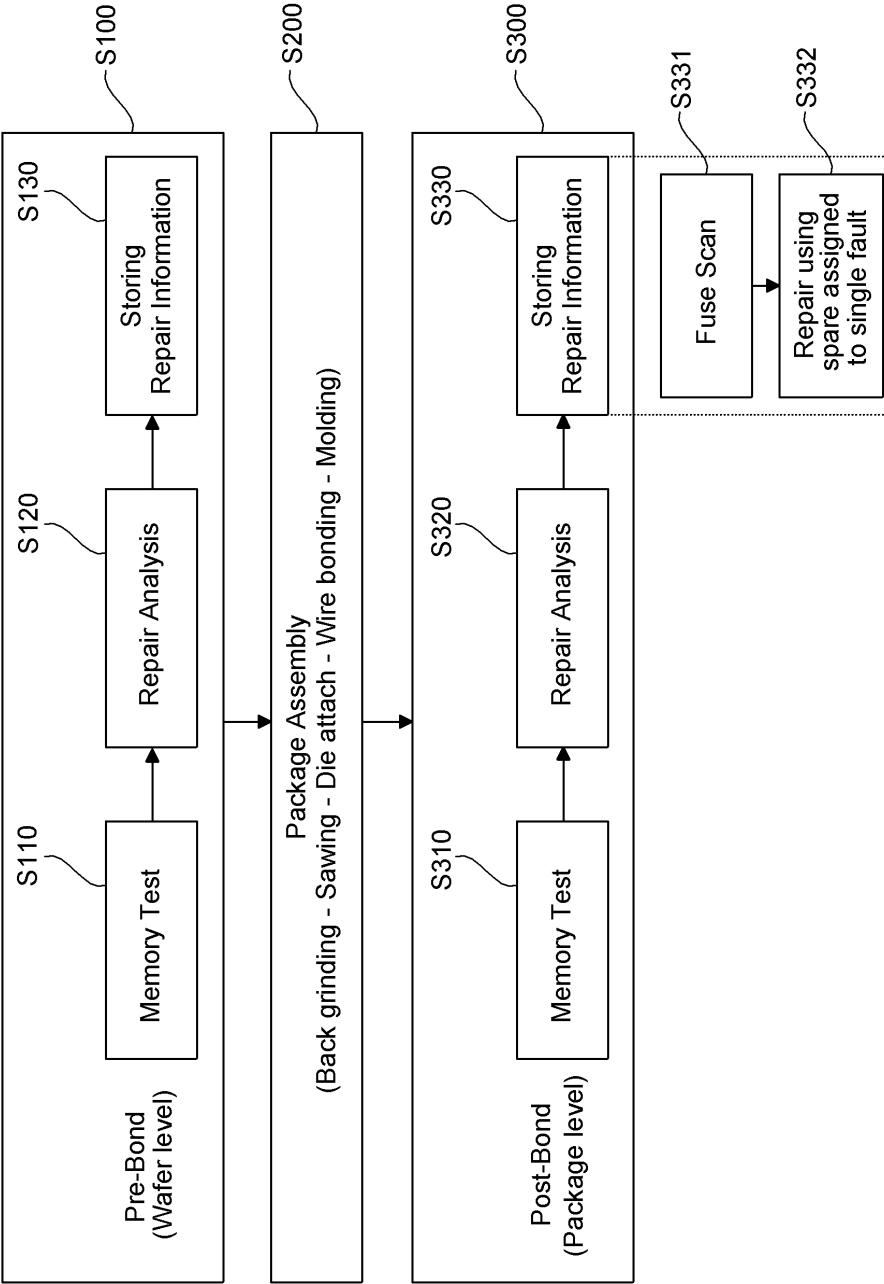
도면2



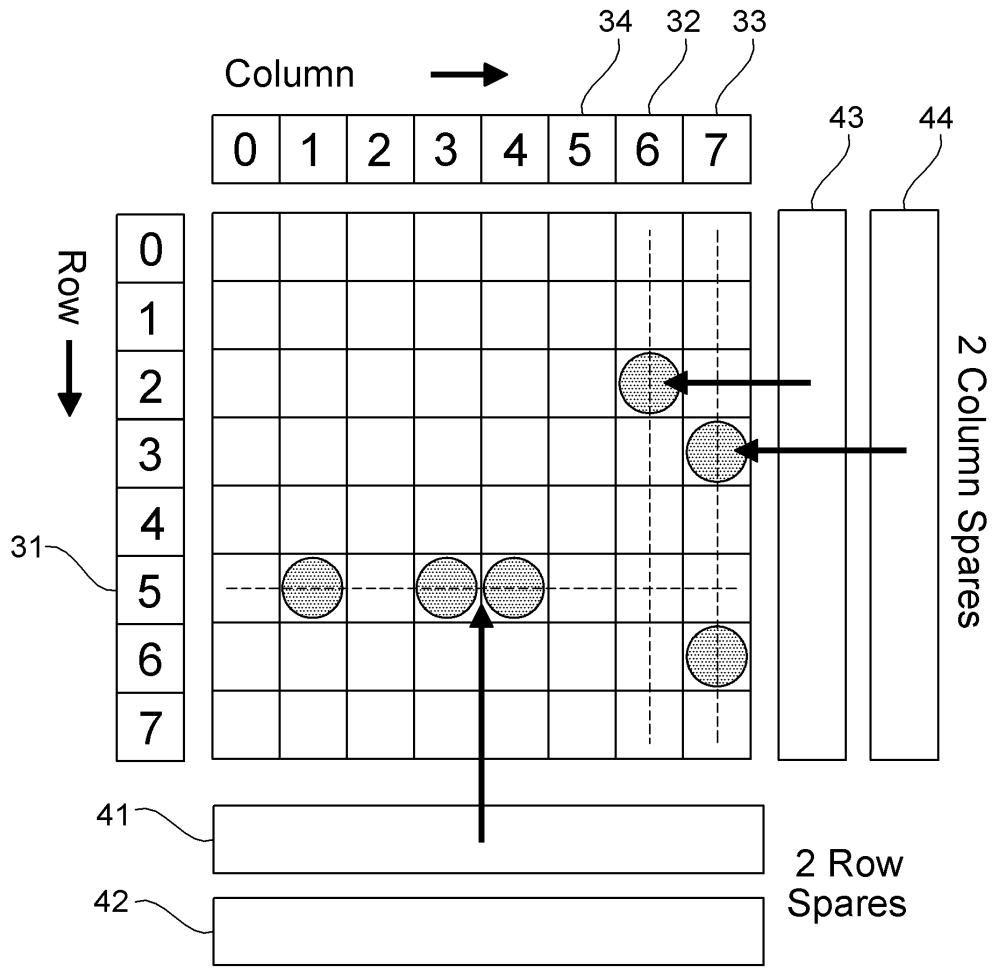
도면3



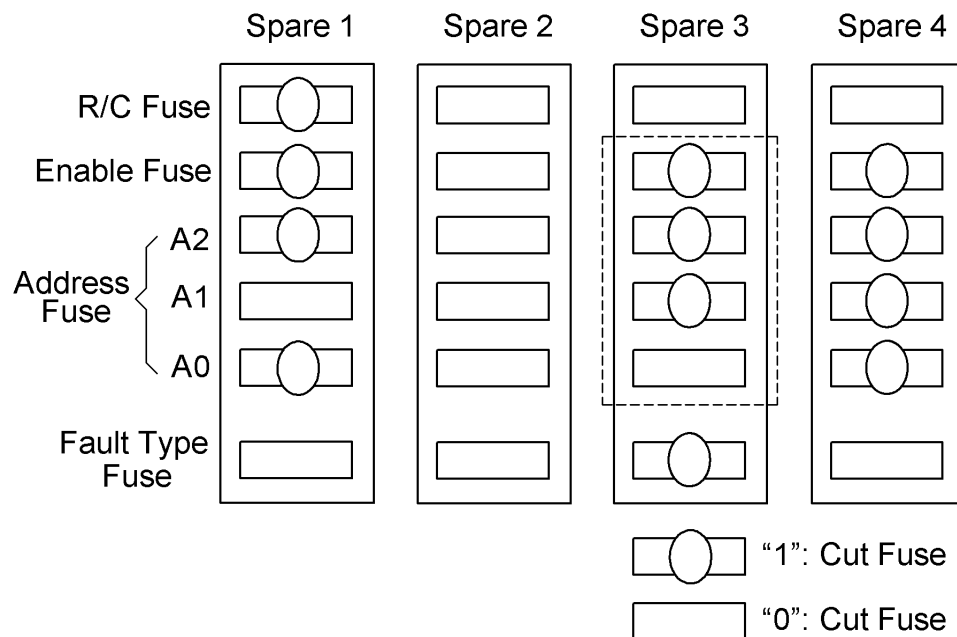
도면4



도면5

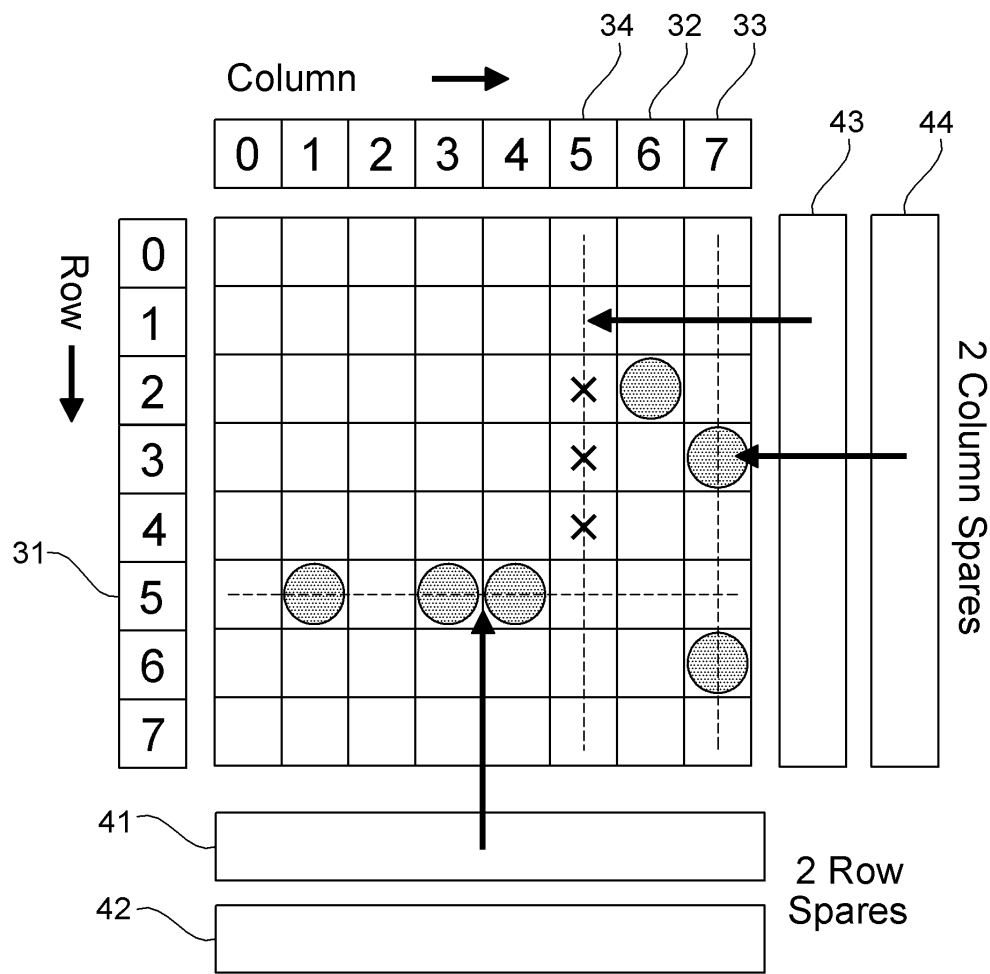


도면6





도면7



도면8

