



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월17일
(11) 등록번호 10-2192627
(24) 등록일자 2020년12월11일

(51) 국제특허분류(Int. Cl.)

H04N 5/3745 (2011.01)

(21) 출원번호 10-2014-0048790

(22) 출원일자 2014년04월23일

심사청구일자 2019년04월08일

(65) 공개번호 10-2015-0122478

(43) 공개일자 2015년11월02일

(56) 선행기술조사문헌

JP2002261614 A*

KR1020030094511 A*

KR1020040037216 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

채영철

서울특별시 광진구 아차산로36길 39, 701동 1912호 (자양동, 자양우성7차아파트)

김재홍

경기도 수원시 영통구 봉영로1770번길 21, 204동 604호 (영통동, 신명.한국아파트)

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 7 항

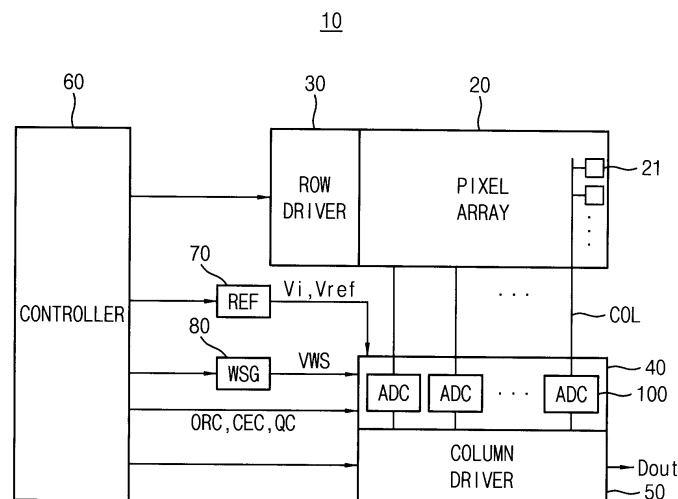
심사관 : 양정미

(54) 발명의 명칭 재구성형 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서

(57) 요약

이미지 센서는, 픽셀 어레이, 제어부 및 복수의 아날로그-디지털 컨버터들을 포함한다. 상기 픽셀 어레이는 칼럼 라인들에 각각 결합되고, 입사광을 감지하여 상기 칼럼 라인들을 통하여 아날로그 신호들을 발생하는 복수의 픽셀들을 포함한다. 상기 제어부는 동작 조건의 변화에 따라 변화하는 변환 제어 신호를 발생한다. 상기 아날로그-디지털 컨버터들은 상기 칼럼 라인들에 각각 결합되고, 상기 아날로그 신호들을 디지털 신호들로 변환하기 위한 델타-시그마 변조 및 디지털 필터링을 수행하고 상기 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절한다.

대표도 - 도1



(72) 발명자

송성우

부산광역시 해운대구 달맞이길 41, 705호 (중동)

조우진

서울특별시 종로구 자하문로33길 22-8 (청운동)

황현석

경상북도 문경시 흥덕9길 13, 라동 305호 (흥덕동)

명세서

청구범위

청구항 1

칼럼 라인들에 각각 결합되고, 입사광을 감지하여 상기 칼럼 라인들을 통하여 아날로그 신호들을 발생하는 복수의 픽셀들을 포함하는 픽셀 어레이;

동작 조건의 변화에 따라 변화하는 변환 제어 신호를 발생하는 제어부; 및

상기 칼럼 라인들에 각각 결합되고, 상기 아날로그 신호들을 디지털 신호들로 변환하기 위한 델타-시그마 변조 및 디지털 필터링을 수행하고 상기 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절하는 복수의 아날로그-디지털 컨버터들을 포함하고,

상기 아날로그-디지털 컨버터들의 각각은,

전단의 출력이 후단의 입력과 연결되도록 캐스케이드 결합된 복수의 적분기들;

상기 적분기들의 출력들을 합산한 신호를 발생하는 적분 합산기; 및

상기 적분기들의 출력들과 상기 적분 합산기 사이에 결합되고, 상기 변환 제어 신호에 포함되는 차수 제어 신호에 응답하여 상기 적분기들의 출력들의 각각과 상기 적분 합산기 사이의 전기적인 연결을 제어하여 상기 델타-시그마 변조를 위한 적분 차수를 변경하는 스위칭부를 포함하는 이미지 센서.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 아날로그-디지털 컨버터들의 각각은, 상기 변환 제어 신호에 포함되는 계수 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 적분 계수들을 변경하여 상기 변환 이득을 조절하는 것을 특징으로 하는 이미지 센서.

청구항 4

제1 항에 있어서,

상기 아날로그-디지털 컨버터들의 각각은, 상기 변환 제어 신호에 포함되는 양자화 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 양자화 비트수를 변경하여 상기 변환 이득을 조절하는 것을 특징으로 하는 이미지 센서.

청구항 5

제1 항에 있어서, 상기 아날로그-디지털 컨버터들의 각각은,

상기 아날로그 신호에 대하여 상기 델타-시그마 변조를 수행하여 변조 신호를 발생하고, 상기 변환 제어 신호에 응답하여 내부적으로 상기 변환 이득을 조절하는 변조기; 및

상기 변조 신호에 대하여 상기 디지털 필터링을 수행하여 상기 디지털 신호를 발생하는 디지털 필터를 포함하는 것을 특징으로 하는 이미지 센서.

청구항 6

제5 항에 있어서, 상기 변조기는,

상기 아날로그 신호에서 피드백 신호를 감산하여 제1 신호를 출력하는 입력 합산기;

상기 복수의 적분기들, 상기 적분 합산기 및 상기 스위칭부를 포함하고, 상기 제1 신호를 적분하여 제2 신호를

발생하고, 상기 변환 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 상기 적분 차수 및 적분 계수들 중 적어도 하나를 변경하는 가변 적분부;

상기 제2 신호 및 복수의 기준 신호들에 기초하여 상기 변조 신호를 발생하는 양자화기; 및

상기 변조 신호에 응답하여 복수의 피드백 전압들 중에서 하나를 선택하여 상기 피드백 신호를 발생하는 디지털-아날로그 컨버터를 포함하는 것을 특징으로 하는 이미지 센서.

청구항 7

삭제

청구항 8

칼럼 라인들에 각각 결합되고, 입사광을 감지하여 상기 칼럼 라인들을 통하여 아날로그 신호들을 발생하는 복수의 픽셀들을 포함하는 픽셀 어레이;

동작 조건의 변화에 따라 변화하는 변환 제어 신호를 발생하는 제어부; 및

상기 칼럼 라인들에 각각 결합되고, 상기 아날로그 신호들을 디지털 신호들로 변환하기 위한 델타-시그마 변조 및 디지털 필터링을 수행하고 상기 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절하는 복수의 아날로그-디지털 컨버터들을 포함하고,

상기 아날로그-디지털 컨버터들의 각각은,

전단의 출력이 후단의 입력과 연결되도록 캐스케이드 결합된 복수의 적분기들; 및

용량성 결합을 통하여 상기 적분기들의 출력들을 합산하고, 상기 변환 제어 신호에 포함되는 계수 제어 신호에 응답하여 커패시터들이 각각 변경되어 상기 델타-시그마 변조를 위한 적분 계수들을 변경하는 가변 커패시터들을 포함하는 것을 특징으로 하는 이미지 센서.

청구항 9

삭제

청구항 10

아날로그 신호에 대하여 델타-시그마 변조를 수행하여 변조 신호를 발생하는 변조기; 및

상기 변조 신호에 대하여 디지털 필터링을 수행하여 디지털 신호를 발생하는 디지털 필터를 포함하고,

동작 조건의 변화에 따라 변화하는 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절하고,

상기 변조기는,

전단의 출력이 후단의 입력과 연결되도록 캐스케이드 결합된 복수의 적분기들;

상기 적분기들의 출력들을 합산한 신호를 발생하는 적분 합산기; 및

상기 적분기들의 출력들과 상기 적분 합산기 사이에 결합되고, 상기 변환 제어 신호에 포함되는 차수 제어 신호에 응답하여 상기 적분기들의 출력들의 각각과 상기 적분 합산기 사이의 전기적인 연결을 제어하여 상기 델타-시그마 변조를 위한 적분 차수를 변경하는 스위칭부를 포함하는 아날로그-디지털 컨버터.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로서, 더욱 상세하게는 동작 조건에 따라서 변환 이득을 조절할 수 있는 재구성형 아날로그-디지털 컨버터 및 상기 아날로그-디지털 컨버터를 포함하는 이미지 센서에 관한 것이다.

배경 기술

[0002] 이미지 센서의 기본적인 기능 중의 하나로서 감도 조절 기능이 요구된다. 예를 들어, 이미지 센서의 감도 조절 기능은 프로그래머블 이득 증폭기(PGA; programmable gain amplifier) 또는 가변 이득 증폭기(VGA; variable

gain amplifier)를 이용하여 구현될 수 있다. 가변 이득 증폭기는 아날로그-디지털 컨버터의 전단에 배치되어, 픽셀 어레이로부터 출력되는 아날로그 신호를 증폭하여 상기 아날로그-디지털 컨버터로 증폭된 아날로그 신호를 제공한다. 그러나 이러한 가변 이득 증폭기는 정적 파워를 소모하여 비효율적이고 이미지 센서의 사이즈를 증가시킨다. 종래의 아날로그-디지털 컨버터를 포함하는 이미지 센서는 단순한 증폭 동작으로 변환 이득을 조절하기 때문에, 칼럼 고정 패턴 노이즈(CFPN: column fixed pattern noise), 양자화 노이즈(quantization noise) 등과 같은 다양한 타입의 노이즈에 대처할 수 없는 문제점이 있다.

발명의 내용

해결하려는 과제

[0003] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은, 동작 조건의 변화에 따라 적응적으로 변환 이득을 조절할 수 있는 재구성형 아날로그-디지털 컨버터를 제공하는 것이다.

[0004] 또한 본 발명의 일 목적은, 상기 재구성형 아날로그-디지털 컨버터를 포함하는 이미지 센서를 제공하는 것이다.

과제의 해결 수단

[0005] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 이미지 센서는, 픽셀 어레이, 제어부 및 복수의 아날로그-디지털 컨버터들을 포함한다. 상기 픽셀 어레이는 칼럼 라인들에 각각 결합되고, 입사광을 감지하여 상기 칼럼 라인들을 통하여 아날로그 신호들을 발생하는 복수의 픽셀들을 포함한다. 상기 제어부는 동작 조건의 변화에 따라 변화하는 변환 제어 신호를 발생한다. 상기 아날로그-디지털 컨버터들은 상기 칼럼 라인들에 각각 결합되고, 상기 아날로그 신호들을 디지털 신호들로 변환하기 위한 델타-시그마 변조 및 디지털 필터링을 수행하고 상기 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절한다.

[0006] 상기 아날로그-디지털 컨버터들의 각각은, 상기 변환 제어 신호에 포함되는 차수 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 적분 차수를 변경하여 상기 변환 이득을 조절할 수 있다.

[0007] 상기 아날로그-디지털 컨버터들의 각각은, 상기 변환 제어 신호에 포함되는 계수 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 적분 계수들을 변경하여 상기 변환 이득을 조절할 수 있다.

[0008] 상기 아날로그-디지털 컨버터들의 각각은, 상기 변환 제어 신호에 포함되는 양자화 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 양자화 비트수를 변경하여 상기 변환 이득을 조절할 수 있다.

[0009] 상기 아날로그-디지털 컨버터들의 각각은, 상기 동작 조건의 변화에 따라 변화하는 가변 가중 신호를 수신하고 상기 가변 가중 신호에 기초하여 상기 디지털 필터링을 수행하여 상기 변환 이득을 조절할 수 있다.

[0010] 상기 아날로그-디지털 컨버터들의 각각은, 상기 아날로그 신호에 대하여 상기 델타-시그마 변조를 수행하여 변조 신호를 발생하고, 상기 변환 제어 신호에 응답하여 내부적으로 상기 변환 이득을 조절하는 변조기; 및 상기 변조 신호에 대하여 상기 디지털 필터링을 수행하여 상기 디지털 신호를 발생하는 디지털 필터를 포함할 수 있다.

[0011] 상기 변조기는, 상기 아날로그 신호에서 피드백 신호를 감산하여 제1 신호를 출력하는 입력 합산기; 상기 제1 신호를 적분하여 제2 신호를 발생하고, 상기 변환 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 적분 차수 및 적분 계수들 중 적어도 하나를 변경하는 가변 적분부; 상기 제2 신호 및 복수의 기준 신호들에 기초하여 상기 변조 신호를 발생하는 양자화기; 및 상기 변조 신호에 응답하여 복수의 피드백 전압들 중에서 하나를 선택하여 상기 피드백 신호를 발생하는 디지털-아날로그 컨버터를 포함할 수 있다.

[0012] 상기 가변 적분부는, 전단의 출력이 후단의 입력과 연결되도록 케스케이드 결합된 복수의 적분기들; 상기 적분기들의 출력들을 합산하여 상기 제2 신호를 발생하는 적분 합산기; 및 상기 적분기들의 출력들과 상기 적분 합산기 사이에 결합되고, 상기 변환 제어 신호에 포함되는 차수 제어 신호에 응답하여 상기 적분기들의 출력들의 각각과 상기 적분 합산기 사이의 전기적인 연결을 제어하는 스위칭부를 포함할 수 있다.

[0013] 상기 적분 합산기는, 용량성 결합을 통하여 상기 적분기들의 출력들을 합산하고, 상기 변환 제어 신호에 포함되는 계수 제어 신호에 응답하여 커패시턴스들이 각각 변경되는 가변 커패시터들을 포함할 수 있다.

[0014] 상기 양자화기는, 상기 제2 신호를 상기 기준 신호들의 각각과 비교하여 비교 신호들을 발생하고, 상기 변환 제어 신호에 포함되는 양자화 제어 신호에 응답하여 선택적으로 인에이블되는 비교기들; 및 상기 비교기들의 출력

에 기초하여 상기 변조 신호를 출력하는 인코더를 포함할 수 있다.

[0015] 상기 양자화기는, 상기 양자화 제어 신호에 응답하여 상기 비교기들 중에서 인에이블되는 비교기의 개수에 따라서 상기 변조 신호의 비트수가 증가하는 가변 양자화기일 수 있다.

[0016] 상기 이미지 센서는, 상기 동작 조건의 변화에 따라 변화하는 가변 가중 신호를 발생하는 가중 신호 발생기를 더 포함할 수 있다.

[0017] 상기 디지털 필터는, 상기 가변 가중 신호에 기초하여 싱크 필터링 또는 매치드 필터링을 선택적으로 수행할 수 있다.

[0018] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 아날로그-디지털 컨버터는, 아날로그 신호에 대하여 델타-시그마 변조를 수행하여 변조 신호를 발생하는 변조기; 및 상기 변조 신호에 대하여 디지털 필터링을 수행하여 디지털 신호를 발생하는 디지털 필터를 포함한다. 상기 아날로그-디지털 컨버터는, 동작 조건의 변화에 따라 변화하는 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절한다.

[0019] 상기 변조기는, 상기 아날로그 신호에서 피드백 신호를 감산하여 제1 신호를 출력하는 입력 합산기; 상기 제1 신호를 적분하여 제2 신호를 발생하고, 상기 변환 제어 신호에 응답하여 상기 델타-시그마 변조를 위한 적분 차수 및 적분 계수들 중 적어도 하나를 변경하는 가변 적분부; 상기 제2 신호 및 복수의 기준 신호들에 기초하여 상기 변조 신호를 발생하는 양자화기; 및 상기 변조 신호에 응답하여 복수의 피드백 전압들 중에서 하나를 선택하여 상기 피드백 신호를 발생하는 디지털-아날로그 컨버터를 포함할 수 있다.

발명의 효과

[0020] 본 발명의 실시예들에 따른 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서는 동작 조건에 따라서 노이즈 전달 함수를 변화시키면서 적응적으로 변환 이득을 조절함으로써 다양한 타입의 노이즈에 효율적으로 대처하면서 변환 이득을 제어할 수 있다.

[0021] 또한 본 발명의 실시예들에 따른 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서는 정적 파워를 소모하는 가변 이득 증폭기를 배제하여 변환 이득을 조절함으로써 파워 효율을 증대할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 실시예들에 따른 이미지 센서를 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 재구성형 델타-시그마 아날로그-디지털 컨버터를 나타내는 블록도이다.

도 3은 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 적분부의 일 예를 나타내는 블록도이다.

도 4는 본 발명의 일 실시예에 따른 델타-시그마 변조를 위한 적분 차수의 제어 방법을 설명하기 위한 도면이다.

도 5는 도 3의 적분부에 포함되는 적분기들의 구성의 일 예를 나타내는 회로도이다.

도 6은 도 5의 적분기들에 사용되는 리셋 신호와 클록 신호들의 일 예를 나타내는 타이밍도이다.

도 7은 도 3의 적분부에 포함되는 적분 합산기의 일 예를 나타내는 회로도이다.

도 8은 본 발명의 일 실시예에 따른 델타-시그마 변조를 위한 적분 계수들의 제어 방법을 설명하기 위한 도면이다.

도 9a 및 9b는 적분 계수들의 변경을 통한 노이즈 웨이핑을 설명하기 위한 도면들이다.

도 10은 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 양자화기의 일 예를 나타내는 블록도이다.

도 11은 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 디지털-아날로그 컨버터의 일 예를 나타내는 블록도이다.

도 12는 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 디지털 필터의 일 예를 나타내는 블록도이다.

도 13a, 13b, 13c, 13d 및 13e는 도 12의 디지털 필터에 제공되는 가변 가중 신호의 예들을 나타내는 도면들이다.

도 14는 본 발명의 실시예들에 따른 이미지 센서를 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.

도 15는 도 14의 컴퓨팅 시스템에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되지 않는다.
- [0024] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0025] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0027] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0030] 도 1은 본 발명의 실시예들에 따른 이미지 센서를 나타내는 블록도이다.
- [0031] 도 1을 참조하면, 이미지 센서(10)는 픽셀 어레이(pixel array)(20), 로우 구동부(row driver)(30), 아날로그-디지털 변환(Analog-to-Digital Conversion; ADC)부(40), 칼럼 구동부(column driver)(50), 제어부(controller)(60), 기준 전압 발생기(reference voltage generator; REF)(70) 및 가중 신호 발생기(weight signal generator; WSG)(80)를 포함할 수 있다.
- [0032] 픽셀 어레이(20)는 칼럼 라인(COL)들에 각각 결합되고, 입사광을 감지하여 칼럼 라인(COL)들을 통하여 아날로그 신호들을 발생하는 복수의 픽셀(21)들을 포함한다. 복수의 픽셀들은 복수의 행들과 복수의 열들로 이루어진 매트릭스 형태로 배열될 수 있다.
- [0033] 로우 구동부(30)는 픽셀 어레이(20)의 각 로우(row, 행)에 연결되고, 상기 각 로우를 구동하는 구동 신호를 생성할 수 있다. 예를 들어, 로우 구동부(30)는 픽셀 어레이(20)에 포함되는 상기 복수의 픽셀들을 로우 단위로 구동할 수 있다.
- [0034] 아날로그-디지털 변환부(40)는 픽셀 어레이(20)의 각 칼럼(column, 열)에 연결되고, 픽셀 어레이(20)로부터 출력되는 아날로그 신호를 디지털 신호로 변환한다. 도 1에 도시된 바와 같이, 아날로그-디지털 변환부(40)는 복

수의 아날로그-디지털 컨버터(100)들을 포함하며, 각 칼럼 라인(COL)마다 출력되는 아날로그 신호들을 병렬로 (즉, 동시에) 디지털 신호들로 변환하는 칼럼 ADC를 수행할 수 있다. 아날로그-디지털 컨버터(100)들은 상기 아날로그 신호들을 디지털 신호들로 변환하기 위한 델타-시그마 변조 및 디지털 필터링을 수행하는 델타-시그마 아날로그-디지털 컨버터들일 수 있다.

[0035] 실시예에 따라서, 아날로그-디지털 변환부(40)는 유효 신호 성분을 추출하기 위한 하나의 상관 이중 샘플링(correlated double sampling; CDS)부를 포함할 수 있다. 일 실시예에서, 상기 상관 이중 샘플링부는 리셋 성분을 나타내는 아날로그 리셋 신호와 이미지 성분을 나타내는 아날로그 이미지 신호의 차이에 기초하여 상기 유효 이미지 성분을 추출하는 아날로그 더블 샘플링(Analog Double Sampling)을 수행할 수 있다. 다른 실시예에서, 상기 상관 이중 샘플링부는 상기 아날로그 리셋 신호와 상기 아날로그 이미지 신호를 디지털 신호들로 각각 변환한 후 상기 유효 이미지 성분으로서 두 개의 디지털 신호의 차이를 추출하는 디지털 더블 샘플링(Digital Double Sampling)을 수행할 수 있다. 또 다른 실시예에서, 상기 상관 이중 샘플링부는 상기 아날로그 더블 샘플링 및 상기 디지털 더블 샘플링을 모두 수행하는 듀얼 상관 이중 샘플링을 수행할 수 있다.

[0036] 칼럼 구동부(50)는 아날로그-디지털 변환부(40)로부터의 디지털 신호들을 출력 데이터(Dout)로서 순차적으로 출력한다.

[0037] 제어부(60)는 로우 구동부(30), 아날로그-디지털 변환부(40), 칼럼 구동부(50), 기준 전압 발생기(70) 및 가중 신호 발생기(80)를 제어할 수 있다. 제어부(60)는 로우 구동부(30), 아날로그-디지털 변환부(40), 칼럼 구동부(50), 기준 전압 발생기(70) 및 가중 신호 발생기(80)의 동작에 요구되는 클럭 신호, 타이밍 컨트롤 신호 등과 같은 제어 신호들을 제공할 수 있다. 일 실시예에서, 제어부(60)는 로직 제어 회로, 위상 고정 루프(Phase Lock Loop; PLL) 회로, 타이밍 제어 회로 및 통신 인터페이스 회로 등을 포함할 수 있다.

[0038] 특히, 제어부(60)는 동작 조건의 변화에 따라 변화하는 변환 제어 신호를 발생할 수 있고, 아날로그-디지털 컨버터(100)들은 상기 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절할 수 있다. 상기 동작 조건은, 이미지 센서(10)의 동작 온도, 제조 공정상의 편차, 그 밖의 동작 환경 등을 포함할 수 있다. 상기 변환 제어 신호는 후술하는 차수 제어 신호(ORC), 계수 제어 신호(CEC) 및 양자화 제어 신호(QC)의 적어도 하나를 포함할 수 있다. 후술하는 바와 같이, 아날로그-디지털 컨버터(100)들은 상기 변환 제어 신호에 응답하여 델타-시그마 변조를 위한 적분 차수, 적분 계수들 및 양자화 비트수 중에서 적어도 하나를 변경함으로써 상기 변환 이득을 조절할 수 있다.

[0039] 기준 전압 발생기(70)는 복수의 기준 신호들(Vref) 및 복수의 피드백 전압들(Vi)을 발생할 수 있다. 기준 신호들(Vref) 및 피드백 전압들(Vi)의 전압 레벨들 및 개수는 제어부(60)의 제어에 따라 변경될 수 있다.

[0040] 가중 신호 발생기(80)는 아날로그-디지털 컨버터(100)들의 디지털 필터링을 위한 가변 가중 신호(variable weight signal)(VWS)를 발생할 수 있다. 제어부(60)는 상기 동작 조건의 변화에 따라 가변 가중 신호(VWS)가 변화하도록 가중 신호 발생기(80)를 제어할 수 있다. 후술하는 바와 같이, 아날로그-디지털 컨버터(100)에 포함되는 디지털 필터는, 가변 가중 신호(VWS)에 기초하여 싱크 필터링 또는 매치드 필터링을 선택적으로 수행할 수도 있고, 필터링의 차수도 변경할 수 있다.

[0041] 본 발명의 실시예들에 따른 아날로그-디지털 컨버터(100) 및 이를 포함하는 이미지 센서(10)는 동작 조건에 따라서 노이즈 전달 함수를 변화시키면서 적응적으로 변환 이득을 조절함으로써 다양한 타입의 노이즈에 효율적으로 대처하면서 변환 이득을 제어할 수 있다. 또한 아날로그-디지털 컨버터(100) 및 이를 포함하는 이미지 센서(10)는 정적 파워를 소모하는 가변 이득 증폭기를 배제하여 변환 이득을 조절함으로써 파워 효율을 증대할 수 있다.

[0042] 도 2는 본 발명의 실시예들에 따른 재구성형 델타-시그마 아날로그-디지털 컨버터를 나타내는 블록도이다.

[0043] 도 2를 참조하면, 아날로그-디지털 컨버터(100)는 변조기(modulator)(200) 및 디지털 필터(digital filter)(DF)(300)를 포함한다. 변조기(200)는 아날로그 신호(AS)에 대하여 델타-시그마 변조를 수행하여 변조 신호(MS)를 발생하고, 변환 제어 신호에 응답하여 내부적으로 변환 이득을 조절한다. 상기 변환 제어 신호는 차수 제어 신호(ORC), 계수 제어 신호(CEC) 및 양자화 제어 신호(QC)를 포함할 수 있다. 디지털 필터(300)는 변조 신호(MS)에 대하여 디지털 필터링을 수행하여 디지털 신호(DS)를 발생한다.

[0044] 아날로그-디지털 컨버터(100)는 변조기(200)의 오버샘플링(oversampling)과 디지털 필터(300)의 저역 통과 필터링(low pass filtering)을 통하여 노이즈 성분을 상당 부분 제거할 수 있고, 분해능(resolution) 또는 유효 비트수(ENOB: effective number of bits)를 향상시킬 수 있다. 샘플링 비율을 증가하기 위해서는 동작 클럭 신호

의 주파수를 증가시켜야 하고, 이러한 주파수 증가는 일정한 한계가 있다. 분해능을 더욱 향상시키기 위하여 도 2에 도시된 바와 같이 변조기(200)는 델타-시그마 변조를 수행하기 위한 구성을 가질 수 있다.

- [0045] 변조기(200)는 입력 합산기(input summer)(210), 가변 적분부(variable integration block)(VIB)(230), 양자화기(quantizer)(VQ)(250) 및 디지털-아날로그 컨버터(digital-to-analog converter)(DAC)(270)를 포함할 수 있다.
- [0046] 입력 합산기(210)는 아날로그 신호(AS)에서 피드백 신호(FB)를 감산하여 제1 신호(SUM)를 제1 노드(N1)로 출력한다. 디지털-아날로그 컨버터(270)는 변조 신호(MS)에 응답하여 복수의 피드백 전압들(Vi) 중에서 하나를 선택하여 피드백 신호(FB)를 발생한다.
- [0047] 가변 적분부(230)는 제1 신호(SUM)를 적분하여 제2 신호(INT)를 제2 노드(N2)로 출력하는 가변 루프 필터(variable loop filter)로 구현될 수 있다. 가변 적분부(230)는 차수 제어 신호(ORC) 및 계수 제어 신호(CEC) 중 적어도 하나에 응답하여 델타-시그마 변조를 위한 적분 차수 및 적분 계수들 중 적어도 하나를 변경하여 아날로그-디지털 컨버터(100)의 변환 이득을 조절할 수 있다.
- [0048] 양자화기(250)는 제2 신호(INT) 및 적어도 하나의 기준 신호(Vref)에 기초하여 변조 신호(MS)를 제3 노드(N3)로 발생한다. 양자화기(250)는 양자화 제어 신호(QC)에 응답하여 델타-시그마 변조를 위한 양자화 비트수를 변경하여 아날로그-디지털 변환기(100)의 변환 이득을 조절하는 가변 양자화기(variable quantizer)일 수 있다.
- [0049] 이와 같이, 재구성형 아날로그-디지털 컨버터(100)는 변환 제어 신호(ORC, CEC, QC)에 응답하여, 적분 차수, 적분 계수들 및 양자화 비트수를 적응적으로 변경할 수 있는 구성을 갖는다.
- [0050] 도 3은 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 적분부의 일 예를 나타내는 블록도이고, 도 4는 본 발명의 일 실시예에 따른 델타-시그마 변조를 위한 적분 차수의 제어 방법을 설명하기 위한 도면이다.
- [0051] 도 3을 참조하면, 적분부(230)는 복수의 적분기(integrator)들(INT1, INT2, INT3, INT4)(610, 630, 650, 670), 적분 합산기(integration summer)(680) 및 스위칭부(680)를 포함할 수 있다.
- [0052] 적분기들(610, 630, 650, 670)은 전단의 출력이 후단의 입력과 연결되도록 캐스케이드 결합된다. 즉, 제1 적분기(610)는 도 2의 입력 합산부(210)로부터 제공되는 제1 신호(SUM)를 적분하여 제1 적분 신호(FF1)를 출력하고, 제2 적분기(630)는 제1 적분 신호(FF1)를 적분하여 제2 적분 신호(FF2)를 출력하고, 제3 적분기(650)는 제2 적분 신호(FF2)를 적분하여 제3 적분 신호(FF3)를 출력하고, 제4 적분기(670)는 제3 적분 신호(FF3)를 적분하여 제4 적분 신호(FF4)를 출력한다. 설명의 편의를 위하여 도 3에는 4개의 적분기들이 도시되어 있으나, 3개의 적분기들 또는 5개 이상의 적분기들이 캐스케이드 결합될 수 있음을 이해할 수 있을 것이다.
- [0053] 적분 합산기(680)는 적분기들(610, 630, 650, 670)의 출력들을 합산하여 제2 신호(INT)를 발생하고, 제2 신호(INT)는 도 2의 양자화기(250)로 제공된다.
- [0054] 스위칭부(400)는 적분기들(610, 630, 650, 670)의 출력들(FF1, FF2, FF3, FF4)과 적분 합산기(680) 사이에 결합된다. 스위칭부(400)는 변환 제어 신호에 포함되는 차수 제어 신호(ORC)에 응답하여 적분기들(610, 630, 650, 670)의 출력들(FF1, FF2, FF3, FF4)의 각각과 적분 합산기(680) 사이의 전기적인 연결을 제어한다.
- [0055] 스위칭부(400)는 적분기들(610, 630, 650, 670)의 출력들(FF1, FF2, FF3, FF4)의 각각과 적분 합산기(680) 사이에 결합된 복수의 스위치들(SWa, SWb, SWc)을 포함할 수 있다. 스위치들(SWa, SWb, SWc)은 차수 제어 신호(ORC)의 비트 신호들(ORCa, ORCb, ORCc)의 각각에 응답하여 선택적으로 턴온될 수 있다.
- [0056] 도 4에는 차수 제어 신호(ORC)의 비트 신호들(ORCa, ORCb, ORCc)의 논리 레벨에 따라서 적분 차수를 변경하는 예가 도시되어 있다. 예를 들어, 스위치들(SWa, SWb, SWc)은 비트 신호들(ORCa, ORCb, ORCc)이 논리 로우 레벨(L)일 때 턴오프되고, 논리 하이 레벨(H)일 때 턴온될 수 있다.
- [0057] 도 3 및 4를 참조하면, 제1 비트 신호(ORCa), 제2 비트 신호(ORCb) 및 제3 비트 신호(ORCc)가 모두 논리 로우 레벨(L)일 때, 제1 스위치(SWa), 제2 스위치(SWb) 및 제3 스위치(SWc)가 모두 턴오프되어 제1 적분 신호(FF1)만이 적분 합산기(680)에 전달된다. 결과적으로 적분 차수는 1차가 되고, 변조기(200)는 1차 델타-시그마 변조를 수행한다.
- [0058] 제1 비트 신호(ORCa)는 논리 하이 레벨(H)이고, 제2 비트 신호(ORCb) 및 제3 비트 신호(ORCc)는 논리 로우 레벨(L)일 때, 제1 스위치(SWa)는 턴온되고, 제2 스위치(SWb) 및 제3 스위치(SWc)는 턴오프되어 제1 적분 신호(FF1) 및 제2 적분 신호(FF2)가 적분 합산기(680)에 전달된다. 결과적으로 적분 차수는 2차가 되고, 변조기(200)는 2

차 델타-시그마 변조를 수행한다.

- [0059] 제1 비트 신호(ORCa) 및 제2 비트 신호(ORCb)는 논리 하이 레벨(H)이고 제3 비트 신호(ORCc)는 논리 로우 레벨(L)일 때, 제1 스위치(SWa) 및 제2 스위치(SWb)는 턴온되고 제3 스위치(SWc)는 턴오프되어 제1 적분 신호(FF1), 제2 적분 신호(FF2) 및 제2 적분 신호(FF3)가 적분 합산기(680)에 전달된다. 결과적으로 적분 차수는 3차가 되고, 변조기(200)는 3차 델타-시그마 변조를 수행한다.
- [0060] 제1 비트 신호(ORCa), 제2 비트 신호(ORCb) 및 제3 비트 신호(ORCc)가 모두 논리 하이 레벨(H)일 때, 제1 스위치(SWa), 제2 스위치(SWb) 및 제3 스위치(SWc)가 모두 턴온되어 제1 적분 신호(FF1), 제2 적분 신호(FF2), 제3 적분 신호(FF3) 및 제4 적분 신호(FF4)가 모두 적분 합산기(680)에 전달된다. 결과적으로 적분 차수는 4차가 되고, 변조기(200)는 4차 델타-시그마 변조를 수행한다.
- [0061] 이와 같이, 적분기들(610, 630, 650, 670)의 출력들(FF1, FF2, FF3, FF4)의 각각과 적분 합산기(680) 사이의 전기적인 연결을 제어함으로써 적분 차수를 변경할 수 있고, 결과적으로 도 2의 아날로그-디지털 컨버터(100)의 변환 이득을 조절할 수 있다.
- [0062] 도 5는 도 3의 적분부에 포함되는 적분기들의 구성의 일 예를 나타내는 회로도이다.
- [0063] 도 5를 참조하면, 적분기들(610, 630, 650, 670)은 스위치드 커패시터 적분기(switched capacitor integrator)들로 구현될 수 있다. 도 5에는 입력 합산기(210)에 연결된 제1 적분기(610) 및 제2 적분기(630)의 구성만을 도시하였으며, 제3 적분기(650) 및 제4 적분기(670)는 제2 적분기(630)와 실질적으로 동일한 구성을 가질 수 있다.
- [0064] 입력 합산기(210)는 노드(N1)에 제1 신호(SUM)를 출력하기 위한 복수의 스위치들(612, 613)을 포함한다. 스위치(612)는 아날로그 신호(AS)와 노드(N1) 사이에 연결되고, 제1 지연 클럭 신호(P1D)에 응답하여 스위칭된다. 스위치(613)는 노드(N1)와 피드백 신호(FB) 사이에 연결되고, 제2 지연 클럭 신호(P2D)에 응답하여 스위칭된다.
- [0065] 제1 적분기(610)는 인버터(611), 복수의 스위치들(614~618) 및 복수의 커패시터들(621~623)을 포함한다. 스위치(614)는 공통 전압(VCMR)이 인가되는 단자와 노드(N12) 사이에 연결되고, 제1 클럭 신호(P1)에 응답하여 스위칭된다. 스위치(615)는 노드(N12)와 노드(N14) 사이에 연결되고, 제2 클럭 신호(P2)에 응답하여 스위칭된다. 스위치(616)는 노드(N14)와 노드(N15) 사이에 연결되고, 리셋 신호(RST)에 응답하여 스위칭된다. 스위치(617)는 노드(N13)와 노드(N15) 사이에 연결되고, 리셋 신호(RST)에 응답하여 스위칭된다. 스위치(618)는 노드(N13)와 노드(N14) 사이에 연결되고, 제1 지연 클럭 신호(P1D)에 응답하여 스위칭된다. 커패시터(621)는 노드(N11)와 노드(N12) 사이에 연결되어 샘플링 커패시터로서 동작한다. 커패시터(622)는 노드(N12)와 노드(N13) 사이에 연결되어 커플링 커패시터로서 동작한다. 커패시터(623)는 노드(N14)와 노드(N15) 사이에 연결되고, 적분 커패시터로서 동작한다.
- [0066] 제2 적분기(630)는 인버터(631), 복수의 스위치들(632~638) 및 복수의 커패시터들(641~643)을 포함한다. 스위치(632)는 인버터(611)의 출력인 노드(N15)와 노드(N21) 사이에 연결되고, 제1 지연 클럭 신호(P1D)에 응답하여 스위칭된다. 스위치(633)는 노드(N21)와 공통 전압(VCMR)이 인가되는 단자 사이에 연결되고, 제2 지연 클럭 신호(P2D)에 응답하여 스위칭된다. 스위치(634)는 공통 전압(VCMR)이 인가되는 단자와 노드(N22) 사이에 연결되고, 제1 클럭 신호(P1)에 응답하여 스위칭된다. 스위치(635)는 노드(N22)와 노드(N24) 사이에 연결되고, 제2 클럭 신호(P2)에 응답하여 스위칭된다. 스위치(636)는 노드(N24)와 노드(N25) 사이에 연결되고, 리셋 신호(RST)에 응답하여 스위칭된다. 스위치(637)는 노드(N23)와 노드(N25) 사이에 연결되고, 리셋 신호(RST)에 응답하여 스위칭된다. 스위치(638)는 노드(N23)와 노드(N24) 사이에 연결되고, 제1 지연 클럭 신호(P1D)에 응답하여 스위칭된다. 커패시터(641)는 노드(N21)와 노드(N22) 사이에 연결되어 샘플링 커패시터로서 동작한다. 커패시터(642)는 노드(N22)와 노드(N23) 사이에 연결되어 커플링 커패시터로서 동작한다. 커패시터(643)는 노드(N24)와 노드(N25) 사이에 연결되고, 적분 커패시터로서 동작한다.
- [0067] 도 6은 도 5의 적분기들에 사용되는 리셋 신호와 클럭 신호들의 일 예를 나타내는 타이밍도이다.
- [0068] 도 6에서 리셋 신호(RST)가 활성화되는 경우를 리셋 모드라 하고, 제1 클럭 신호(P1)와 제1 지연 클럭 신호(P1D)가 활성화되는 경우를 제1 클럭 페이즈라 하고, 제2 클럭 신호(P2)와 제2 지연 클럭 신호(P2D)가 활성화되는 경우를 제2 클럭 페이즈라 한다. 또한 제1 클럭 신호(P1)와 제1 지연 클럭 신호(P1D)는 제2 클럭 신호(P2)와 제2 지연 클럭 신호(P2D)와 활성화 구간이 서로 중복되는 않는 비중복(non-overlapping) 신호들이다.
- [0069] 도 5 및 6을 참조하면, 리셋 모드에서 리셋 신호(RST)가 제1 로직 레벨(하이 레벨)로 활성화되면, 스위치들

(616, 617, 636, 637)이 온(on) 되어, 인버터들(611, 631)은 입력단과 출력단이 서로 연결되어 인버터들(611, 631) 각각은 오프셋 전압으로 리셋된다.

- [0070] 제1 적분기(610)는 제1 클럭 신호(P1) 또는 제1 지연 클럭 신호(P1D)가 제1 로직 레벨(하이 레벨)로 활성화되는 제1 클럭 페이즈(또는 샘플링 모드)에서 샘플링 동작을 수행하고, 제2 클럭 신호(P2) 또는 제2 지연 클럭 신호(P2D)가 제1 로직 레벨(하이 레벨)로 활성화되는 제2 클럭 페이즈(또는 적분 모드)에서 증폭 동작 및 또는 적분 동작(이하 적분 동작)을 수행한다. 샘플링 모드에서 스위치들(612, 614, 616)이 닫히므로 아날로그 신호(AS)와 공통 전압(VCMR)의 차이에 해당하는 전압이 커패시터(621)에 샘플링되고, 커패시터(623)는 노드(N13)와 노드(N15) 사이에 연결된다. 즉 커패시터(623)는 인버터(611)의 입력단과 출력단 사이에 연결된다. 적분 모드에서 스위치들(613, 615)이 닫히므로 인버터(611)는 커패시터들(621, 622, 623)을 이용하여 커패시터(621)에 샘플링된 전압을 적분하고 적분된 전압을 제1 적분 신호(FF1)로서 출력한다.
- [0071] 제2 적분기(630)는 제1 클럭 신호(P1) 또는 제1 지연 클럭 신호(P1D)가 제1 로직 레벨(하이 레벨)로 활성화되는 제1 클럭 페이즈(또는 샘플링 모드)에서 샘플링 동작을 수행하고, 제2 클럭 신호(P2) 또는 제2 지연 클럭 신호(P2D)가 제1 로직 레벨(하이 레벨)로 활성화되는 제2 클럭 페이즈(또는 적분 모드)에서 증폭 동작 및 또는 적분 동작(이하 적분 동작)을 수행한다. 샘플링 모드에서 스위치들(632, 634, 636)이 닫히므로 제1 적분 신호(FF1)와 공통 전압(VCMR)의 차이에 해당하는 전압이 커패시터(641)에 샘플링되고, 커패시터(643)는 노드(N23)와 노드(N25) 사이에 연결된다. 즉 커패시터(643)는 인버터(631)의 입력단과 출력단 사이에 연결된다. 적분 모드에서 스위치들(633, 635)이 닫히므로 인버터(631)는 커패시터들(641, 642, 643)을 이용하여 커패시터(641)에 샘플링된 전압을 적분하고 적분된 전압을 제2 적분 신호(FF2)로서 출력한다.
- [0072] 제3 적분기(650) 및 제4 적분기(670)는 제2 적분기(630)와 실질적으로 동일한 구성을 갖고, 제3 적분 신호(FF3) 및 제4 적분 신호(FF4)를 각각 출력한다.
- [0073] 이와 같이, 복수의 스위치-커패시터 적분기들(610, 630, 650, 670)은 제1 클럭 페이즈에서 자신의 입력 신호에 대한 샘플링 동작을 수행하고, 제2 클럭 페이즈에서 자신의 인버터를 이용하여 적분 동작을 수행할 수 있다. 또한 스위치-커패시터 적분기들(610, 630, 650, 670)은 리셋 모드에서 자신의 인버터의 입력 단자의 전압을 일정한 리셋 전압으로 리셋시킬 수 있다.
- [0074] 도 7은 도 3의 적분부에 포함되는 적분 합산기의 일 예를 나타내는 회로도이고, 도 8은 본 발명의 일 실시예에 따른 델타-시그마 변조를 위한 적분 계수들의 제어 방법을 설명하기 위한 도면이다. 도 7에는 도 5 및 6을 참조하여 설명한 스위칭부(400)가 함께 도시되어 있다.
- [0075] 도 7을 참조하면, 적분 합산기(680)는 제2 신호(INT)를 발생하기 위한 복수의 스위치들(681~688, 692) 및 복수의 가변 커패시터들(Cv1, Cv2, Cv3, Cv4)을 포함한다. 스위치들(681~688, 692)은 도 7에 도시된 바와 같이 결합되고, 도 5 및 6을 참조하여 설명한 클럭 신호들(P1, P2, P1D, P2D)에 각각 응답하여 스위칭된다.
- [0076] 도 7에 도시된 바와 같이, 적분 합산기(680)는 용량성 결합을 통하여 적분기들의 출력들(FF1, FF2, FF3, FF4)을 합산하기 위한 가변 커패시터들(Cv1, Cv2, Cv3, Cv4)을 포함한다. 가변 커패시터들(Cv1, Cv2, Cv3, Cv4)은 계수 제어 신호들(CEC1, CEC2, CEC3, CEC4)에 응답하여 커패시턴스들이 각각 변경된다. 가변 커패시터들(Cv1, Cv2, Cv3, Cv4)의 커패시턴스들을 변경함으로써 적분 계수들을 변경할 수 있다.
- [0077] 도 8에는 복수의 온도 범위들(T1~T2, T2~T3, T3~T4)에 매핑되는 계수 제어 신호들(CEC1, CEC2, CEC3, CEC4)의 값들(Kij)(i=1,2,3, ...; j=1,2,3,4)이 도시되어 있다. 도 1의 제어부(60)는 이미지 센서(10)의 동작 온도가 변경되는 경우, 도 8에 도시된 바와 같은 룩업 테이블을 참조하여 계수 제어 신호들(CEC1, CEC2, CEC3, CEC4)의 값들을 변경할 수 있다. 도 8의 룩업 테이블은 이미지 센서(10)의 테스트 과정 등을 통하여 작성될 수 있으며, 이미지 센서(10) 또는 이를 포함하는 시스템 내의 비휘발성 메모리에 저장될 수 있다.
- [0078] 도 9a 및 9b는 적분 계수들의 변경을 통한 노이즈 웨이핑을 설명하기 위한 도면들이다.
- [0079] 도 9a 및 9b에서 가로축은 샘플링 주파수(F)를 Hz 단위로 나타내고, 세로축은 파워 스펙트럼 밀도(PSD; power spectral density)를 dB 단위로 나타낸다. 도 9a는 1차 적분 계수(CEC1)는 0.06이고 2차 적분 계수(CEC2)는 0.24인 2차 델타-시그마 변조의 경우를 나타내고, 도 9b는 1차 적분 계수(CEC1)는 0.07이고 2차 적분 계수(CEC2)는 0.26인 2차 델타-시그마 변조의 경우를 나타낸다. 변조 특성은 계수비(CEC2/CEC1)에 의해 결정되고, 계수비(CEC2/CEC1)는 상대적으로 높은 도 9a의 경우를 노말 계수(normal coefficient)라 하고 상대적으로 낮은 도 9b의 경우를 어그레시브 계수(aggressive coefficient)라 할 수 있다. 두 가지 경우에 대해서 모두 웨이핑된 노이즈는 주파수가 10배 증가할 때 약 40 dB 증가하지만, 어그레시브 계수의 노이즈 코너(Fa)가 노말 계수의 노

이즈 코너(Fn) 보다 높은 주파수 방향으로 이동하므로 해당 동작 조건하에서는 노말 계수보다는 어그레시브 계수가 노이즈 측면에서 더 유리하다. 이와 같이, 노이즈의 다양성에 대응하여 적합한 적분 계수들을 설정함으로써 델타-시그마 아날로그-디지털 컨버터의 성능을 향상시킬 수 있다.

- [0080] 도 10은 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 양자화기의 일 예를 나타내는 블록도이다.
- [0081] 도 10을 참조하면, 양자화기(250)는 복수의 비교기(comparator)(COM)들(251, 252, 253) 및 인코더(255)를 포함할 수 있다.
- [0082] 비교기들(251, 252, 253)은 도 2의 적분부(230)의 출력인 제2 신호(INT)를 기준 신호들(Vref1, Vref2, Vref3)의 각각과 비교하여 비교 신호들(CP1, CP2, CP3)을 발생한다. 제1 기준 신호(Vref1)는 제2 기준 신호(Vref2)보다 크고, 제2 기준 신호(Vref2)는 제3 기준 신호(Vref3)보다 크다. 비교기들(251, 252, 253)의 적어도 일부는 양자화 제어 신호(QC)에 응답하여 선택적으로 인에이블될 수 있다.
- [0083] 인코더(255)는 비교기들의 출력(CP1, CP2, CP3)에 기초하여 변조 신호의 각 비트 신호들(MS1, MS2)을 출력한다.
- [0084] 예를 들어, 양자화 제어 신호(QC)가 제1 논리 레벨을 갖는 경우에는 제1 비교기(251) 및 제3 비교기(253)는 디스에이블되고 제2 비교기(252)만이 인에이블되어 제2 비교 신호(CP2)만이 활성화될 수 있다. 제2 비교 신호(CP2)는 제2 신호(INT)가 제2 기준 신호(Vref2)보다 큰 경우에는 1의 값을 갖고 작은 경우에는 0의 값을 가질 수 있다. 인코더(255)는 양자화 제어 신호(QC)에 응답하여 제2 비교 신호(CP2)를 제1 비트 신호(MS1)로서 출력하고 제2 비트 신호(MS2)는 비활성화할 수 있다. 결과적으로, 하나의 비교기(252)만을 활성화함으로써 제2 신호(INT)의 전압 레벨을 2개로 양자화하여 양자화 비트수를 1로 설정할 수 있다.
- [0085] 한편, 양자화 제어 신호(QC)가 제2 논리 레벨을 갖는 경우에는 제1 비교기(251), 제2 비교기(252) 및 제3 비교기(253)가 모두 인에이블되어 제1 비교 신호(CP1), 제2 비교 신호(CP2) 및 제3 비교 신호(CP3)가 모두 활성화될 수 있다. 제1 비교 신호(CP1)는 제2 신호(INT)가 제1 기준 신호(Vref1)보다 큰 경우에는 1의 값을 갖고 작은 경우에는 0의 값을 가질 수 있다. 제2 비교 신호(CP2)는 제2 신호(INT)가 제2 기준 신호(Vref2)보다 큰 경우에는 1의 값을 갖고 작은 경우에는 0의 값을 가질 수 있다. 제3 비교 신호(CP3)는 제2 신호(INT)가 제3 기준 신호(Vref3)보다 큰 경우에는 1의 값을 갖고 작은 경우에는 0의 값을 가질 수 있다. 인코더(255)는 양자화 제어 신호(QC)에 응답하여 제1, 제2 및 제3 비교 신호들(CP1, CP2, CP3)을 인코딩하여 제1 비트 신호(MS1) 및 제2 비트 신호(MS2)를 출력할 수 있다. 결과적으로, 세 개의 비교기(251, 252, 253)들을 모두 활성화함으로써 제2 신호(INT)의 전압 레벨을 4개로 양자화하여 양자화 비트수를 2로 설정할 수 있다.
- [0086] 이와 같이, 양자화 제어 신호(QC)에 응답하여 비교기들(251, 252, 253) 중에서 인에이블되는 비교기의 개수에 따라서 변조 신호(MS)의 비트수가 증가할 수 있다.
- [0087] 도 10에는 양자화 비트수, 즉 변조 신호의 비트수가 최대 2인 경우의 실시예가 도시되어 있으나, 비교기들의 개수를 증가하여 양자화 비트수가 3 이상인 경우의 실시예가 구현될 수 있음을 이해할 수 있을 것이다.
- [0088] 도 11은 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 디지털-아날로그 컨버터의 일 예를 나타내는 블록도이다.
- [0089] 도 11을 참조하면, 디지털-아날로그 컨버터(270)는 변조 신호의 각 비트들(MS1, MS2)에 응답하여 각 입력 포트들(P1-P4)을 통하여 수신되는 제1 내지 제4 피드백 전압들(VH, VHm, VLm, VL) 중에서 하나를 선택하여 피드백 신호(FB)를 발생할 수 있다. 제1 피드백 전압(VH)은 제2 피드백 전압(VHm)보다 크고, 제2 피드백 전압(VHm)은 제3 피드백 전압(VLm)보다 크고, 제3 피드백 전압(VLm)은 제4 피드백 전압(VL)보다 크다.
- [0090] 예를 들어, 양자화 제어 신호(QC)가 제1 논리 레벨인 경우에는 양자화 비트수가 1로 설정되고, 제1 비트 신호(MS1)는 활성화되고 제2 비트 신호(MS2)는 비활성화될 수 있다. 이 경우, 디지털-아날로그 컨버터(270)는 제1 비트 신호(MS1)에 응답하여 제1 피드백 전압(VH) 및 제4 피드백 전압(VL) 중에서 하나를 선택하여 피드백 신호(FB)를 발생할 수 있다.
- [0091] 한편, 양자화 제어 신호(QC)가 제2 논리 레벨인 경우에는 양자화 비트수가 2로 설정되고, 제1 비트 신호(MS1) 및 제2 비트 신호(MS2)가 모두 활성화될 수 있다. 이 경우, 디지털-아날로그 컨버터(270)는 제1 비트 신호(MS1) 및 제2 비트 신호(MS2)에 응답하여 제1 피드백 전압(VH), 제2 피드백 전압(VHm), 제3 피드백 전압(VLm) 및 제4 피드백 전압(VL) 중에서 하나를 선택하여 피드백 신호(FB)를 발생할 수 있다.
- [0092] 도 12는 도 2의 델타-시그마 아날로그-디지털 컨버터에 포함되는 디지털 필터의 일 예를 나타내는 블록도이다.

- [0093] 도 12를 참조하면, 디지털 필터(300)는 디지털 적분기(311), 논리곱(AND) 게이트(312) 및 레지스터(313)를 포함할 수 있다. 디지털 적분기(311)는 레지스터(313)의 출력, 즉 디지털 신호(DS)와 가변 가중 신호(VWS)의 값들을 합산하여 출력한다. 논리곱 게이트(312)는 변조 신호(MS)와 클럭 신호(CLK)를 논리곱 연산하여 출력한다. 레지스터(313)는 리셋 신호(RST)에 응답하여 초기화되고, 논리곱 게이트(312)의 출력에 응답하여 디지털 적분기(311)의 출력을 샘플링하여 래치한다.
- [0094] 결과적으로, 디지털 필터(300)는 변조 신호(MS)가 1의 값을 갖는 경우에만 가변 가중 신호(VWS)의 값을 누적하여 디지털 신호(DS)를 발생할 수 있다.
- [0095] 전술한 바와 같이, 도 1의 가중 신호 발생기(80)는 동작 조건의 변화에 따라 변화하는 가변 가중 신호(VWS)를 발생할 수 있다. 디지털 필터(300)는 이러한 가변 가중 신호(VWS)에 기초하여 싱크 필터링 또는 매치드 필터링을 선택적으로 수행할 수도 있고, 필터링의 차수도 변경할 수 있다.
- [0096] 도 13a, 13b, 13c, 13d 및 13e는 도 12의 디지털 필터에 제공되는 가변 가중 신호의 예들을 나타내는 도면들이다.
- [0097] 도 13a는 1차 싱크(sinc) 필터링에 상응하는 가중 신호(VWS1)를 나타내고, 도 13b는 1차 매치드(matched) 필터링에 상응하는 가중 신호(VWS2)를 나타내고, 도 13c는 2차 싱크(SINC) 필터링에 상응하는 가중 신호(VWS3)를 나타내고, 도 13d는 2차 매치드(matched) 필터링에 상응하는 가중 신호(VWS4)를 나타내고, 도 13e는 커스터마이징(customized) 필터링에 상응하는 가중 신호(VWS5)를 나타낸다.
- [0098] 도 13a 내지 13e의 다양한 형태의 가중 신호들은 카운터, 논리 게이트 등의 조합에 의하여 발생될 수 있다. 이미지 센서의 동작 조건에 적합한 가중 신호를 선택하여 디지털 필터링을 수행함으로써 노이즈를 감소하고 이미지 센서의 감도 및 성능을 향상시킬 수 있다.
- [0099] 도 14는 본 발명의 실시예들에 따른 이미지 센서를 포함하는 컴퓨팅 시스템을 나타내는 블록도이다.
- [0100] 도 14를 참조하면, 컴퓨팅 시스템(1000)은 프로세서(1010), 메모리 장치(1020), 저장 장치(1030), 입출력 장치(1040), 파워 서플라이(1050) 및 이미지 센서(900)를 포함할 수 있다. 한편, 도 14에는 도시되지 않았지만, 컴퓨팅 시스템(1000)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 포트(port)들을 더 포함할 수 있다.
- [0101] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 마이크로프로세서(micro-processor), 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus)를 통하여 메모리 장치(1020), 저장 장치(1030), 촬영 장치(900) 및 입출력 장치(1040)와 통신을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(1020)는 컴퓨팅 시스템(1000)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 디램(DRAM), 모바일 디램, 에스램(SRAM), 피램(PRAM), 에프램(FRAM), 알램(RRAM) 및/또는 엠램(MRAM)으로 구현될 수 있다. 저장 장치(1030)는 솔리드 스테이트 드라이브(solid state drive), 하드 디스크 드라이브(hard disk drive), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1040)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터, 디스플레이 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(1050)는 전자 기기(1000)의 동작에 필요한 동작 전압을 공급할 수 있다.
- [0102] 이미지 센서(900)는 프로세서(1010)와 함께 하나의 칩에 집적될 수도 있고, 서로 다른 칩에 각각 집적될 수도 있다. 이미지 센서(900)는 본 발명의 실시예들에 따른 재구성형 아날로그-디지털 컨버터를 이용하여 구현될 수 있다.
- [0103] 컴퓨팅 시스템(1000)은 다양한 형태들의 패키지로 구현될 수 있다. 예를 들어, 컴퓨팅 시스템(1000)의 적어도 일부의 구성들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.

- [0104] 한편, 컴퓨팅 시스템(1000)은 본 발명의 실시예들에 따른 동작 인식 방법을 수행하는 모든 컴퓨팅 시스템으로 해석되어야 할 것이다. 예를 들어, 컴퓨팅 시스템(1000)은 디지털 카메라, 이동 전화기, 피디에이(Personal Digital Assistants; PDA), 피엠펙(Portable Multimedia Player; PMP), 스마트폰 등을 포함할 수 있다.
- [0105] 도 15는 도 14의 컴퓨팅 시스템에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.
- [0106] 도 15를 참조하면, 컴퓨팅 시스템(1100)은 MIPI 인터페이스를 사용 또는 지원할 수 있는 데이터 처리 장치로 구현될 수 있고, 어플리케이션 프로세서(1110), 이미지 센서(1140) 및 디스플레이(1150) 등을 포함할 수 있다. 어플리케이션 프로세서(1110)의 CSI 호스트(1112)는 카메라 시리얼 인터페이스(Camera Serial Interface; CSI)를 통하여 이미지 센서(1140)의 CSI 장치(1141)와 시리얼 통신을 수행할 수 있다. 일 실시예에서, CSI 호스트(1112)는 디시리얼라이저(DES)를 포함할 수 있고, CSI 장치(1141)는 시리얼라이저(SER)를 포함할 수 있다. 어플리케이션 프로세서(1110)의 DSI 호스트(1111)는 디스플레이 시리얼 인터페이스(Display Serial Interface; DSI)를 통하여 디스플레이(1150)의 DSI 장치(1151)와 시리얼 통신을 수행할 수 있다.
- [0107] 이미지 센서(1140)는 본 발명의 실시예들에 따른 재구성형 아날로그-디지털 컨버터를 이용하여 구현될 수 있다.
- [0108] 일 실시예에서, DSI 호스트(1111)는 시리얼라이저(SER)를 포함할 수 있고, DSI 장치(1151)는 디시리얼라이저(DES)를 포함할 수 있다. 나아가, 컴퓨팅 시스템(1100)은 어플리케이션 프로세서(1110)와 통신을 수행할 수 있는 알에프(Radio Frequency; RF) 칩(1160)을 더 포함할 수 있다. 컴퓨팅 시스템(1100)의 PHY(1113)와 RF 칩(1160)의 PHY(1161)는 MIPI(Mobile Industry Processor Interface) DigRF에 따라 데이터 송수신을 수행할 수 있다. 또한, 어플리케이션 프로세서(1110)는 PHY(1161)의 MIPI DigRF에 따른 데이터 송수신을 제어하는 DigRF MASTER(1114)를 더 포함할 수 있다.
- [0109] 한편, 컴퓨팅 시스템(1100)은 지피에스(Global Positioning System; GPS)(1120), 스토리지(1170), 마이크(1180), 디램(Dynamic Random Access Memory; DRAM)(1185) 및 스피커(1190)를 포함할 수 있다. 또한, 컴퓨팅 시스템(1100)은 초광대역(Ultra WideBand; UWB)(1210), 무선 랜(Wireless Local Area Network; WLAN)(1220) 및 와이맥스(Worldwide Interoperability for Microwave Access; WIMAX)(1230) 등을 이용하여 통신을 수행할 수 있다. 다만, 컴퓨팅 시스템(1100)의 구조 및 인터페이스는 하나의 예시로서 이에 한정되는 것이 아니다.
- [0110] 전술한 바와 같이, 본 발명의 실시예들에 따른 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서는 동작 조건에 따라서 노이즈 전달 함수를 변화시키면서 적응적으로 변환 이득을 조절함으로써 다양한 타입의 노이즈에 효율적으로 대처하면서 변환 이득을 제어할 수 있다. 또한 본 발명의 실시예들에 따른 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서는 정적 파워를 소모하는 가변 이득 증폭기를 배제하여 변환 이득을 조절함으로써 파워 효율을 증대할 수 있다.

산업상 이용가능성

- [0111] 본 발명의 실시예들에 따른 아날로그-디지털 컨버터는 이미지 센서 및 이를 포함하는 시스템에서 유용하게 이용될 수 있다. 특히 고속 동작이 요구되고 전력 감소가 요구되는 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펙(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console) 등과 같은 전자 기기에 적용될 수 있다.
- [0112] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

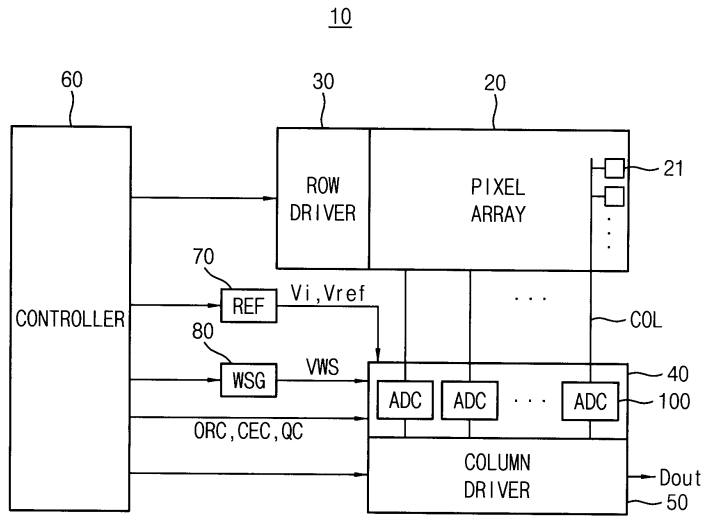
- [0113] 100: 재구성형 아날로그-디지털 컨버터
VLF: 가변 적분부, 가변 루프 필터
VQ: 가변 양자화기
ORC: 차수 제어 신호
CEC: 계수 제어 신호

QC: 양자화 제어 신호

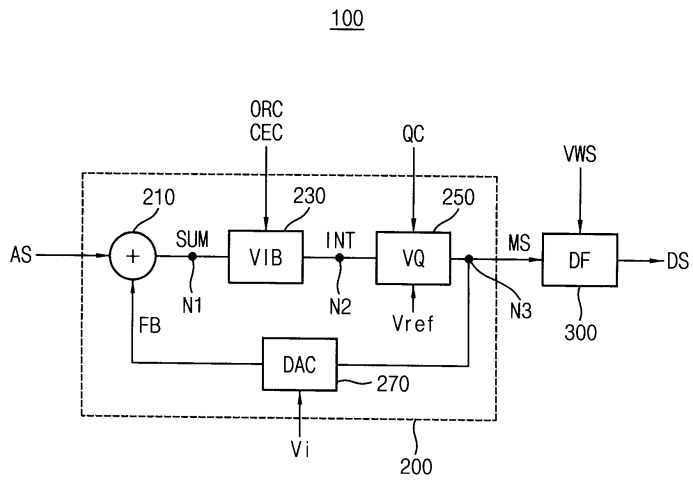
VWS: 가변 가중 신호

도면

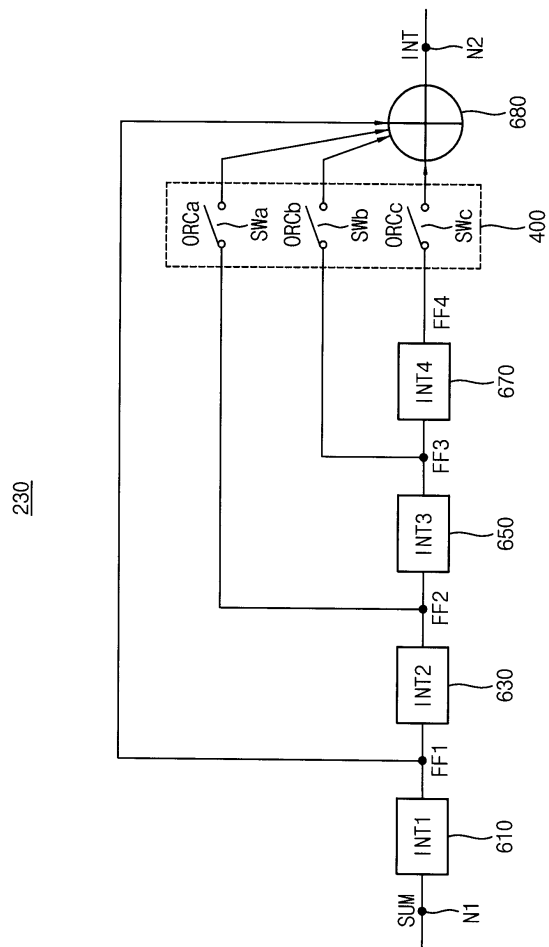
도면1



도면2



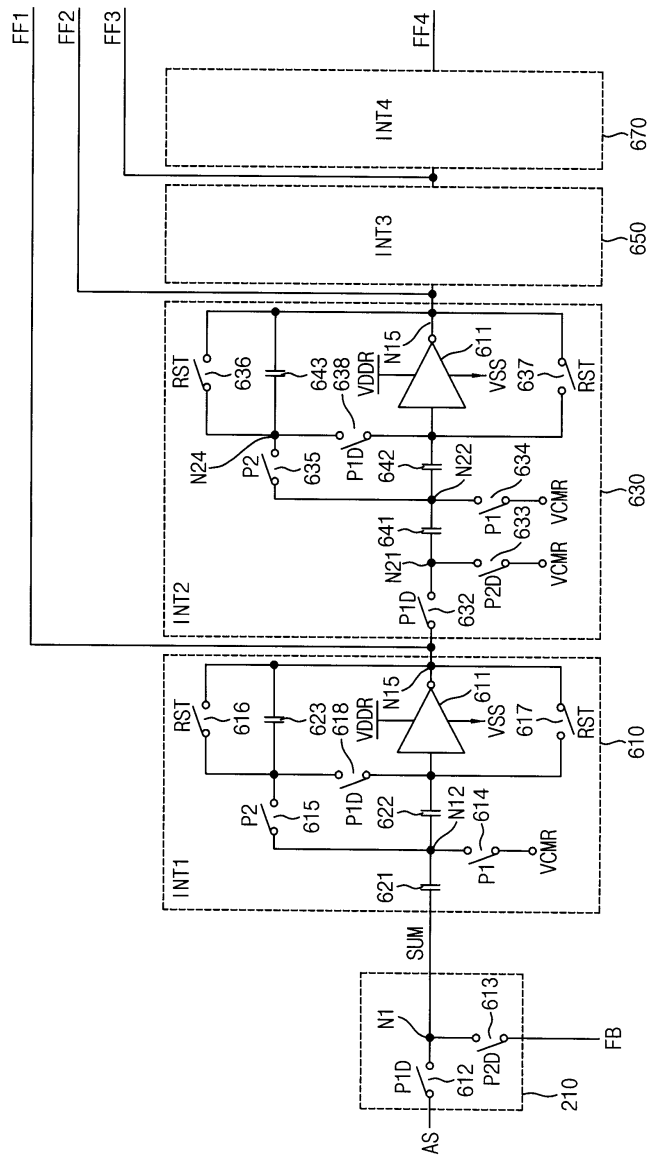
도면3



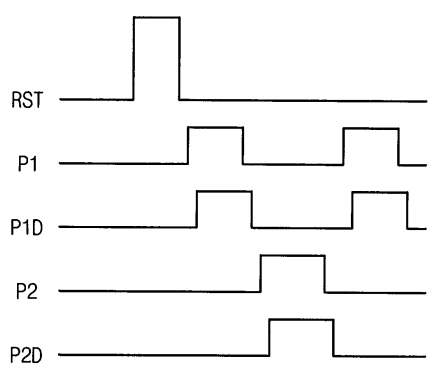
도면4

ORDER	ORCa	ORCb	ORCc
1	L	L	L
2	H	L	L
3	H	H	L
4	H	H	H

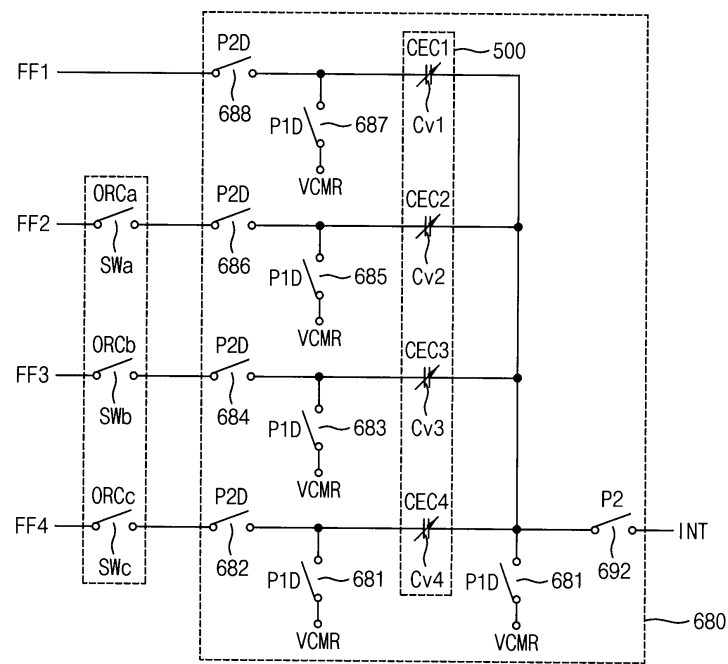
도면5



도면6



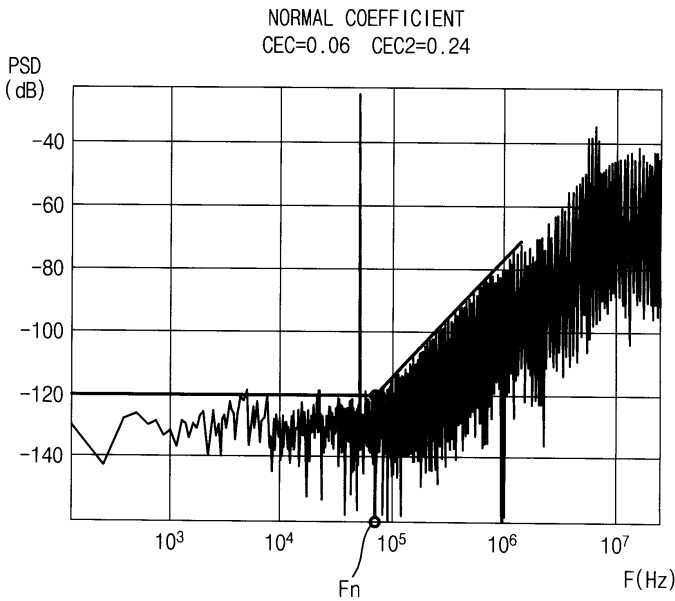
도면7



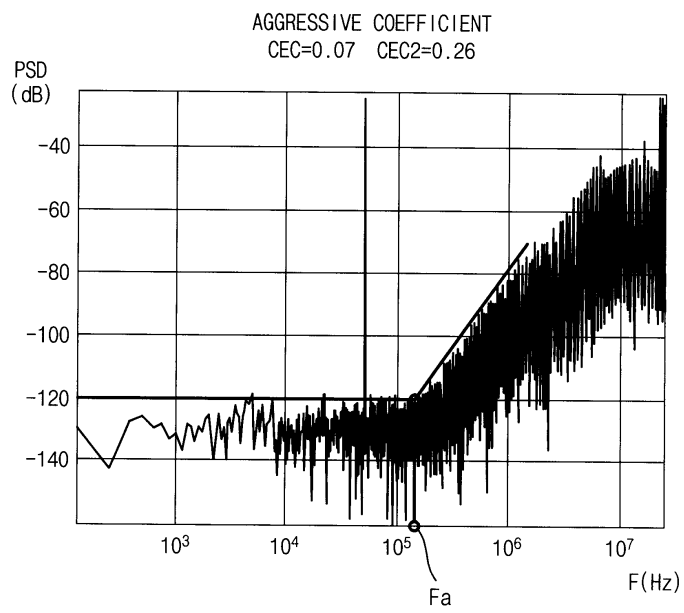
도면8

TEMPERATURE	CEC1	CEC2	CEC3	CEC4
T1~T2	K11	K12	K13	K14
T2~T3	K21	K22	K23	K24
T3~T4	K31	K32	K33	K34
⋮	⋮	⋮	⋮	⋮

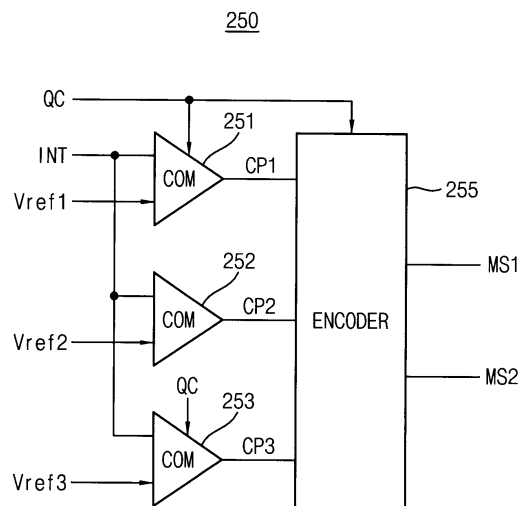
도면9a



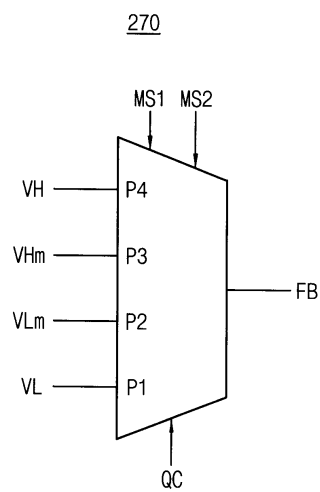
도면9b



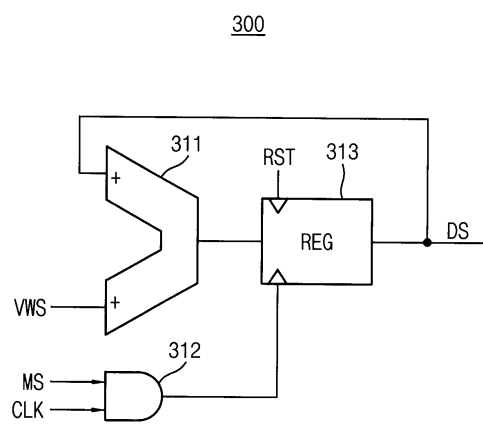
도면10



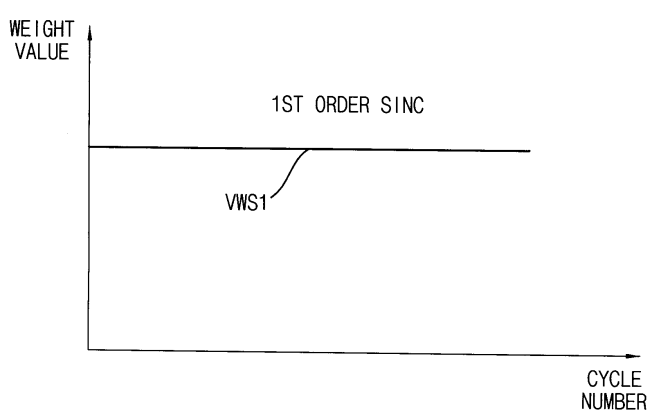
도면11



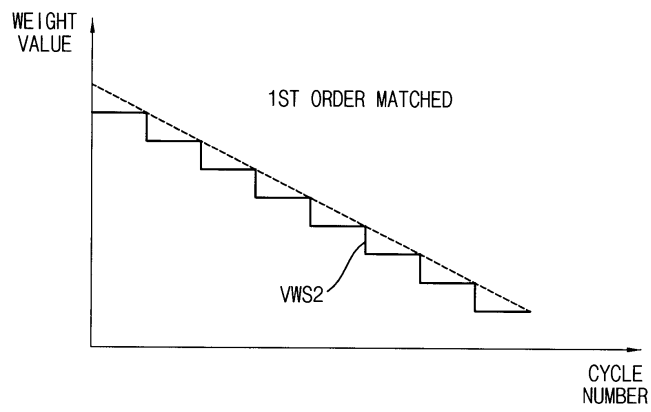
도면12



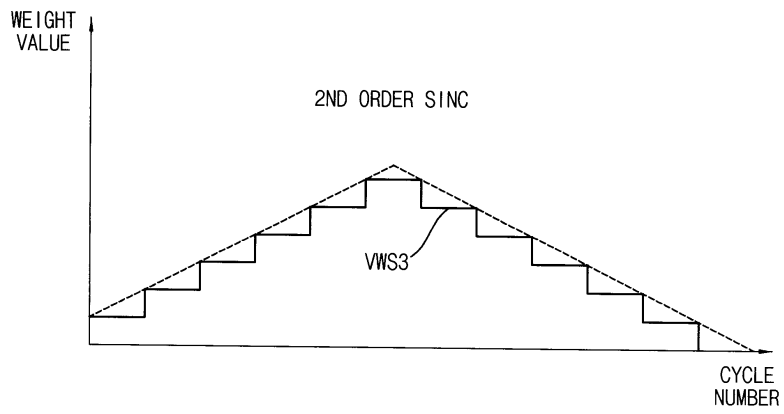
도면13a



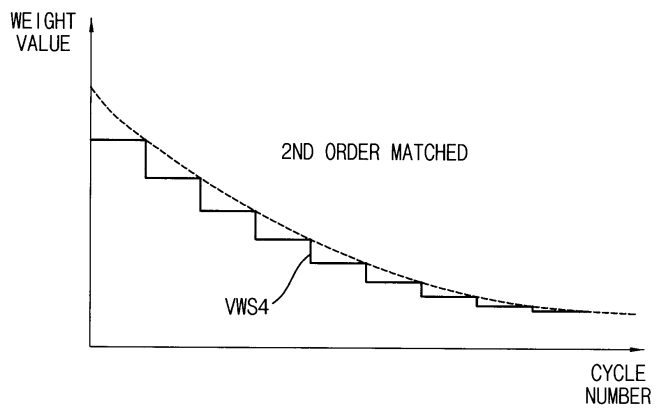
도면13b



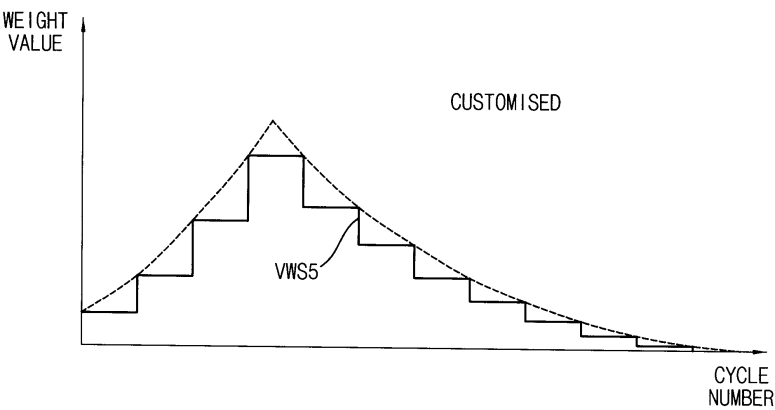
도면13c



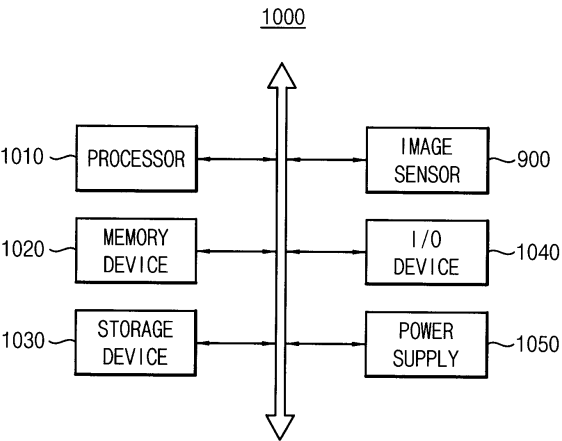
도면13d



도면13e



도면14



도면15

