



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년01월14일

(11) 등록번호 10-2352006

(24) 등록일자 2022년01월12일

(51) 국제특허분류(Int. Cl.)

G06F 13/16 (2006.01) G06F 13/40 (2006.01)

G06F 13/42 (2006.01) G11C 5/04 (2006.01)

H01L 23/48 (2006.01) H01L 23/522 (2006.01)

H01L 25/065 (2006.01) H03M 13/27 (2006.01)

(52) CPC특허분류

G06F 13/1647 (2013.01)

G06F 13/1626 (2013.01)

(21) 출원번호 10-2020-0123015

(22) 출원일자 2020년09월23일

심사청구일자 2020년09월23일

(56) 선행기술조사문헌

KR100990453 B1

KR1020020062076 A

KR1020110011552 A

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)

이중수

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

김지영

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C712(신촌동)

(74) 대리인

민영준

전체 청구항 수 : 총 18 항

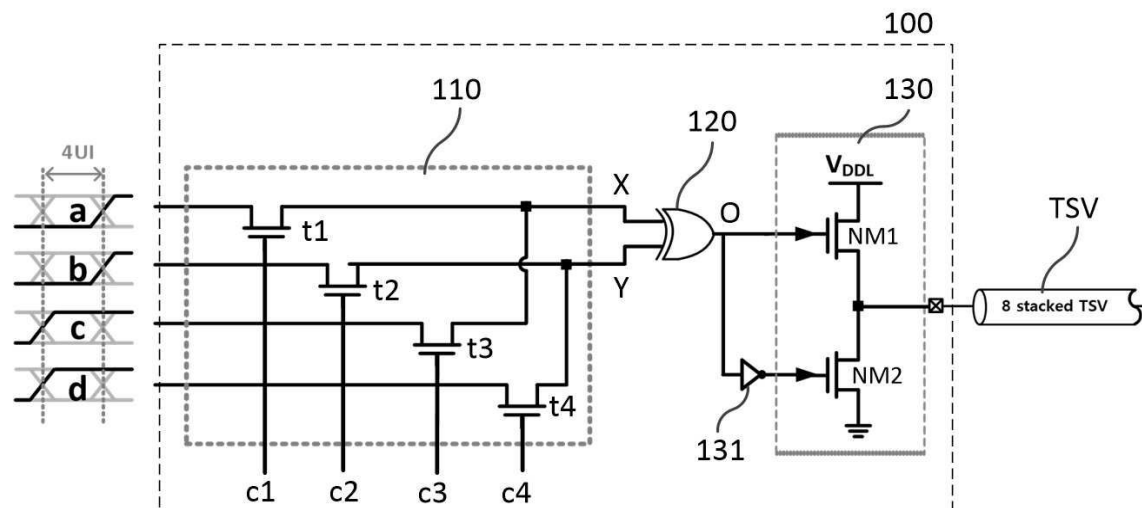
심사관 : 김세영

(54) 발명의 명칭 시간 인터리빙 방식 프리코더를 이용한 데이터 송수신 모듈 및 방법

(57) 요약

본 발명은 송신 시에 데이터를 시간 인터리빙 방식으로 재배열하고, 재배열된 데이터를 프리코딩하여 전송하며, 수신 시에 프리코딩된 데이터를 디코딩하여 복원함으로써 낮은 복잡도로 고속 데이터를 송수신할 수 있으며, 전압 모드 드라이버를 이용할 수 있어 정적 전력 소모를 줄여 저전력으로 데이터 송수신 할 수 있는 데이터 송수신 모듈 및 방법을 제공할 수 있다.

대표도 - 도2



(52) CPC특허분류

G06F 13/4072 (2013.01)

G06F 13/4234 (2013.01)

G11C 5/04 (2018.05)

H01L 23/481 (2013.01)

H01L 23/5226 (2013.01)

H01L 25/0657 (2013.01)

H03M 13/27 (2013.01)

H04L 25/028 (2013.01)

H04L 25/0292 (2013.01)

명세서

청구범위

청구항 1

다수의 다이가 배치된 반도체 장치에서 다수의 다이 상에 구현되는 데이터 송신 모듈에 있어서,
인가되는 다수의 데이터를 기지정된 방식으로 직렬화하여 기지정된 위상차를 갖는 2개의 재배열 데이터를 획득하는 먹스부;

상기 2개의 재배열 데이터를 인가받아 배타적 논리합 연산을 수행하여 출력 데이터를 획득하는 프리코더; 및
상기 출력 데이터를 기지정된 전압 레벨 폭으로 스윙하여 전송 경로를 통해 전송하는 출력 드라이버를 포함하는 데이터 송신 모듈.

청구항 2

제1항에 있어서, 상기 먹스부는

상기 다수의 데이터를 타임 인터리빙 기법에 따라 직렬화하고 재배열하여 상기 2개의 재배열 데이터를 획득하는 데이터 송신 모듈.

청구항 3

제2항에 있어서, 상기 먹스부는

다수의 패스 트랜지스터를 포함하고,

상기 다수의 패스 트랜지스터 각각은

일단으로 상기 다수의 데이터 중 대응하는 데이터를 인가받고, 타단이 다수의 패스 트랜지스터 중 대응하는 패스 트랜지스터의 타단과 병렬로 연결되며, 서로 다른 위상을 갖는 다수의 제어 클럭 중 대응하는 제어 클럭을 게이트로 인가받아 온/오프되어 인가된 데이터를 타단으로 전달하는 데이터 송신 모듈.

청구항 4

제3항에 있어서, 상기 먹스부는

기지정된 순서에 따라 90도 위상차를 갖는 4개의 제어 클럭에 응답하여 인가되는 4개의 데이터를 재배열하여 상기 2개의 재배열 데이터를 출력하는 데이터 송신 모듈.

청구항 5

제3항에 있어서, 상기 출력 드라이버는

로우 전원 전압과 접지 전압 사이에 연결되는 전압 모드 로직 드라이버로 구현되는 데이터 송신 모듈.

청구항 6

제1항에 있어서, 상기 반도체 장치는

다수의 다이가 적층 배치된 스택형 반도체 장치이고,

상기 출력 드라이버는 상기 전송 경로로서 적층 배치된 다수의 다이를 관통하여 형성된 관통 전극(TSV)을 통해 상기 출력 데이터를 전송하는 데이터 송신 모듈.

청구항 7

다수의 다이가 배치된 반도체 장치에서 다수의 다이 상에 구현되는 데이터 수신 모듈에 있어서,

데이터 송신 모듈에서 다수의 데이터가 직렬화된 2개의 재배열 데이터를 배타적 논리합하여 획득되어 전송 경로

를 통해 전송된 출력 데이터를 수신하여 증폭하는 수신 증폭기;

상기 수신 증폭기에서 증폭된 출력 데이터의 비트값에 따라 토글되는 비트값을 갖는 프리디코딩 데이터를 획득하는 프리디코더; 및

상기 프리디코딩 데이터를 디먹싱하여 다수의 데이터를 복원하는 디먹스부를 포함하는 데이터 수신 모듈.

청구항 8

제7항에 있어서, 상기 프리디코더는

T 플립플롭으로 구현되는 데이터 수신 모듈.

청구항 9

제7항에 있어서, 상기 디먹스부는

상기 프리디코딩 데이터를 1:2 디먹싱하여 상기 2개의 재배열 데이터를 복원한 2개의 복원 재배열 데이터를 획득하는 제1 디먹스; 및

상기 2개의 복원 재배열 데이터 중 대응하는 복원 재배열 데이터를 인가받아 디먹싱하여 각각 대응하는 데이터를 복원하는 다수의 제2 디먹스를 포함하는 데이터 수신 모듈.

청구항 10

다수의 다이아 배치된 반도체 장치에서 다수의 다이 상에 구현되는 데이터 송신 모듈의 데이터 송신 방법에 있어서,

인가되는 다수의 데이터를 기지정된 방식으로 직렬화하여 기지정된 위상차를 갖는 2개의 재배열 데이터를 획득하는 단계;

상기 2개의 재배열 데이터를 배타적 논리합 연산하여 출력 데이터를 획득하는 단계; 및

상기 출력 데이터를 기지정된 전압 레벨 폭으로 스윙하여 전송 경로를 통해 전송하는 단계를 포함하는 데이터 송신 방법.

청구항 11

제10항에 있어서, 상기 재배열 데이터를 획득하는 단계는

상기 다수의 데이터를 타임 인터리빙 기법에 따라 직렬화하고 재배열하여 상기 2개의 재배열 데이터를 획득하는 데이터 송신 방법.

청구항 12

제11항에 있어서, 상기 재배열 데이터를 획득하는 단계는

상기 다수의 데이터를 제1 데이터 그룹과 제2 데이터 그룹으로 구분하고, 구분된 제1 데이터 그룹의 다수의 데이터를 서로 다른 위상을 갖는 다수의 제어 클럭 중 대응하는 제어 클럭에 따라 직렬화하고, 제2 데이터 그룹의 다수의 데이터를 대응하는 제어 클럭에 따라 직렬화하여 상기 2개의 재배열 데이터를 획득하는 데이터 송신 방법.

청구항 13

제12항에 있어서, 상기 다수의 제어 클럭은

기지정된 순서에 따라 90도 위상차를 갖는 데이터 송신 방법.

청구항 14

제12항에 있어서, 상기 전송하는 단계는

로우 전원 전압과 접지 전압 사이에 연결되는 전압 모드 로직 드라이버를 이용하여 상기 출력 데이터를 전송하는 데이터 송신 방법.

청구항 15

제10항에 있어서, 상기 반도체 장치는

다수의 다이가 적층 배치된 스택형 반도체 장치이고,

상기 전송 경로는 적층 배치된 다수의 다이를 관통하여 형성된 관통 전극(TSV)인 데이터 송신 방법.

청구항 16

다수의 다이가 배치된 반도체 장치에서 다수의 다이 상에 구현되는 데이터 수신 모듈의 데이터 수신 방법에 있어서,

데이터 송신 모듈에서 다수의 데이터가 직렬화된 2개의 재배열 데이터를 배타적 논리합하여 획득되어 전송 경로를 통해 전송된 출력 데이터를 수신하여 증폭하는 단계;

증폭된 출력 데이터의 비트값에 따라 토글되는 비트값을 갖는 프리디코딩 데이터를 획득하는 단계; 및

상기 프리디코딩 데이터를 디먹싱하여 다수의 데이터를 복원하는 단계를 포함하는 데이터 수신 방법.

청구항 17

제16항에 있어서, 상기 프리디코딩 데이터를 획득하는 단계는

증폭된 출력 데이터를 인가받는 T 플립플롭을 이용하여 상기 프리디코딩 데이터를 획득하는 데이터 수신 방법.

청구항 18

제16항에 있어서, 상기 데이터를 복원하는 단계는

상기 프리디코딩 데이터를 1:2 디먹싱하여 상기 2개의 재배열 데이터를 복원한 2개의 복원 재배열 데이터를 획득하는 단계; 및

상기 2개의 복원 재배열 데이터 중 대응하는 복원 재배열 데이터를 인가받아 디먹싱하여 각각 대응하는 데이터를 복원하는 단계를 포함하는 데이터 수신 방법.

발명의 설명

기술 분야

[0001] 본 발명은 데이터 전송 장치 및 방법에 관한 것으로, 반도체 장치 내에서 다이간 고속 데이터 전송을 위한 시간 인터리빙 방식 프리코더를 이용한 데이터 송수신 모듈 및 방법에 관한 것이다.

배경 기술

[0002] 전자 제품의 소형화, 다기능화에 의해 반도체 장치 또한 고집적화, 다기능화 되고 있다. 이에 최근에는 복수개의 코어 다이(core die)가 적층된 스택형 반도체 장치가 빈번하게 이용되고 있다.

[0003] 도 1은 스택형 반도체 장치의 일 예를 나타낸다.

[0004] 도 1에서는 스택형 반도체 장치의 일 예로서 고대역폭 메모리(High Bandwidth Memory: 이하 HBM)를 도시하였다. HBM은 고성능의 CPU 또는 GPU를 지원하기 위해 개발된 고속 동작이 가능한 고성능 메모리로서, 도 1에 도시된 바와 같이, 다수의 코어 다이가 적층되므로 3차원 구조를 갖는다. 그리고 도 1과 같이 다수의 코어 다이가 적층된 반도체 장치에서는 적층된 복수개의 코어 다이를 수직으로 관통하는 비아 홀(via hall)을 형성하고, 비아 홀 내부를 관통 전극(through silicon via: 이하 TSV)으로 충전함으로써, 적층된 코어 다이와 베이스 로직 다이(Base Logic Die) 사이 또는 복수개의 코어 다이 사이에서 데이터를 전달할 수 있도록 한다. TSV가 복수개의 코어 다이를 관통하여 연결됨으로써, 고속 데이터 전달이 가능할 뿐만 아니라 전력 소모를 크게 줄일 수 있다.

[0005] 그러나 스택형 반도체 장치에서 적층되는 코어 다이의 개수가 증가되고 있을 뿐만 아니라, 각 코어 다이의 집적도가 향상됨에 따라 전송되어야 하는 데이터의 양 또한 크게 증가되었으며, 이로 인해 요구되는 TSV의 개수 또한 기하급수적으로 증가하게 되었다. 특히 도 1에 도시된 HBM과 같이 고속에서 동작하는 대용량 메모리의

경우, 동시에 전송되어야 하는 데이터 양이 매우 방대하다.

[0006] TSV의 개수가 증가하게 되면, 코어 다이의 집적도가 낮아질 뿐만 아니라 전력 소모가 크게 증가하게 되므로, 현재 대부분의 스택형 반도체 장치에서는 다수의 다이 각각에 배치되는 데이터 송신 모듈이 TSV를 통해 전송할 다수의 데이터를 직렬화(serialize)하여 전송하고, 데이터 수신 모듈이 직렬화된 데이터를 복원하여 데이터 전송을 위해 요구되는 TSV의 개수를 저감시키고 있다.

[0007] 다만 기존에는 일 예로 데이터 송신 모듈이 4비트의 데이터에 대해 4:2 믹스(MUX) 및 2:1 믹스를 이용하여 순차적으로 직렬화하고, 인버터 드라이버를(inverter) 구동하여 직렬화된 데이터를 출력한다. 그러나 2:1 믹스가 2개의 D 플립플롭으로 구성되므로 높은 주파수 동작으로 인해 전력소모가 매우 크고, 인버터 드라이버의 게이트 전압 감소로 인해 2:1 믹스의 고속 동작에 대응하기 어렵다는 한계가 있다.

[0008] 이러한 한계를 극복하기 위해 타임 인터리빙 방식으로 데이터를 재배열하고, 2:1 믹스와 인버터 드라이버를 대체하여 전류 모드 로직(current mode logic: 이하 CML) 드라이버를 이용하여 재배열된 데이터를 멀티 레벨로 변환하여 전송하는 기법도 제안된 바 있으나, CML 드라이버는 정적 전력(static power) 소모가 발생되고, 수신단에서 멀티 레벨로 전송된 데이터를 복원하기 위해서는 다수의 서로 다른 기준 전압이 필요하여 전력 소모뿐만 아니라 수신단 구조가 복잡해진다는 문제가 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 한국 공개 특허 제10-2000-0013044호 (2000.03.06 공개)

발명의 내용

해결하려는 과제

[0010] 본 발명의 목적은 데이터를 저전력으로 고속 데이터 송수신이 가능한 데이터 송수신 모듈 및 방법을 제공하는데 있다.

과제의 해결 수단

[0011] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 데이터 송신 모듈은 다수의 다이가 배치된 반도체 장치에서 다수의 다이 상에 구현되어, 인가되는 다수의 데이터를 기지정된 방식으로 직렬화하여 기지정된 위상차를 갖는 2개의 재배열 데이터를 획득하는 믹스부; 상기 2개의 재배열 데이터를 인가받아 배타적 논리합 연산을 수행하여 출력 데이터를 획득하는 프리코더; 및 상기 출력 데이터를 기지정된 전압 레벨 폭으로 스윙하여 전송 경로를 통해 전송하는 출력 드라이버를 포함한다.

[0012] 상기 믹스부는 상기 다수의 데이터를 타임 인터리빙 기법에 따라 직렬화하고 재배열하여 상기 2개의 재배열 데이터를 획득할 수 있다.

[0013] 상기 믹스부는 다수의 패스 트랜지스터를 포함하고, 상기 다수의 패스 트랜지스터 각각은 일단으로 상기 다수의 데이터 중 대응하는 데이터를 인가받고, 타단이 다수의 패스 트랜지스터 중 대응하는 패스 트랜지스터의 타단과 병렬로 연결되며, 서로 다른 위상을 갖는 다수의 제어 클럭 중 대응하는 제어 클럭을 게이트로 인가받아 온/오프되어 인가된 데이터를 타단으로 전달할 수 있다.

[0014] 상기 믹스부는 기지정된 순서에 따라 90도 위상차를 갖는 4개의 제어 클럭에 응답하여 인가되는 4개의 데이터를 재배열하여 상기 2개의 재배열 데이터를 출력할 수 있다.

[0015] 상기 출력 드라이버는 로우 전원 전압과 접지 전압 사이에 연결되는 전압 모드 로직 드라이버로 구현될 수 있다.

[0016] 상기 반도체 장치는 다수의 다이가 적층 배치된 스택형 반도체 장치이고, 상기 출력 드라이버는 상기 전송 경로로서 적층 배치된 다수의 다이를 관통하여 형성된 관통 전극(TSV)을 통해 상기 출력 데이터를 전송할 수 있다.

[0017] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 데이터 수신 모듈은 다수의 다이가 배치된 반도체 장

치에서 다수의 다이 상에 구현되어 데이터 송신 모듈에서 다수의 데이터가 직렬화된 2개의 재배열 데이터를 배타적 논리합하여 획득되어 전송 경로를 통해 전송된 출력 데이터를 수신하여 증폭하는 수신 증폭기; 상기 수신 증폭기에서 증폭된 출력 데이터의 비트값에 따라 토글되는 비트값을 갖는 프리디코딩 데이터를 획득하는 프리디코더; 및 상기 프리디코딩 데이터를 디믹싱하여 다수의 데이터를 복원하는 디믹스부를 포함한다.

[0018] 상기 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 데이터 송신 방법은 인가되는 다수의 데이터를 기 지정된 방식으로 직렬화하여 기지정된 위상차를 갖는 2개의 재배열 데이터를 획득하는 단계; 상기 2개의 재배열 데이터를 배타적 논리합 연산하여 출력 데이터를 획득하는 단계; 및 상기 출력 데이터를 기지정된 전압 레벨 폭으로 스위칭하여 전송 경로를 통해 전송하는 단계를 포함한다.

[0019] 상기 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 데이터 수신 방법은 데이터 송신 모듈에서 다수의 데이터가 직렬화된 2개의 재배열 데이터를 배타적 논리합하여 획득되어 전송 경로를 통해 전송된 출력 데이터를 수신하여 증폭하는 단계; 증폭된 출력 데이터의 비트값에 따라 토글되는 비트값을 갖는 프리디코딩 데이터를 획득하는 단계; 및 상기 프리디코딩 데이터를 디믹싱하여 다수의 데이터를 복원하는 단계를 포함한다.

발명의 효과

[0020] 따라서, 본 발명의 실시예에 따른 데이터 송수신 모듈 및 방법은 송신 시에 데이터를 시간 인터리빙 방식으로 재배열하고, 재배열된 데이터를 프리코딩하여 전송하며, 수신 시에 프리코딩된 데이터를 디코딩하여 복원함으로써 낮은 복잡도로 고속 데이터를 송수신할 수 있다. 또한 전압 모드 드라이버를 이용할 수 있어 정적 전력 소모를 줄여 저전력으로 데이터 송수신 할 수 있다.

도면의 간단한 설명

[0021] 도 1은 스택형 반도체 장치의 일 예를 나타낸다.
 도 2는 본 발명의 일 실시예에 따른 데이터 송신 모듈의 구조를 나타낸다.
 도 3은 도 2의 데이터 송신 모듈에서 프리코더의 입력 데이터와 출력 데이터의 타이밍 다이어그램을 나타낸다.
 도 4는 본 발명의 일 실시예에 따른 데이터 수신 모듈의 구조를 나타낸다.
 도 5는 도 4의 데이터 수신 모듈에서 디코더의 프리디코더에 입력되는 출력 데이터와 프리디코더에서 출력되는 프리디코딩 데이터의 타이밍 다이어그램을 나타낸다.
 도 6은 도 4의 데이터 수신 모듈에서 프리디코딩 데이터와 복원 재배열 데이터의 타이밍 다이어그램을 나타낸다.
 도 7은 본 발명의 일 실시예에 따른 데이터 송신 방법을 나타낸다.
 도 8은 본 발명의 일 실시예에 따른 데이터 수신 방법을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0023] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.

[0024] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0025] 도 2는 본 발명의 일 실시예에 따른 데이터 송신 모듈의 구조를 나타내고, 도 3은 도 2의 데이터 송신 모듈에서 프리코더의 입력 데이터와 출력 데이터의 타이밍 다이어그램을 나타낸다.

[0026] 도 2를 참조하면, 데이터 송신 모듈(100)은 전송해야 하는 데이터를 인가받아 전송 경로(여기서는 일례로 TSV)

를 통해 전달한다.

- [0027] 여기서 데이터 송신 모듈(100)은 상기한 바와 같이, 반도체 장치의 다수의 다이에 형성될 수 있다. 그리고 반도체 장치는 도 1에서와 마찬가지로 일 예로 다수의 다이가 적층되고 다수의 다이를 관통하여 TSV가 형성된 스택형 반도체 장치인 것으로 가정한다. 특히 스택형 반도체 장치에서도 HBM일 수 있다.
- [0028] 본 실시예에서 데이터 송신 모듈(100)은 대응하는 다이로부터 다른 다이의 수신 모듈로 전송할 다수의 데이터(a ~ d)를 인가받고, 인가된 다수의 데이터(a ~ d)를 기지정된 방식으로 직렬화하여 전송 경로를 통해 전송한다. 이때, 본 실시예의 데이터 송신 모듈(100)은 인가된 다수의 데이터(a ~ d)를 단순 직렬화하지 않고, 다수의 데이터(a ~ d)를 2개의 재배열 데이터(X, Y)로 재배열하고, 2개의 재배열 데이터(X, Y)를 비트값에 따라 프리코딩하여 출력 데이터를 획득하고, 출력 데이터에 따라 출력 드라이버가 전송 경로를 구동하여 전송한다.
- [0029] 데이터 송신 모듈(100)은 맥스부(110), 프리코더(120) 및 출력 드라이버(130)를 포함할 수 있다.
- [0030] 우선 맥스부(110)는 다수의 데이터(a ~ d)를 인가받아 2개의 재배열 데이터(X, Y)로 재배열하여 출력한다. 맥스부(110)는 데이터 송신 모듈(100)이 배치된 다이의 다른 회로에서 전송되는 다수의 데이터(a ~ d)를 인가받는다. 여기서 다수의 데이터는 일예로 반도체 장치가 HBM과 같은 메모리 장치인 경우, 해당 다이에 형성된 다수의 메모리 셀 중 선택된 메모리 어드레스에 대응하여 동시에 리드된 다수의 데이터일 수 있다.
- [0031] 맥스부(110)는 인가되는 다수의 데이터를 프리코더(120)가 프리코딩할 수 있도록 기지정된 방식으로 재배열하여 2개의 재배열 데이터(X, Y)를 출력한다. 도 2에서와 같이, 4개의 데이터가 인가되는 경우, 맥스부(110)는 4개의 데이터에서 순차적으로 2개의 데이터를 선택하여 출력하는 4:2 맥스로 구현될 수 있다.
- [0032] 특히 본 실시예에서 맥스부(110)는 인가되는 데이터 각각에 대응하는 개수로 다수의 패스 트랜지스터(pass transistor)(t1 ~ t4)를 포함하고, 다수의 패스 트랜지스터(t1 ~ t4)의 일단으로는 대응하는 데이터(a ~ d)가 인가된다. 그리고 다수의 패스 트랜지스터(t1 ~ t4) 중 기지정된 패스 트랜지스터((t1, t3), (t2, t4))들 사이의 타단은 서로 병렬로 연결된다. 여기서는 일 예로 다수의 패스 트랜지스터(t1 ~ t4) 중 홀수번째 패스 트랜지스터(t1, t3)의 타단이 서로 병렬로 연결되고, 짝수번째 패스 트랜지스터(t2, t4)의 타단이 서로 병렬로 연결되는 것으로 가정하였다. 이는 홀수번째 패스 트랜지스터(t1, t3)로 인가되는 데이터(a, c)와 짝수번째 패스 트랜지스터(t2, t4)로 인가되는 데이터(b, c)를 구분하여 직렬화함으로써, 2개의 재배열 데이터(X, Y)를 획득하기 위함이다.
- [0033] 한편, 다수의 패스 트랜지스터(t1 ~ t4) 각각 게이트에는 다수의 제어 클럭(c1 ~ c4) 중 대응하는 제어 클럭이 인가되어 다수의 데이터(a ~ d)를 대응하는 제어 클럭(c1 ~ c4)에 따라 서로 상이한 타이밍에 출력할 수 있다. 여기서 다수의 제어 클럭(c1 ~ c4)은 동일 주파수를 갖고 서로 다른 위상을 갖는 클럭일 수 있다. 일 예로 다수의 제어 클럭(c1 ~ c4)은 기지정된 순서로 90도 위상차를 갖는 클럭일 수 있다.
- [0034] 여기서 다수의 제어 클럭(c1 ~ c4)이 서로 상이한 위상을 갖는 것은 다수의 데이터(a ~ d)가 2개의 재배열 데이터(X, Y)로 재배열되는 순서를 조절하기 위함이다. 또한 프리코더(120)가 2개의 재배열 데이터(X, Y)를 프리코딩하여 재배열 데이터(X, Y)보다 주파수가 2배인 출력 데이터(O)를 획득할 수 있도록 하기 위함이다.
- [0035] 즉 맥스부(110)는 서로 상이한 위상을 갖는 다수의 제어 클럭(c1 ~ c4)에 응답하여 인가된 다수의 데이터(a ~ d)를 타임 인터리빙(time-interleaving) 방식으로 재배열하여, 2개의 재배열 데이터(X, Y)를 출력할 수 있다. 일 예로 맥스부(110)는 도 3에 도시된 바와 같이, 인가된 다수의 데이터(a ~ d) 중 홀수번째 데이터(a, c)와 짝수번째 데이터(b, c)를 구분하여 각각 타임 인터리빙 방식으로 재배열함으로써 제1 및 제3 데이터(a, c)가 재배열된 제1 재배열 데이터(X)와 제2 및 제4 데이터(b, d)가 재배열된 제2 재배열 데이터(Y)를 획득할 수 있다. 즉 다수의 데이터(a ~ d)를 제1 데이터 그룹과 제2 데이터 그룹으로 구분하고, 구분된 제1 데이터 그룹의 다수의 데이터(a, c)를 대응하는 제어 클럭(c1, c3)에 따라 직렬화하여 제1 재배열 데이터(X)를 획득하고, 제2 데이터 그룹의 다수의 데이터(b, d)를 대응하는 제어 클럭(c2, c4)에 따라 직렬화하여 제2 재배열 데이터(Y)를 획득할 수 있다.
- [0036] 도 2에서와 같이 맥스부(110)에서 홀수번째 패스 트랜지스터(t1, t3)의 타단이 서로 병렬로 연결되고, 짝수번째 패스 트랜지스터(t2, t4)의 타단이 서로 병렬로 연결되고, 4개의 패스 트랜지스터(t1 ~ t4)가 서로 다른 위상을 갖는 4개의 제어 클럭(c1 ~ c4)에 응답하여 온/오프되면, 4개의 데이터(a ~ d) 중 제1 및 제3 데이터(a, c)와 제2 및 제4 데이터(b, d)가 각각 순차적으로 직렬화되어 2개의 재배열 데이터(X, Y)로 출력되도록 할 수 있다.
- [0037] 본 실시예에서 맥스부(110)는 기존과 같이 다수의 D 플립 플롭 등으로 구현되는 경우, 높은 동작 주파수에서 동

작하게 되면 전력 소모가 크게 증가하므로, 전력 소모를 저감하기 위해 다수의 패스 트랜지스터($t_1 \sim t_4$)로 구현된다.

- [0038] 프리코더(120)는 믹스부(110)에서 재배열되어 출력되는 2개의 재배열 데이터(X, Y)를 인가받고, 인가된 재배열 데이터(X, Y)를 비트값에 따라 프리코딩하여 출력 데이터(O)를 획득한다.
- [0039] 본 실시예에서 프리코더(120)는 논리 소자로 구현되어 인가된 2개의 재배열 데이터(X, Y)에 대해 기지정된 논리 연산을 수행하여 프리코딩함으로써 출력 데이터(O)를 획득한다. 본 실시예에서 프리코더(120)는 도 2에서 도시된 바와 같이, 2개의 재배열 데이터(X, Y)를 배타적 논리합하여 출력 데이터(O)를 출력하는 배타적 논리합(이하 XOR) 소자로 구현될 수 있다. 이에 프리코더(120)는 도 3에 도시된 바와 같이, 제어 클럭의 위상차에 대응하는 위상차를 갖고 인가되는 2개의 재배열 데이터(X, Y)의 비트값이 동일하면 0의 비트값으로 출력 데이터(O)를 출력하고, 2개의 재배열 데이터(X, Y)의 비트값이 서로 상이하면 0의 비트값으로 출력 데이터(O)를 출력한다.
- [0040] 이는 2개의 재배열 데이터(X, Y) 사이에 위상차가 존재하므로, 프리코더(120)는 2개의 재배열 데이터(X, Y) 사이의 위상차에 대응하는 주기를 갖는다. 즉 재배열 데이터(X, Y) 비해 고주파수의 데이터로 획득된다.
- [0041] 출력 드라이버(130)는 프리코더(120)에서 획득된 출력 데이터를 인가받아 전송 경로로 출력한다.
- [0042] 본 발명에서 출력 드라이버(130)는 로우 전원 전압(VDDL)과 접지 전압(VSS) 사이에 직렬로 연결된 2개의 NMOS 트랜지스터(NM1, NM2)를 포함하는 전압 모드 로직(voltage mode logic: 이하 VML) 드라이버로 구현될 수 있다. 여기서 출력 드라이버(130)가 로우 전원 전압(VDDL)에 연결되는 것은 출력 드라이버(130)가 로우 스윙(Low swing) 폭으로 출력 데이터(O)를 전송하여 전력 소모를 저감하기 위해서이다. 상기한 바와 같이 본 실시예에서 데이터 송신 모듈(100)과 데이터 수신 모듈은 반도체 장치 내에서 TSV로 연결되는 다이 상에 구현되므로, 데이터 송신 모듈(100)이 반도체 내에서 이용되는 로우 전원 전압(VDDL)을 이용하여 로우 스윙 폭으로 출력 데이터(O)를 전송하는 경우에도 데이터 수신 모듈은 수신된 출력 데이터(O)를 용이하게 검출할 수 있다.
- [0043] 그리고 2개의 NMOS 트랜지스터(NM1, NM2) 중 일단이 전원 전압(VDD)에 연결된 제1 NMOS 트랜지스터(NM1)에는 출력 데이터(O)가 인가되고, 제2 NMOS 트랜지스터(NM2)에는 반전된 출력 데이터(O)가 인가될 수 있다. 여기서 출력 드라이버(130)는 프리코더(120)에서 출력되는 출력 데이터(O)를 반전시키기 위한 인버터(131)를 더 포함할 수 있다.
- [0044] 본 실시예에서는 출력 드라이버(130)를 2개의 NMOS 트랜지스터(NM0, NM1)를 포함하는 VML 드라이버로 구현함으로써 불필요한 전력 소비를 방지할 뿐만 아니라, 고속 동작이 가능하여 고주파수의 출력 데이터(O)를 안정적으로 전송 경로(TSV)를 통해 전송할 수 있다. 또한 기존에 출력 드라이버(130)가 CML 드라이버로 구현됨에 따라, 정적 전력 소모가 발생하였으나, VML 드라이버로 구현되는 본 실시예에 따른 출력 드라이버(130)는 적정 전력 소비가 발생하는 것을 방지할 수 있다.
- [0045] 상기한 바와 같이, 본 실시예에 따른 데이터 송신 모듈(100)은 다수의 패스 트랜지스터를 이용하여 다수의 데이터(a ~ d)를 타임 인터리빙 방법으로 재배열하고, 재배열된 데이터(X, Y)를 XOR 소자를 이용하여 프리코딩하여 직렬화함으로써, 낮은 복잡도로 구현될 수 있으며 저전력을 소비하여 고속으로 데이터를 전송할 수 있다.
- [0046] 도 4는 본 발명의 일 실시예에 따른 데이터 수신 모듈의 구조를 나타내고, 도 5는 도 4의 데이터 수신 모듈에서 디코더의 프리디코더에 입력되는 출력 데이터와 프리디코더에서 출력되는 프리디코딩 데이터의 타이밍 다이어그램을 나타내며, 도 6은 도 4의 데이터 수신 모듈에서 프리디코딩 데이터와 복원 재배열 데이터의 타이밍 다이어그램을 나타낸다.
- [0047] 데이터 수신 모듈(200)은 데이터 송신 모듈(100)이 전송 경로(TSV)를 통해 전송한 출력 데이터(O)를 수신하여 데이터(a ~ d)를 복원한다.
- [0048] 도 4를 참조하면, 데이터 수신 모듈(200)은 수신 증폭기(210)와 디코더(220) 및 데이터 복원부(230)를 포함할 수 있다.
- [0049] 수신 증폭기(210)는 데이터 송신 모듈(200)에서 출력되어 전송 경로(TSV)를 통해 전송된 출력 데이터(O)를 증폭하여 출력한다. 여기서 수신 증폭기(210)는 수신된 출력 데이터(O)와 기지정된 기준 전압 사이의 전압차를 증폭하여 출력할 수 있다.
- [0050] 디코더(220)는 수신 증폭기(210)로부터 출력 데이터를 인가받고, 인가된 출력 데이터를 디코딩하여 복원 재배열 데이터(RX, RY)를 획득한다. 디코더(220)는 데이터 송신 모듈(100)에서 재배열 데이터(X, Y)를 프리코딩하여

출력 데이터(0)를 획득하는 프리코더(120)에 대응하는 구성으로, 프리디코더(221)와 디믹스부(222)를 포함할 수 있다.

- [0051] 우선 프리디코더(221)는 수신 증폭기(210)에서 인가되는 출력 데이터(0)의 비트 값에 대응하는 비트 값을 갖는 프리디코딩 데이터(R)를 출력한다. 본 실시예에서 프리디코더(221)는 T 플립플롭으로 구현될 수 있다. 그리고 T 플립플롭은 출력 데이터(0)보다 2배 높은 주파수의 클럭 신호(CLK)에 응답하여 구동되어 출력 데이터(0)의 비트 값에 대응하는 프리디코딩 데이터(R)를 출력할 수 있다.
- [0052] T 플립플롭으로 구현되는 프리디코더(221)에서는 인가된 출력 데이터(0)의 비트값이 1이면, 이전 프리디코딩 데이터(R)의 비트값을 토글(toggle)하여 출력한다. 도 5를 참조하면, 출력 데이터(0)의 비트값이 0인 동안, 프리디코딩 데이터(R)의 비트값 또한 0으로 유지되고, 출력 데이터(0)의 비트값이 1로 인가됨에 따라 프리디코딩 데이터(R)의 비트값이 1로 토글된다. 이후, 출력 데이터(0)의 비트값이 0이므로 프리디코딩 데이터(R)의 비트값이 1로 유지되며, 다시 출력 데이터(0)의 비트값이 1로 인가되어, 프리디코딩 데이터(R)의 비트값이 0으로 천이되어 출력된다.
- [0053] 디믹스부(222)는 다수의 디믹스를 포함한다. 디믹스부(222)는 프리디코더(221)에서 출력된 프리디코딩 데이터(R)를 인가받아 디믹싱하여 2개의 복원 재배열 데이터(RX, RY)를 출력하는 제1 디믹스(미도시)와 복원 재배열 데이터(RX, RY)를 인가받아 디믹싱하여 다수의 데이터(a ~ d)를 복원하는 2개의 제2 디믹스를 포함할 수 있다.
- [0054] 제1 디믹스는 1:2 디믹스로 구현되어 인가된 프리디코딩 데이터(R)를 디믹싱함으로써, 도 5에 도시된 바와 같이 프리디코딩 데이터(R)의 2배 주기를 갖는 2개의 복원 재배열 데이터(RX, RY)를 획득할 수 있다.
- [0055] 그리고 2개의 제2 디믹스 또한 1:2 디믹스로 구현되어, 각각 2개의 복원 재배열 데이터(RX, RY) 중 대응하는 복원 재배열 데이터를 인가받아 디코딩함으로써, 데이터 송신 모듈(100)에 인가된 다수의 데이터(a ~ d)를 복원하여 획득할 수 있다.
- [0056] 즉 본 실시예에 따른 데이터 수신 모듈은 T 플립플롭과 다수의 디믹스를 이용하는 간단한 구조로, 데이터 송신 모듈에서 프리코딩되어 전송되는 출력 데이터로부터 원 데이터를 용이하게 복원할 수 있다.
- [0057] 도 7은 본 발명의 일 실시예에 따른 데이터 송신 방법을 나타낸다.
- [0058] 도 2 및 도 3을 참조하여, 도 7의 데이터 송신 방법을 설명하면, 우선 전송할 다수의 데이터(a ~ d)가 인가되면, 인가된 다수의 데이터(a ~ d)를 기지정된 방식으로 재배열하여 직렬화함으로써, 2개의 재배열 데이터(X, Y)를 획득한다(S11). 이때, 데이터 재배열은 다수의 데이터(a ~ d)에 대해 타임 인터리빙 방식을 적용하여 수행될 수 있으며, 서로 다른 위상의 제어 클럭(c1 ~ c4) 중 대응하는 제어 클럭에 응답하여 온/오프되어 인가되는 데이터를 전달하거나 차단하는 다수의 패스 트랜지스터(t1 ~ t4)를 이용하여 수행될 수 있다.
- [0059] 2개의 재배열 데이터(X, Y)를 획득되면, 획득된 2개의 재배열 데이터(X, Y)에 대해 기지정된 논리 연산을 수행하여 프리코딩함으로써, 출력 데이터(0)를 획득한다(S12). 여기서 출력 데이터(0)는 XOR 소자를 이용하여, 2개의 재배열 데이터(X, Y)에 대해 XOR 연산을 수행함으로써 획득될 수 있다.
- [0060] 출력 데이터(0)가 획득되면, 획득된 출력 데이터(0)에 응답하여 출력 드라이버(130)가 출력단을 기지정된 전압 레벨로 구동함으로써, 출력 데이터(0)를 전송 경로(TSV)를 통해 전송한다. 여기서 출력 드라이버(130)는 로우 전원 전압(VDDL)과 접지 전압(VSS)의 전압 레벨로 출력단을 구동하는 VML 드라이버로 구현될 수 있다.
- [0061] 도 8은 본 발명의 일 실시예에 따른 데이터 수신 방법을 나타낸다.
- [0062] 도 4 및 도 5를 참조하여, 도 8의 데이터 수신 방법을 설명하면, 우선 전송 경로(TSV)를 통해 수신된 출력 데이터(0)를 증폭한다(S21). 그리고 증폭된 출력 데이터(0)의 비트 값에 따라 토글되는 비트값을 갖는 프리디코딩 데이터(R)를 획득한다(S22). 여기서 프리디코딩 데이터(R)는 출력 데이터(0)를 T 플립플롭의 입력으로 인가하여 획득될 수 있다.
- [0063] 프리디코딩 데이터(R)가 획득되면, 획득된 프리코딩 데이터(R)를 디믹스를 1:2 디믹싱함으로써 2개의 재배열 데이터(X, Y)를 복원한다. 그리고 복원된 2개의 복원 재배열 데이터(RX, RY)에 대해 기지정된 크기로 디믹싱함으로써, 전송된 원 데이터(a ~ d)를 복원한다.
- [0064] 상기에서는 설명의 편의를 위하여, 데이터 송신 모듈(100)과 데이터 수신 모듈(200)을 별도로 구분하여 도시하였으나, 반도체 장치의 다수의 다이 각각은 데이터 송신 모듈(100)과 데이터 수신 모듈(200)을 구비하는 데이터 송수신 모듈을 포함할 수 있다.

[0065] 본 발명에 따른 방법은 컴퓨터에서 실행시키기 위한 매체에 저장된 컴퓨터 프로그램으로 구현될 수 있다. 여기서 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스 될 수 있는 임의의 가용 매체일 수 있고, 또한 컴퓨터 저장 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함하며, ROM(판독 전용 메모리), RAM(랜덤 액세스 메모리), CD(컴팩트 디스크)-ROM, DVD(디지털 비디오 디스크)-ROM, 자기 테이프, 플로피 디스크, 광데이터 저장장치 등을 포함할 수 있다.

[0066] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

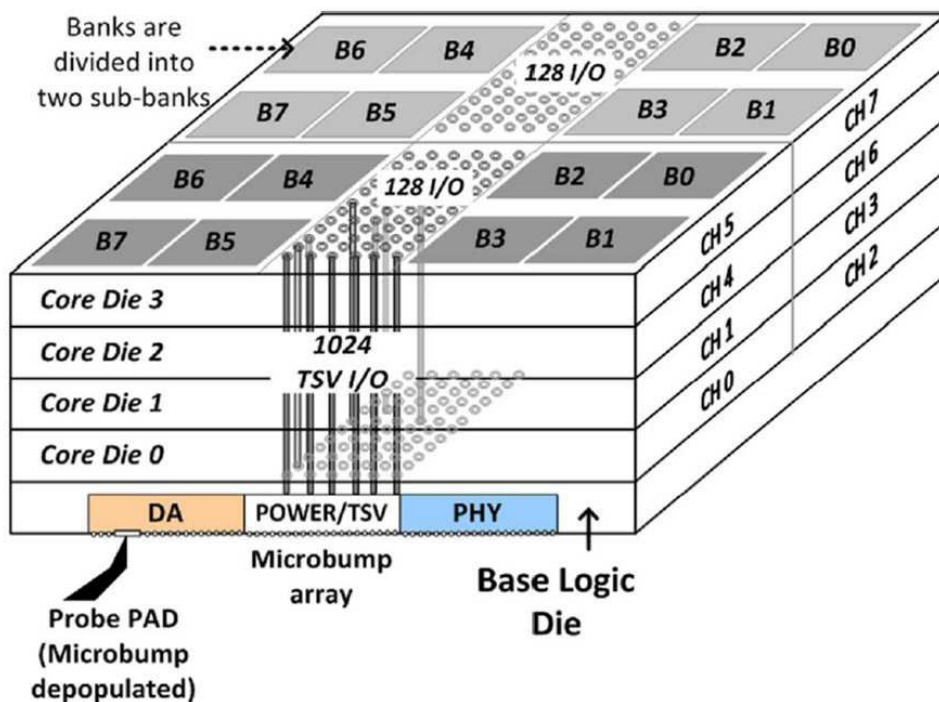
[0067] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

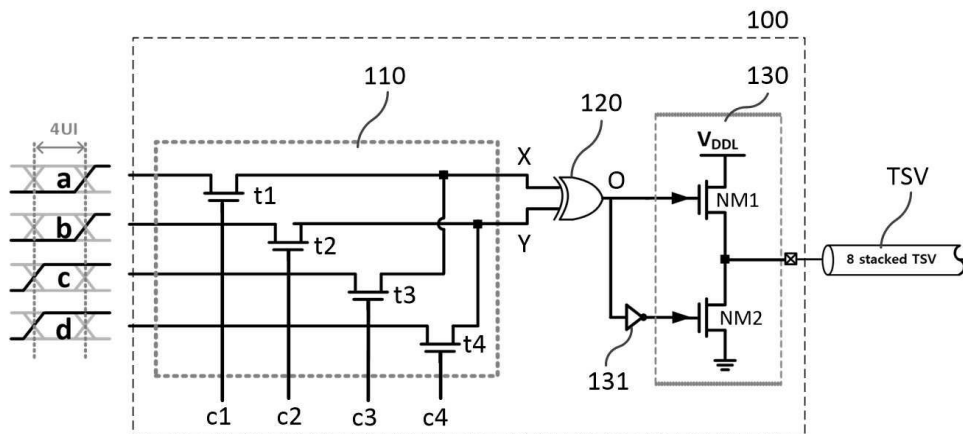
[0068] 100: 데이터 송신 모듈 110: 맥스부
120: 프리코더 130: 출력 드라이버
200: 데이터 수신 모듈 210: 수신 증폭기
220: 디코더 221: 프리디코더
222: 디맥스

도면

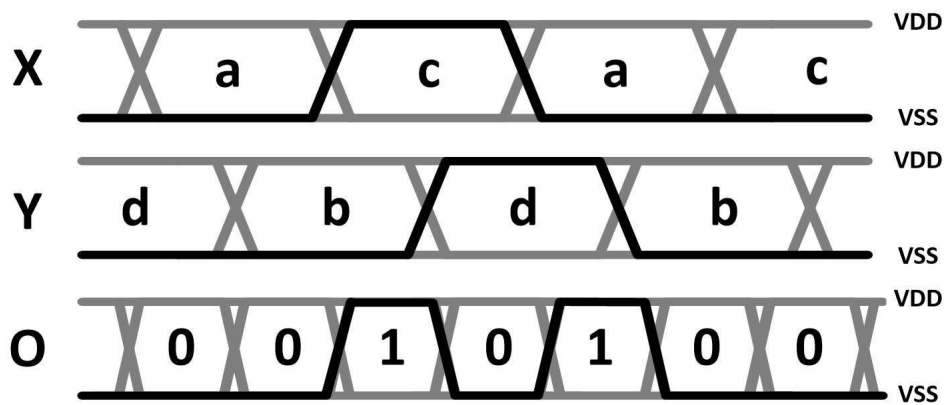
도면1



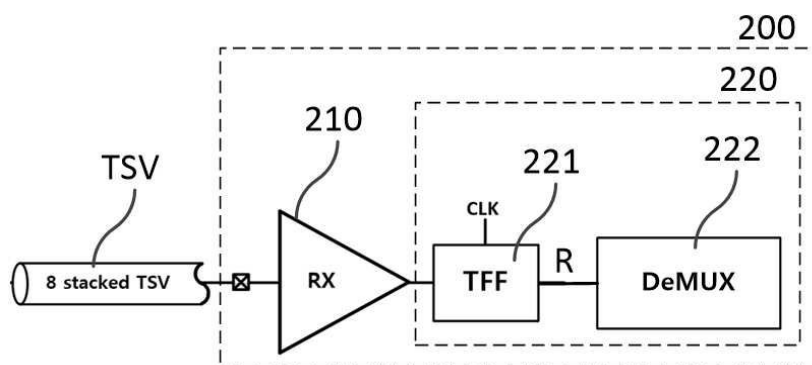
도면2



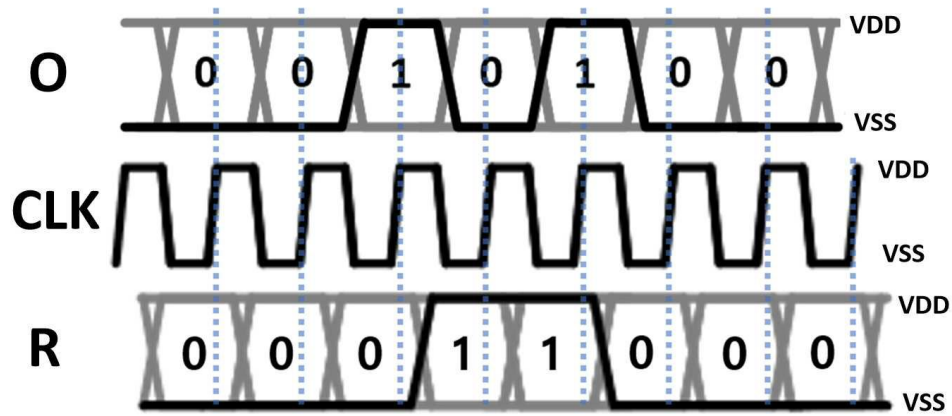
도면3



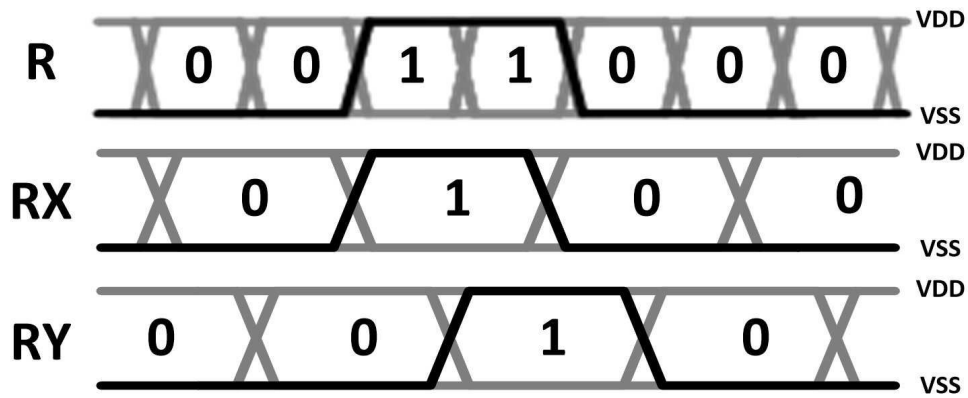
도면4



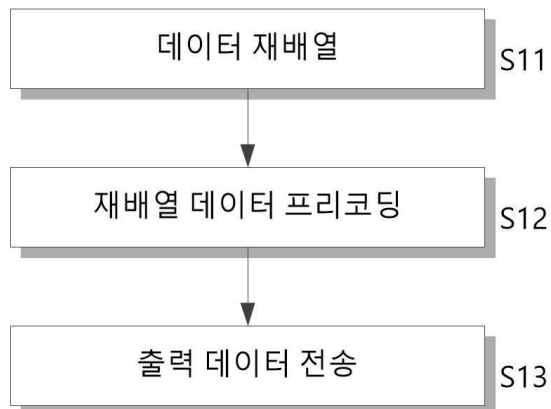
도면5



도면6



도면7



도면8

