



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년03월11일

(11) 등록번호 10-2374096

(24) 등록일자 2022년03월08일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01) G11C 7/06 (2021.01)(52) CPC특허분류
G11C 13/0026 (2013.01)
G11C 13/0028 (2013.01)

(21) 출원번호 10-2020-0138889

(22) 출원일자 2020년10월26일

심사청구일자 2020년10월26일

(56) 선행기술조사문헌

US8953363 B2

(뒷면에 계속)

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)

김태현

서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C206(신촌동)

(74) 대리인

민영준

전체 청구항 수 : 총 14 항

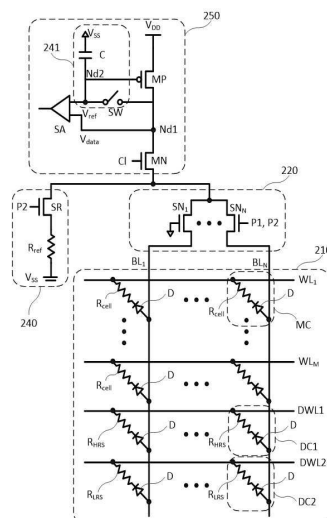
심사관 : 신우열

(54) 발명의 명칭 이중 더미 워드라인을 활용한 크로스 포인트 어레이 메모리 장치

(57) 요약

본 발명은 리드 동작 시에 스니크 전류와 이중 더미 워드라인 상에 위치하는 더미 셀에 의해 발생하는 기준 전류에 대응하는 기준 전압을 샘플링하여 저장하고, 이후, 스니크 전류와 선택된 메모리 셀에 의해 발생하는 셀 전류 및 기준 셀에 의해 발생하는 기준 전류에 대응하는 데이터 전압을 획득하여 기준 전압과 비교함으로써 데이터를 판별함으로써, 스니크 전류에 의한 전압 성분을 상쇄하여 리드 정확도를 향상시킬 수 있을 뿐만 아니라, 기준 전압을 샘플링하기 위한 전류 경로와 데이터 전압을 획득하기 위한 전류 경로를 가능한 동일하게 하여 공정 오차에 의한 오프셋 전압을 최소화하여 리드 정확도를 크게 향상시킬 수 있는 이중 더미 워드라인을 활용한 크로스 포인트 어레이 메모리 장치를 제공할 수 있다.

대표도 - 도2



(52) CPC특허분류

G11C 13/004 (2013.01)

G11C 7/06 (2013.01)

(56) 선행기술조사문헌

US6885579 B2

KR101875835 B1

WO2013084412 A1

US20120155149 A1

이 발명을 지원한 국가연구개발사업

과제고유번호 1711115932

과제번호 10080590

부처명 산업통상자원부

과제관리(전문)기관명

연구사업명 산업기술혁신사업

연구과제명 이기종 시스템 아키텍처 통합형 메모리 시스템 최적화 기술개발

기 여 율 1/1

과제수행기관명 연세대학교 산학협력단

연구기간 2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

다수의 비트라인과 다수의 워드라인이 교차하는 지점 각각에 배치되는 다수의 메모리 셀과 상기 다수의 비트라인과 제1 및 제2 더미 워드라인이 각각 교차하는 지점 각각에 배치되는 다수의 제1 및 제2 더미 셀을 포함하는 메모리 셀 어레이;

리드 동작 시 샘플링 구간에 상기 제1 및 제2 더미 워드라인을 선택하고, 이후 리드 구간에 지정된 어드레스에 대응하는 워드라인을 선택하여 제1 전원 전압을 인가하며, 샘플링 구간 및 리드 구간 각각의 이전 프리차지 구간에서 상기 다수의 워드라인 및 제1 및 제2 더미 워드라인을 기지정된 프리차지 전압 레벨로 프리차지하는 워드라인 디코더;

프리차지 구간에 상기 다수의 비트라인을 프리차지하고, 샘플링 구간 및 리드 구간에 지정된 어드레스에 대응하는 비트라인을 선택하는 비트라인 디코더;

기지정된 기준 저항값을 갖고, 리드 구간에 상기 비트라인 디코더와 병렬로 연결되는 기준 셀 선택회로; 및

샘플링 구간에 선택된 비트라인으로 제2 전원 전압을 인가하여 발생하는 제1 전류에 대응하는 기준 전압을 샘플링하고, 리드 구간에 선택된 비트라인과 상기 기준 셀로 제2 전원 전압을 인가하여 발생하는 제2 전류에 대응하는 데이터 전압을 샘플링된 기준 전압과 비교하여 데이터 값을 판별하는 센싱 회로를 포함하되,

상기 다수의 제1 더미 셀의 저항값과 상기 다수의 제2 더미 셀의 저항값은 서로 다른 크로스 포인트 어레이 메모리 장치.

청구항 2

제1항에 있어서, 상기 다수의 제1 더미 셀은

상기 다수의 비트라인과 상기 제1 더미 워드라인이 교차하는 지점 각각에 배치되고, 각각 메모리 셀의 고저항 상태에 대응하는 저항값을 갖는 크로스 포인트 어레이 메모리 장치.

청구항 3

제2항에 있어서, 상기 다수의 제2 더미 셀은

상기 다수의 비트라인과 상기 제2 더미 워드라인이 교차하는 지점 각각에 배치되고, 각각 메모리 셀의 저저항 상태에 대응하는 저항값을 갖는 크로스 포인트 어레이 메모리 장치.

청구항 4

제3항에 있어서, 상기 워드라인 디코더는

프리차지 구간에 상기 다수의 워드라인을 제1 전원 전압과 제2 전원 전압의 평균 전압에 대응하는 상기 프리차지 전압 레벨로 프리차지하는 크로스 포인트 어레이 메모리 장치.

청구항 5

제4항에 있어서, 상기 비트라인 디코더는

프리차지 구간에 상기 다수의 비트라인을 상기 프리차지 전압 레벨로 프리차지하는 크로스 포인트 어레이 메모리 장치.

청구항 6

제5항에 있어서, 상기 워드라인 디코더는

샘플링 구간에 선택된 상기 제1 및 제2 더미 워드라인을 제외한 나머지 워드라인으로 인가되는 전압을 차단하여

플로팅시키고, 리드 구간에 선택된 워드라인을 제외한 나머지 워드라인과 제1 및 제2 더미 워드라인은 인가되는 전압을 차단하여 플로팅시키는 크로스 포인트 어레이 메모리 장치.

청구항 7

제6항에 있어서, 상기 비트라인 디코더는

샘플링 구간 및 리드 구간에 선택된 비트라인을 상기 센싱 회로와 연결하고, 선택된 비트라인을 제외한 나머지 비트라인은 인가되는 전압을 차단하여 플로팅시키는 크로스 포인트 어레이 메모리 장치.

청구항 8

제7항에 있어서, 상기 기준 셀 선택회로는

일단이 상기 센싱 회로와 상기 비트라인 디코더 사이에서 병렬로 연결되고, 리드 구간에 활성화되는 기준 셀 스위치; 및

상기 기준 셀 스위치의 타단과 제1 전원 전압 사이에 연결되고, 상기 제1 더미 셀과 상기 제2 더미 셀을 흐르는 전류값의 평균이 되는 전류가 흐르도록 하는 기준 저항값을 갖는 기준 셀을 포함하는 크로스 포인트 어레이 메모리 장치.

청구항 9

제8항에 있어서, 상기 기준 셀은

상기 기준 셀 스위치의 타단과 제1 전원 전압 사이에 병렬로 연결된 제1 및 제2 더미 셀을 포함하는 크로스 포인트 어레이 메모리 장치.

청구항 10

제8항에 있어서, 상기 센싱 회로는

샘플링된 기준 전압과 상기 데이터 전압을 비교하여 데이터 값을 출력하는 센스 앰프;

샘플링 구간 및 리드 구간에 활성화되어 타단으로 인가되는 제2 전원 전압을 타단에 병렬로 연결된 상기 비트라인 디코더 및 상기 기준 셀 선택회로로 전달하는 클램프 스위치;

샘플링 구간에 활성화되어 상기 클램프 스위치의 일단을 통해 흐르는 제1 전류에 대응하는 크기의 기준 전압을 샘플링하는 샘플링 회로; 및

제2 전원 전압과 상기 클램프 스위치의 일단 사이에 연결되어, 상기 샘플링 회로에 샘플링된 기준 전압의 전압 레벨에 응답하여 제2 전원 전압을 상기 클램프 스위치로 인가하는 전원 스위치를 포함하는 크로스 포인트 어레이 메모리 장치.

청구항 11

제10항에 있어서, 상기 센싱 회로는

상기 기준 전압을 저장하고, 일단이 상기 센스 앰프와 연결되어 상기 기준 전압을 상기 센스 앰프로 인가하는 샘플링 캐패시터; 및

샘플링 구간에 상기 클램프 스위치의 일단과 상기 캐패시터를 연결하여 상기 샘플링 캐패시터에 상기 기준 전압을 충전시키는 샘플링 스위치를 포함하는 크로스 포인트 어레이 메모리 장치.

청구항 12

제11항에 있어서, 상기 전원 스위치는

상기 샘플링 캐패시터의 일단에 게이트가 연결되는 PMOS 트랜지스터로 구현되는 크로스 포인트 어레이 메모리 장치.

청구항 13

제1항에 있어서, 상기 다수의 메모리 셀 각각은

저장되는 데이터 값에 따라 서로 다른 저항값을 갖는 저항성 메모리 소자를 포함하는 크로스 포인트 어레이 메모리 장치.

청구항 14

제13항에 있어서, 상기 다수의 메모리 셀과 제1 및 제2 더미 셀 각각은

상기 저항성 메모리 소자와 직렬로 연결되어 대응하는 비트라인으로부터 대응하는 워드라인 또는 제1 및 제2 더미 워드라인 방향으로만 전류가 흐르도록 하는 선택 소자를 더 포함하는 크로스 포인트 어레이 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 크로스 포인트 어레이 메모리 장치에 관한 것으로, 이중 더미 워드라인을 활용하여 스니크 전류와 오프셋 전압을 제거하여 리드 정확도를 향상시킬 수 있는 크로스 포인트 어레이 메모리 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 반도체 메모리는 어레이 형태로 배열된 다수의 단위 메모리 셀들로 구성된다. 그리고 대표적 반도체 메모리인 DRAM(Dynamic Random Access Memory)의 경우, 각 단위 메모리 셀은 주로 하나의 스위치와 하나의 커패시터로 구성된다. DRAM은 휘발성 메모리로서 집적도가 높고 동작 속도가 빠른 이점이 있으나, 전원이 꺼진 후에는 저장된 데이터가 모두 소실되는 단점이 있다. 반면 전원이 꺼진 후에도 저장된 데이터가 보존될 수 있는 비휘발성 메모리 소자로는 대표적으로 플래시 메모리가 있다. 그러나 플래시 메모리는 DRAM에 비해 집적도가 낮고 동작 속도가 느리다는 단점이 있어, 플래시 메모리를 대체할 수 있는 비휘발성 메모리 소자에 대한 다양한 연구가 진행되고 있다.

[0003] 현재 주목받고 있는 비휘발성 메모리 소자로는 MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory), PRAM(Phase-change Random Access Memory) 및 RRAM(resistance random access memory) 등이 있다. 이 중 RRAM(resistance random access memory)은 주로 전이 금속 산화물의 저항 변환(variable resistance) 특성, 즉 상태에 따라 저항 값이 변화하는 특성을 이용한 것이다. 또한 RRAM은 메모리 셀에 스위치가 구비되지 않아도 되므로, 고집적화를 실현할 수 있다.

[0004] RRAM의 경우 크로스 포인트 어레이 구조를 중심으로 연구가 진행되고 있다. 크로스 포인트 어레이 구조는 다수의 워드라인과 다수의 비트라인이 서로 교차하도록 형성되고, 그 교차 지점에 메모리 셀로 저항성 메모리 소자가 형성된다. 이러한 크로스 포인트 어레이 구조는 랜덤 액세스가 가능한 구조로서 리드 및 라이트 동작시에 유리한 측면이 있으나, 선택된 메모리 셀 이외에도 선택되지 않은 메모리 셀을 통한 전류 패스(current path)가 형성되어 스니크 전류(sneak current)가 발생하는 문제가 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국 등록 특허 제10-1875835호 (2018.07.02 등록)

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 리드 동작 시 스니크 전류에 의한 전압 성분을 상쇄하여 리드 정확도를 향상시킬 수 있는 크로스 포인트 어레이 메모리 장치를 제공하는데 있다.

[0007] 본 발명의 다른 목적은 리드 동작 시 기준 전압을 샘플링하기 위한 전류 경로와 데이터 전압을 획득하기 위한 전류 경로를 가능한 유사하게 함으로써, 공정 오차에 의한 오프셋 전압이 최소화되도록 하여 리드 정확도를 더욱 향상시킬 수 있는 크로스 포인트 어레이 메모리 장치를 제공하는데 있다.

과제의 해결 수단

- [0008] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 크로스 포인트 어레이 메모리 장치는 다수의 비트라인과 다수의 워드라인이 교차하는 지점 각각에 배치되는 다수의 메모리 셀과 상기 다수의 비트라인과 제1 및 제2 더미 워드라인이 각각 교차하는 지점 각각에 배치되고 서로 다른 저항값을 갖는 다수의 제1 및 제2 더미 셀을 포함하는 메모리 셀 어레이;
- [0009] 리드 동작 시 샘플링 구간에 상기 제1 및 제2 더미 워드라인을 선택하고, 이후 리드 구간에 지정된 어드레스에 대응하는 워드라인을 선택하여 제1 전원 전압을 인가하며, 샘플링 구간 및 리드 구간 각각의 이전 프리차지 구간에서 상기 다수의 워드라인 및 제1 및 제2 더미 워드라인을 기지정된 프리차지 전압 레벨로 프리차지하는 워드라인 디코더; 프리차지 구간에 상기 다수의 비트라인을 프리차지하고, 샘플링 구간 및 리드 구간에 지정된 어드레스에 대응하는 비트라인을 선택하는 비트라인 디코더; 기지정된 기준 저항값을 갖고, 리드 구간에 상기 비트라인 디코더와 병렬로 연결되는 기준 셀 선택회로; 및 샘플링 구간에 선택된 비트라인으로 제2 전원 전압을 인가하여 발생하는 제1 전류에 대응하는 기준 전압을 샘플링하고, 리드 구간에 선택된 비트라인과 상기 기준 셀로 제2 전원 전압을 인가하여 발생하는 제2 전류에 대응하는 데이터 전압을 샘플링된 기준 전압과 비교하여 데이터 값을 판별하는 센싱 회로를 포함한다.
- [0010] 상기 다수의 제1 더미 셀은 상기 다수의 비트라인과 상기 제1 더미 워드라인이 교차하는 지점 각각에 배치되고, 각각 메모리 셀의 고저항 상태에 대응하는 저항값을 가질 수 있다.
- [0011] 상기 다수의 제2 더미 셀은 상기 다수의 비트라인과 상기 제2 더미 워드라인이 교차하는 지점 각각에 배치되고, 각각 메모리 셀의 저저항 상태에 대응하는 저항값을 가질 수 있다.
- [0012] 상기 워드라인 디코더는 프리차지 구간에 상기 다수의 워드라인을 제1 전원 전압과 제2 전원 전압의 평균 전압에 대응하는 상기 프리차지 전압 레벨로 프리차지할 수 있다.
- [0013] 상기 비트라인 디코더는 프리차지 구간에 상기 다수의 비트라인을 상기 프리차지 전압 레벨로 프리차지할 수 있다.
- [0014] 상기 워드라인 디코더는 샘플링 구간에 선택된 상기 제1 및 제2 더미 워드라인을 제외한 나머지 워드라인으로 인가되는 전압을 차단하여 플로팅시키고, 리드 구간에 선택된 워드라인을 제외한 나머지 워드라인과 제1 및 제2 더미 워드라인은 인가되는 전압을 차단하여 플로팅시킬 수 있다.
- [0015] 상기 비트라인 디코더는 샘플링 구간 및 리드 구간에 선택된 비트라인을 상기 센싱 회로와 연결하고, 선택된 비트라인을 제외한 나머지 비트라인은 인가되는 전압을 차단하여 플로팅시킬 수 있다.
- [0016] 상기 기준 셀 선택회로는 일단이 상기 센싱 회로와 상기 비트라인 디코더 사이에서 병렬로 연결되고, 리드 구간에 활성화되는 기준 셀 스위치; 및 상기 기준 셀 스위치의 타단과 제1 전원 전압 사이에 연결되고, 상기 제1 더미 셀과 상기 제2 더미 셀을 흐르는 전류값의 평균이 되는 전류가 흐르도록 하는 기준 저항값을 갖는 기준 셀을 포함할 수 있다.
- [0017] 상기 기준 셀은 상기 기준 셀 스위치의 타단과 제1 전원 전압 사이에 병렬로 연결된 제1 및 제2 더미 셀을 포함할 수 있다.
- [0018] 상기 센싱 회로는 샘플링된 기준 전압과 상기 데이터 전압을 비교하여 데이터 값을 출력하는 센스 앰프; 샘플링 구간 및 리드 구간에 활성화되어 타단으로 인가되는 제2 전원 전압을 타단에 병렬로 연결된 상기 비트라인 디코더 및 상기 기준 셀 선택회로로 전달하는 클램프 스위치; 샘플링 구간에 활성화되어 상기 클램프 스위치의 일단을 통해 흐르는 제1 전류에 대응하는 크기의 기준 전압을 샘플링하는 샘플링 회로; 및 제2 전원 전압과 상기 클램프 스위치의 일단 사이에 연결되어, 상기 샘플링 회로에 샘플링된 기준 전압의 전압 레벨에 응답하여 제2 전원 전압을 상기 클램프 스위치로 인가하는 전원 스위치를 포함할 수 있다.
- [0019] 상기 센싱 회로는 상기 기준 전압을 저장하고, 일단이 상기 센스 앰프와 연결되어 상기 기준 전압을 상기 센스 앰프로 인가하는 샘플링 캐패시터; 및 샘플링 구간에 상기 클램프 스위치의 일단과 상기 캐패시터를 연결하여 상기 샘플링 캐패시터에 상기 기준 전압을 충전시키는 샘플링 스위치를 할 수 있다.
- [0020] 상기 다수의 메모리 셀 각각은 저장되는 데이터 값에 따라 서로 다른 저항값을 갖는 저항성 메모리 소자를 포함할 수 있다.

[0021] 상기 다수의 메모리 셀과 제1 및 제2 더미 셀 각각은 상기 저항성 메모리 소자와 직렬로 연결되어 대응하는 비트라인으로부터 대응하는 워드라인 또는 제1 및 제2 더미 워드라인 방향으로만 전류가 흐르도록 하는 선택 소자를 더 포함할 수 있다.

발명의 효과

[0022] 따라서, 본 발명의 실시예에 따른 크로스 포인트 어레이 메모리 장치는 리드 동작 시에 스니크 전류와 이중 더미 워드라인 상에 위치하는 더미 셀에 의해 발생하는 기준 전류에 대응하는 기준 전압을 샘플링하여 저장하고, 이후, 스니크 전류와 선택된 메모리 셀에 의해 발생하는 셀 전류 및 기준 셀에 의해 발생하는 기준 전류에 대응하는 데이터 전압을 획득하여 기준 전압과 비교함으로써 데이터를 판별함으로써, 스니크 전류에 의한 전압 성분을 상쇄하여 리드 정확도를 향상시킬 수 있을 뿐만 아니라, 기준 전압을 샘플링하기 위한 전류 경로와 데이터 전압을 획득하기 위한 전류 경로를 가능한 동일하게 하여 공정 오차에 의한 오프셋 전압을 최소화 할 수 있다. 그러므로 리드 정확도를 크게 향상시킬 수 있다.

도면의 간단한 설명

[0023] 도 1은 크로스 포인트 어레이 메모리 장치의 개략적 구조를 나타낸다.
 도 2는 본 발명의 일 실시예에 따른 크로스 포인트 어레이 메모리 장치의 구조를 나타낸다.
 도 3은 도 2의 크로스 포인트 어레이 메모리 장치의 리드 동작 시 시간 구간에 따른 제어 신호의 파형을 나타낸다.
 도 4 내지 도 6은 샘플링 구간에서 전류 경로와 제1 전류를 설명하기 위한 도면이다.
 도 7 내지 도 9는 리드 구간의 전류 경로와 제2 전류를 설명하기 위한 도면이다.
 도 10은 본 실시예에 따른 크로스 포인트 어레이 메모리 장치가 리드 동작 시 스니크 전류를 상쇄하여 데이터를 판독하는 개념을 설명하기 위한 도면이다.
 도 11은 본 실시예에 따른 크로스 포인트 어레이 메모리 장치에서 공정 오차로 인한 오프셋을 보정하는 개념을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0025] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재를 나타낸다.

[0026] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0027] 도 1은 크로스 포인트 어레이 메모리 장치의 개략적 구조를 나타낸다.

[0028] 도 1을 참조하면, 크로스 포인트 어레이 메모리 장치는 메모리 셀 어레이(110), 비트라인 디코더(120), 워드라인 디코더(130), 기준 셀 선택회로(140) 및 센싱 회로(150)를 포함할 수 있다.

[0029] 메모리 셀 어레이(110)는 제1 방향으로 서로 평행하게 연장되는 다수의 워드라인(WL₁ ~ WL_M)과 제1 방향과 상이한 제2 방향으로 서로 평행하게 연장되는 다수의 비트라인(BL₁ ~ BL_N)이 형성된다. 여기서 다수의 워드라인(WL₁ ~ WL_M)과 다수의 비트라인(BL₁ ~ BL_N)은 기판 상의 서로 다른 레이어에서 형성될 수 있으며, 제1 방향과 제2 방향은 서로 직교할 수 있다. 또한 다수의 워드라인(WL₁ ~ WL_M)을 제1 전극이라 하고, 다수의 비트라인(BL₁ ~ BL_N)을 제2 전극이라 할 수 있다.

- [0030] 한편 다수의 워드라인($WL_1 \sim WL_M$)과 다수의 비트라인($BL_1 \sim BL_N$)이 교차하는 지점 각각에는 다수의 메모리 셀(MC)이 형성된다. 여기서 다수의 메모리 셀(MC) 각각은 교차 지점에서 대응하는 워드라인과 대응하는 비트라인에 연결되는 저항성 메모리 소자(R_{cell})를 포함하여 구현될 수 있다.
- [0031] 저항성 메모리 소자(R_{cell})는 저장되는 데이터의 값, 즉 상태에 따라 저항 특성(저항값)이 변화하는 저항 변환 물질(variable resistance material)을 포함하여 형성되는 소자이다. 일 예로 저항성 메모리 소자(R_{cell})는 메모리 셀(MC)에 제1 데이터 값(예를 들면, "0")이 저장되는 경우, 고저항 상태(High Resistance State: HRS)의 저항값을 가질 수 있으며, 제2 데이터 값(예를 들면, "1")이 저장되는 경우, 저저항 상태(Low Resistance State: LRS)의 저항값을 가질 수 있다. 고저항 상태의 고저항 메모리 소자(R_{HRS})는 상대적으로 높은 저항값을 가지므로 전류가 상대적으로 적게 흐르게 되며, 저저항 상태의 저저항 메모리 소자(R_{LRS})는 상대적으로 낮은 저항값을 가지므로 상대적으로 많은 전류가 흐를 수 있게 된다.
- [0032] 따라서 저항성 메모리 소자(R_{cell})를 이용하는 메모리 장치에서는 선택된 메모리 셀(MC)을 통해 흐르는 전류량을 기반으로 메모리 셀(MC)에 저장된 데이터를 판별할 수 있다.
- [0033] 워드라인 디코더(130)는 다수의 워드라인($WL_1 \sim WL_M$) 중 중앙 처리 장치나 메모리 제어기 등에서 인가되는 어드레스에 대응하는 워드라인을 선택하여, 선택된 워드라인(SWL)으로 기지정된 제1 전원 전압을 인가한다. 여기서 제1 전원 전압은 일 예로 접지 전압(V_{SS}) 일 수 있다.
- [0034] 그리고 비트라인 디코더(120)는 다수의 비트라인($BL_1 \sim BL_N$) 중 인가된 어드레스에 대응하는 비트라인(SBL)을 선택한다. 그리고 비트라인 디코더(130)는 선택된 비트라인(SBL)으로 기지정된 제2 전원 전압을 인가한다. 여기서 제2 전원 전압은 일 예로 전원 전압(V_{DD}) 일 수 있다. 이에 선택된 비트라인(SBL)과 선택된 워드라인(SWL)이 교차하는 지점의 메모리 셀(MC)을 통해 전류 경로가 형성되며, 메모리 셀(MC)의 저항성 메모리 소자(R_{cell})의 상태에 따라 선택된 비트라인(SBL)의 전압 레벨이 변경된다. 이때 변경된 비트라인의 전압은 메모리 셀(MC)의 데이터에 대응하는 레벨을 가지므로 데이터 전압(V_{data})이라 할 수 있다.
- [0035] 한편 워드라인 디코더(130)와 비트라인 디코더(120)는 어드레스에 대응하는 워드라인 및 비트라인을 선택하기 이전에 다수의 워드라인($WL_1 \sim WL_M$)과 다수의 비트라인($BL_1 \sim BL_N$)을 기지정된 프리차지 전압(V_{pre})로 프리차지할 수 있다. 그리고 워드라인 디코더(130)와 비트라인 디코더(120)는 메모리 장치의 동작 방식에 따라 선택되지 않은 워드라인과 비트라인에 대해서는 인가되는 전압을 차단하여 플로팅시키거나, 기지정된 바이어스 전압(V_{bias})을 인가하여 바이어스 시킬 수 있다. 여기서 프리차지 전압(V_{pre})과 바이어스 전압(V_{bias})은 일 예로 제1 전원 전압(V_{SS})과 제2 전원 전압(V_{DD})의 중간 전압 레벨($V_{DD}/2$)의 전압일 수 있다.
- [0036] 기준 셀 선택회로(140)는 기지정된 기준 저항값을 갖는 저항성 메모리 소자로 구현되는 기준 셀을 포함하여 기준 전압(V_{ref})을 센싱 회로(150)로 전달한다.
- [0037] 센싱 회로(150)는 비트라인 디코더(120)를 통해 데이터 전압(V_{data})을 인가받고, 기준 셀 선택회로(140)로부터 인가되는 기준 전압(V_{ref})을 비교하여 선택된 메모리 셀(MC)에 저장된 데이터를 판별한다. 즉 센싱 회로(150)는 기준 전압(V_{ref})을 기준으로 데이터 전압(V_{data})의 전압 레벨을 판별하여 메모리 셀(MC)의 데이터 값을 판별한다.
- [0038] 상기한 바와 같이 크로스 포인트 어레이 메모리 장치는 선택된 비트라인(SBL)으로 흐르는 전류에 대응하는 데이터 전압(V_{data})을 이용하여 메모리 셀(MC)에 저장된 데이터를 판별하지만, 메모리 셀(MC)이 저항성 메모리 소자(R_{cell})만을 포함하는 경우, 선택된 비트라인(SBL)으로 인가된 제2 전원 전압이 다른 메모리 셀과 선택되지 않은 워드라인 및 비트라인을 통해 다시 선택된 워드라인(SWL)으로 흐르는 전류 경로가 형성될 수 있다. 이렇게 선택되지 않은 메모리 셀과 워드라인 및 비트라인을 통해 형성된 전류 경로를 따라 흐르는 전류를 스니크 전류(sneak current) (I_{sneak})라 하며, 스니크 전류(I_{sneak})는 데이터 전압(V_{data})의 전압 레벨을 변동시켜 센싱 회로(150)가 선택된 메모리 셀(MC)의 데이터 값을 오판독하도록 하는 요인이 된다. 즉 스니크 전류(I_{sneak})는 크로스 포인트 어레이 메모리 장치의 리드 실패(read fail)를 유발하는 요인이 된다.

- [0039] 특히 선택된 메모리 셀(MC)이 저항성 메모리 소자가 고저항 상태인 고저항 메모리 소자(R_{CHS})인 경우, 주변의 저저항 상태의 메모리 셀(MC)을 통해 전류가 더욱 용이하게 흐를 수 있으므로, 스니크 전류(I_{sneak})가 더욱 크게 발생할 수 있다.
- [0040] 스니크 전류(I_{sneak})는 선택되지 않은 워드라인과 비트라인을 플로팅된 경우에 발생되므로, 상기한 바와 같이 선택되지 않은 워드라인과 비트라인을 바이어스 전압(V_{bias})으로 바이어스시켜 스니크 전류(I_{sneak})를 억제하는 방안도 이용되고 있으나, 이 경우 전력 소비가 증가하는 문제가 있다.
- [0041] 이에 현재는 비트라인으로부터 메모리 셀(MC)을 통해 워드라인 방향으로 전류 경로가 형성되되, 역방향으로는 전류 경로가 형성되지 않도록 비트라인과 워드라인 사이에 형성되는 메모리 셀(MC)에 저항성 메모리 소자(R_{cell})와 함께 다이오드와 같은 선택 소자(D)를 포함하는 방식이 주로 이용되고 있다.
- [0042] 다만 선택 소자(D)의 양단에 인가되는 역바이어스 전류(reverse bias current)가 증가되면, 선택 소자(D)만으로 스니크 전류(I_{sneak})를 차단하지 못하여 여전히 리드 실패가 발생할 수 있다.
- [0043] 또한 센싱 회로(150)로 기준 전압(V_{ref})이 전달되는 경로와 데이터 전압(V_{data})이 전달되는 경로가 서로 상이하여, 공정 오차 등에 의한 오프셋 전압이 발생할 수 있다. 이러한 오프셋 전압 또한 스니크 전류(I_{sneak})와 마찬가지로 리드 실패를 유발하는 요인이 된다.
- [0044] 도 2는 본 발명의 일 실시예에 따른 크로스 포인트 어레이 메모리 장치의 구조를 나타내고, 도 3은 도 2의 크로스 포인트 어레이 메모리 장치의 리드 동작 시 시간 구간에 따른 제어 신호의 파형을 나타낸다.
- [0045] 도 2에서도 따른 크로스 포인트 어레이 메모리 장치는 메모리 셀 어레이(210), 비트라인 디코더(220), 기준 셀 선택회로(240) 및 센싱 회로(250)를 포함할 수 있다. 도 2의 크로스 포인트 어레이 메모리 장치 또한 도 1의 크로스 포인트 어레이 메모리 장치와 마찬가지로 워드라인 디코더를 포함하지만 여기서는 설명의 편의를 위하여 생략하였다.
- [0046] 도 1에서와 마찬가지로 본 실시예의 메모리 셀 어레이(210)에도 다수의 워드라인($WL_1 \sim WL_M$)과 다수의 비트라인($BL_1 \sim BL_N$)이 형성되고, 다수의 워드라인($WL_1 \sim WL_M$)과 다수의 비트라인($BL_1 \sim BL_N$)이 교차하는 지점 각각에는 다수의 메모리 셀(MC)이 형성된다.
- [0047] 다수의 메모리 셀(MC)은 저항성 메모리 소자(R_{cell})를 포함하며, 저항성 메모리 소자(R_{cell})는 저장되는 데이터 값에 고저항 상태(HRS)를 갖는 고저항 메모리 소자(R_{CHS})와 저저항 상태(Low Resistance State: LRS)의 저항값을 갖는 저저항 메모리 소자(R_{CLS})로 구분될 수 있다.
- [0048] 그러나 메모리 셀 어레이(210)에는 도 1에서와 달리 다수의 워드라인($WL_1 \sim WL_M$)과 평행하게 연장되는 2개의 더미 워드라인(DWL1, DWL2)이 더 형성되고, 다수의 비트라인($BL_1 \sim BL_N$)은 2개의 더미 워드라인(DWL1, DWL2)과도 교차되도록 연장되어 형성된다. 그리고 2개의 더미 워드라인(DWL1, DWL2) 중 제1 더미 워드라인(DWL1)과 다수의 비트라인($BL_1 \sim BL_N$)이 교차되는 지점 각각에는 제1 더미 셀(DC1)이 형성되고, 제2 더미 워드라인(DWL2)과 다수의 비트라인($BL_1 \sim BL_N$)이 교차되는 지점 각각에는 제2 더미 셀(DC2)이 형성된다.
- [0049] 다수의 제1 더미 셀(DC1)과 다수의 제2 더미 셀(DC2)은 메모리 셀(MC)과 마찬가지로 저항성 메모리 소자(R_{cell})를 포함하지만, 메모리 셀(MC)과 달리 고정된 저항값을 갖는 저항성 메모리 소자(R_{cell})가 포함된다. 일 예로 다수의 제1 더미 셀(DC1)에는 고저항 상태의 저항값을 갖는 메모리 소자(R_{HRS})가 포함되고, 다수의 제2 더미 셀(DC2)에는 저저항 상태의 저항값을 갖는 메모리 소자(R_{LRS})가 포함될 수 있다. 즉 제1 더미 셀(DC1)과 제2 더미 셀(DC2)은 서로 상이한 상태의 저항값을 갖는 메모리 소자(R_{HRS} , R_{LRS})를 포함한다.
- [0050] 또한 다수의 메모리 셀(MC)과 다수의 제1 및 제2 더미 셀(DC1, DC2)에는 역방향으로는 전류 경로가 형성되지 않도록 다이오드와 같은 선택 소자(D)가 더 포함될 수 있다.
- [0051] 도 3을 참조하면, 크로스 포인트 어레이 메모리 장치의 리드 동작은 프리차지 구간(precharge)과 샘플링 구간

(sampling) 및 리드 구간(read)로 구분될 수 있다. 여기서 샘플링 구간은 기준 전압(V_{ref})을 샘플링하여 획득하는 구간이며, 리드 구간은 선택된 메모리 셀(MC)에 대한 데이터 전압(V_{data})을 획득하여 저장된 기준 전압(V_{ref})과 비교하여 선택된 메모리 셀(MC)에 저장된 데이터를 판독하는 구간이다. 그리고 샘플링 구간과 리드 구간 각각의 이전 프리차지 구간은 다수의 워드라인($WL_1 \sim WL_M$)과 2개의 더미 워드라인(DWL1, DWL2) 및 다수의 비트라인($BL_1 \sim BL_N$)을 기지정된 프리차지 전압(V_{pre})으로 프리차지하기 위한 구간이다.

[0052] 비트라인 디코더(120)는 메모리 셀 어레이(110)의 다수의 비트라인($BL_1 \sim BL_N$)과 센싱 회로(150) 사이에 연결된다. 그리고 비트라인 디코더(120)는 프리차지 구간(precharge)에서는 다수의 비트라인($BL_1 \sim BL_N$)을 기지정된 프리차지 전압(V_{pre})으로 프리차지한다. 여기서 프리차지 전압(V_{pre})은 일 예로 제1 전원 전압(V_{SS})과 제2 전원 전압(V_{DD})의 중간 전압 레벨($V_{DD}/2$)의 전압일 수 있다.

[0053] 또한 비트라인 디코더(120)는 샘플링 구간과 리드 구간에서는 다수의 비트라인($BL_1 \sim BL_N$) 중 인가되는 어드레스에 대응하는 비트라인(SBL)을 선택하여, 선택된 비트라인(SBL)로 제2 전원 전압(V_{DD})을 인가한다. 반면, 비트라인 디코더(120)는 샘플링 구간과 리드 구간에서 선택되지 않은 비선택 비트라인(UBL)으로는 인가되는 전원을 차단하여 플로팅시킨다.

[0054] 이를 위해 비트라인 디코더(120)는 일 예로 메모리 셀 어레이(110)의 다수의 비트라인($BL_1 \sim BL_N$) 각각과 센싱 회로(150) 사이에 연결되고, 제1 및 제2 제어 신호(P1, P2)에 응답하여 대응하는 비트라인과 센싱 회로(150)를 전기적으로 연결하는 다수의 스위치 트랜지스터($SN_1 \sim SN_N$)를 포함할 수 있다. 비트라인 디코더(120)는 어드레스를 디코딩하여 다수의 비트라인($BL_1 \sim BL_N$) 중 어드레스에 대응하는 비트라인을 선택하기 위한 디코딩 회로가 더 포함되지만 이는 일반적인 구성이므로 여기서는 설명의 편의를 위하여 생략하였다.

[0055] 한편, 워드라인 디코더(미도시)는 비트라인 디코더(120)와 마찬가지로 프리차지 구간(precharge)에서는 다수의 워드라인($WL_1 \sim WL_M$)과 2개의 더미 워드라인(DWL1, DWL2)을 기지정된 프리차지 전압(V_{pre})으로 프리차지한다. 그러나 샘플링 구간에 워드라인 디코더는 2개의 더미 워드라인(DWL1, DWL2)만을 선택하여 제1 전원 전압(V_{SS})을 인가한다. 그리고 리드 구간에서는 인가되는 어드레스에 대응하는 워드라인을 선택하고, 선택된 워드라인(SWL)으로 제1 전원 전압(V_{SS})을 인가한다. 워드라인 디코더는 샘플링 구간 및 리드 구간에서 선택되지 않은 비선택 워드라인(UWL)과 더미 워드라인(DWL1, DWL2)으로 인가되는 전원을 차단하여 플로팅시킨다.

[0056] 워드라인 디코더는 제1 또는 제2 제어 신호(P1, P2) 중 하나에 응답하여 대응하는 워드라인으로 제1 전원 전압(V_{SS})을 전달하는 다수의 스위치 트랜지스터와 어드레스를 디코딩하여 다수의 워드라인($WL_1 \sim WL_M$) 중 어드레스에 대응하는 워드라인을 선택하기 위한 디코딩 회로가 포함될 수 있다.

[0057] 기준 셀 선택회로(240)는 비트라인 디코더(220)와 병렬로 센싱 회로(250)에 연결되며, 기지정된 기준 저항값(R_{ref})을 갖는 저항 또는 저항성 메모리 소자로 구현되는 기준 셀과 제2 제어 신호(P2)에 응답하여, 기준 셀과 센싱 회로(250)를 전기적으로 연결하는 기준 셀 스위치(SR)를 포함할 수 있다. 기준 셀 스위치(SR)는 제2 제어 신호(P2)에 응답하여 리드 구간 동안 기준 셀과 센싱 회로(250)를 전기적으로 연결할 수 있다. 그리고 기준 셀이 갖는 기준 저항값(R_{ref})은 제1 더미 셀(DC1)과 제2 더미 셀(DC2)의 메모리 소자(R_{HRS} , R_{LRS})에 흐르는 전류값(I_{HRS} , I_{LRS})의 평균이 되는 전류가 흐르는 저항값($2 \cdot (R_{HRS} || R_{LRS})$)일 수 있다.

[0058] 센싱 회로(250)는 샘플링 구간에 비트라인 디코더(220)를 통해 선택된 비트라인(SBL)으로 제2 전원 전압(V_{DD})을 인가하여, 발생하는 제1 전류(I_{t1})에 대응하는 기준 전압(V_{ref})을 샘플링한다. 그리고 리드 구간에서는 선택된 비트라인(SBL)과 기준 셀로 제2 전원 전압(V_{DD})을 인가하여 발생하는 제2 전류(I_{t2})에 대응하는 데이터 전압(V_{data})을 획득하고, 획득된 데이터 전압(V_{data})과 샘플링된 기준 전압(V_{ref})과 비교하여 선택된 메모리 셀(MC)에 저장된 데이터의 값을 판별한다.

[0059] 센싱 회로(250)는 제2 전원 전압(V_{DD})과 비트라인 디코더(220) 사이에 직렬로 연결되는 전원 스위치(MP)와 클램프 스위치(MN), 전원 스위치(MP)와 클램프 스위치(MN) 사이의 제1 노드($Nd1$)에서 분기되어 병렬로 연결되는 샘

플링 회로(241) 및 센스 앰프(SA)를 포함할 수 있다.

[0060] 제2 전원 전압(V_{DD})과 제1 노드(Nd1) 사이에 연결되는 전원 스위치(MP)는 샘플링 회로(241)에 연결되어 샘플링 회로(241)에 샘플링되는 기준 전압(V_{ref})의 전압 레벨에 따라 활성화되는 트랜지스터 스위치로 구현될 수 있다. 특히 전원 스위치(MP)는 제2 전원 전압(V_{DD})이 안정적으로 클램프 스위치(MN)로 인가되도록 PMOS 트랜지스터로 구현되고, 후술하는 샘플링 회로(241)의 샘플링 스위치(SW)를 통해 다이오드 커넥트 방식으로 게이트와 드레인이 연결될 수 있다. 이에 전원 스위치(MP)는 샘플링 회로(241)와 함께 제1 노드(Nd1)에 발생하는 기준 전압(V_{ref})이 선택된 비트라인(SBL)을 통해 흐르는 제1 전류(I_{t1})에 대응하는 레벨로 샘플링되도록 한다.

[0061] 제1 노드(Nd1)와 비트라인 디코더(220) 사이에 연결되는 클램프 스위치(MN)는 게이트로 클램프 신호(C1)가 인가되는 트랜지스터 스위치로 구현될 수 있다. 여기서 클램프 신호(C1)는 샘플링 구간과 리드 구간에서 모두 클램프 스위치(MN)를 활성화시키는 신호로서, 비트라인 디코더(220)의 다수의 스위치 트랜지스터($SN_1 \sim SN_N$) 중 선택된 비트라인(SBL)에 대응하는 스위치 트랜지스터(SN_N)와 마찬가지로 제1 및 제2 신호(P1, P2) 모두에 응답하여 활성화되는 신호로 볼 수 있다. 그러나 경우에 따라서 클램프 신호(C1)는 NMOS 트랜지스터로 구현된 클램프 스위치(MN)가 전원 스위치(MP)를 통해 전달되는 제2 전원 전압(V_{DD})이 용이하게 선택된 비트라인(SBL)으로 전달할 수 있도록 제2 전원 전압(V_{DD})보다 높은 전압 레벨을 갖는 신호일 수 있다.

[0062] 센스 앰프(SA)는 2개의 입력단 중 제1 입력단이 샘플링 회로(241)와 연결되고 나머지 하나는 제1 노드(Nd1)에 연결되어, 샘플링 구간에 샘플링 회로(241)에 저장된 기준 전압(V_{ref})과 리드 구간에 인가되는 데이터 전압(V_{data})을 비교 및 증폭하여 데이터 값을 출력한다.

[0063] 이때 데이터 전압(V_{data})의 전압 레벨이 기준 전압(V_{ref})보다 크면 선택된 메모리 셀(MC)의 저항성 메모리 소자(R_{cell1})가 고저항 메모리 소자(R_{CHS})인 것으로 판별될 수 있으며, 데이터 전압(V_{data})의 전압 레벨이 기준 전압(V_{ref})보다 작으면 선택된 메모리 셀(MC)의 저항성 메모리 소자(R_{cell1})가 저저항 메모리 소자(R_{CLS})인 것으로 판별될 수 있다.

[0064] 샘플링 회로(241)는 센스 앰프(SA)의 제1 입력단과 제1 노드(Nd1) 사이에 연결되는 샘플링 스위치(SW)와 센스 앰프(SA)의 제1 입력단과 샘플링 스위치(SW) 사이의 제2 노드(Nd2)와 제1 전원 전압(V_{SS}) 사이에 연결되는 캐패시터(C)를 포함할 수 있다.

[0065] 여기서 샘플링 스위치(SW)는 샘플링 구간에서 턴온되어 제1 노드(Nd1)에 발생하는 기준 전압(V_{ref})을 캐패시터(C)로 인가하여, 캐패시터(C)에 기준 전압(V_{ref})이 충전되도록 한다. 또한 제2 노드(Nd2)는 전원 스위치(MP)의 게이트에 연결되어, 전원 스위치(MP)가 캐패시터(C)에 충전되는 기준 전압(V_{ref})의 전압 레벨에 따라 제2 전원 전압(V_{DD})에서 제1 노드(Nd1)로 인가되는 전압 레벨을 조절한다.

[0066] 이하에서는 도 2에 도시된 크로스 포인트 어레이 메모리 장치의 리드 동작을 상세하게 설명한다.

[0067] 도 4 내지 도 6은 샘플링 구간에서 전류 경로와 제1 전류를 설명하기 위한 도면으로, 도 4는 도 2의 크로스 포인트 어레이 메모리 장치에서 샘플링 구간에서 전류가 흐르는 경로를 설명하기 위한 도면이고, 도 5는 스니크 전류 발생 경로를 설명하기 위한 도면이며, 도 6은 전류가 흐르는 경로에 따라 간략화한 등가 회로를 나타낸다.

[0068] 우선 샘플링 구간에서 워드라인 디코더는 더미 워드라인(DWL1, DWL2)를 선택하여 제1 전원 전압(V_{SS})을 인가한다. 그리고 다수의 워드라인($WL_1 \sim WL_M$)은 선택되지 않은 비선택 워드라인(UWL)로서 플로팅시킨다. 한편 비트라인 디코더(220)는 어드레스에 대응하는 비트라인(여기서는 일 예로 N번째 비트라인(BL_N))을 선택하고, 선택된 선택 비트라인(SBL = BL_N)으로는 센싱 회로(250)를 통해 인가되는 제2 전원 전압(V_{DD})을 인가하고, 선택되지 않은 비선택 비트라인(UBL)은 플로팅시킨다.

[0069] 이에 선택된 비트라인(SBL)과 선택된 2개의 더미 워드라인(DWL1, DWL2) 사이에는 제2 전원 전압(V_{DD})과 제1 전원 전압(V_{SS}) 사이의 전압 차에 대응하는 전압 차이가 발생하고, 따라서 선택된 비트라인(SBL)과 선택된 2개의 더미 워드라인(DWL1, DWL2) 사이에 위치하는 제1 및 제2 더미 셀(DC1, DC2)을 통한 전류 경로가 형성되어 전류가

흐르게 된다.

[0070] 그러나 도 4 및 도 5에서 ①로 표시된 바와 같이, 제2 전원 전압(V_{DD})이 인가되는 선택 비트라인(SBL)과 플로팅된 비선택 워드라인(UWL)을 통해서도 전류가 흐를 수 있다. 또한 ②로 표시된 바와 같이, 비선택 워드라인(UWL)을 통해 흐르는 전류는 다시 비선택 비트라인(UBL)을 통해 선택된 2개의 더미 워드라인(DWL1, DWL2)으로 흐를 수 있다. 즉 스니크 전류(I_{sneak})가 발생할 수 있다. 비록 다수의 메모리 셀(MC)과 제1 및 제2 더미 셀(DC1, DC2)에 다이오드와 같은 선택 소자(D)가 더 포함될지라도, 이러한 스니크 전류(I_{sneak})가 발생하는 것을 완전히 방지하기는 어렵다.

[0071] 이에 도 6의 등가회로에서는 스니크 전류(I_{sneak})가 흐르는 경로 상의 저항(R_{sneak})을 통합하여 표시하였다. 또한 병렬로 연결되는 2개의 더미 셀(DC1, DC2)의 메모리 소자(R_{HRS} , R_{LRS})의 저항을 통합(R_{HRS}/R_{LRS})하여 표현하였다.

[0072] 도 4와 함께 도 6의 등가회로를 참조하면, 선택된 비트라인(SBL)을 통해 흐르는 비트라인 전류(I_{BL})는 선택 비트라인(SBL) 상에 위치하는 2개의 더미 셀(DC1, DC2)을 통해 흐르는 전류(I_{LRS} , I_{HRS})와 스니크 전류(I_{sneak})의 합($I_{BL} = I_{LRS} + I_{HRS} + I_{sneak}$)으로 표현될 수 있다.

[0073] 그리고 샘플링 구간에서 기준 셀은 기준 셀 스위치(SR)가 턴오프된 상태이므로, 연결되지 않으므로, 제2 전원 전압(V_{DD})으로부터 제1 노드(Nd1)를 통해 흐르는 제1 전류(I_{t1})는 비트라인 전류(I_{BL})와 동일($I_{t1} = I_{BL}$)하다.

[0074] 한편, 상기에서 기준 셀이 갖는 기준 저항값(R_{ref})이 제1 더미 셀(DC1)과 제2 더미 셀(DC2)의 메모리 소자(R_{HRS} , R_{LRS})에 흐르는 전류값(I_{HRS} , I_{LRS})의 평균이 되는 전류가 흐르는 저항값($2 \cdot (R_{HRS} || R_{LRS})$)인 것으로 가정하였으므로, 2개의 더미 셀(DC1, DC2)을 통해 흐르는 전류(I_{LRS} , I_{HRS})의 합은 기준 셀로 전류가 흐르는 경우에 발현하는 기준 전류(I_{ref})의 2배($I_{LRS} + I_{HRS} = 2I_{ref}$)로 나타낼 수 있다. 이에 제1 전류(I_{t1})는 수학적 식 1과 같이 표현될 수 있다.

수학적 식 1

$$\begin{aligned} I_{t1} &= I_{BL} \\ &= I_{LRS} + I_{HRS} + I_{sneak} \\ &= 2I_{ref} + I_{sneak} \end{aligned}$$

[0075]

[0076] 즉 샘플링 구간에서 제1 노드(Nd1)를 통해 흐르는 제1 전류(I_{t1})는 기준 전류(I_{ref})의 2배와 스니크 전류(I_{sneak})의 합으로 나타낼 수 있다.

[0077] 그리고 제1 노드(Nd1)에는 제1 전류(I_{t1})에 대응하는 전압이 기준 전압(V_{ref})이 발생하고, 발생된 기준 전압(V_{ref})은 샘플링 구간에 턴온된 샘플링 스위치(SW)를 통해 제2 노드(Nd2)로 인가되어 캐패시터(C)에 충전된다.

[0078] 도 7 내지 도 9는 리드 구간의 전류 경로와 제2 전류를 설명하기 위한 도면이다.

[0079] 도 7은 도 2의 크로스 포인트 어레이 메모리 장치에서 리드 구간에서 전류가 흐르는 경로를 설명하기 위한 도면이고, 도 8은 스니크 전류 발생 경로를 설명하기 위한 도면이며, 도 9는 전류가 흐르는 경로에 따라 간략화한 등가 회로를 나타낸다.

[0080] 리드 구간에서 비트라인 디코더(220)는 샘플링 구간에서와 마찬가지로 어드레스에 대응하는 비트라인을 선택하고, 선택된 선택 비트라인($SBL = BL_N$)으로는 센싱 회로(250)를 통해 인가되는 제2 전원 전압(V_{DD})을 인가하고, 선택되지 않은 비선택 비트라인(UBL)은 플로팅시킨다.

[0081] 그러나 워드라인 디코더는 샘플링 구간에서와 달리 어드레스에 대응하는 워드라인(여기서는 일례로 첫번째 워드라인(WL_M))을 선택하고, 선택된 선택 워드라인($SWL = WL_M$)으로 제1 전원 전압(V_{SS})을 인가하고, 선택되지 않은

비선택 워드라인(UWL)은 플로팅시킨다.

- [0082] 이에 선택 비트라인(SBL)과 선택 워드라인(SWL) 사이에는 제2 전원 전압(V_{DD})과 제1 전원 전압(V_{SS}) 사이의 전압 차에 대응하는 전압 차가 발생하여, 선택 비트라인(SBL)과 선택 워드라인(SWL2) 사이에 위치하는 메모리 셀(MC)을 통한 전류 경로가 형성되어 전류가 흐르게 된다.
- [0083] 그러나 도 7에서 ①로 표시된 바와 같이, 제2 전원 전압(V_{DD})이 인가되는 선택 비트라인(SBL)과 플로팅된 비선택 워드라인(UWL) 및 2개의 더미 워드라인(DWL1, DWL2)을 통해서도 전류가 흐를 수 있다. 또한 ②로 표시된 바와 같이, 비선택 워드라인(UWL)을 통해 흐르는 전류는 다시 비선택 비트라인(UBL)을 통해 선택 워드라인(SWL)으로 흘러, 스니크 전류(I_{sneak})가 발생할 수 있다.
- [0084] 도 9의 등가회로에서도 스니크 전류(I_{sneak})가 흐르는 경로 상의 저항(R_{sneak})을 통합하여 표시하였으며, 선택된 메모리 셀(MC)의 메모리 소자(R_{HRS} , R_{cell})과 스니크 저항(R_{sneak})은 병렬로 연결된 것으로 볼 수 있다.
- [0085] 따라서 선택된 비트라인(SBL)을 통해 흐르는 비트라인 전류(I_{BL})는 선택 비트라인(SBL)과 선택 워드라인(SWL)이 교차하는 지점에 위치하는 메모리 셀(MC)을 통해 흐르는 전류(I_{cell})와 스니크 전류(I_{sneak})의 합($I_{BL} = I_{cell} + I_{sneak}$)으로 표현될 수 있다.
- [0086] 한편 리드 구간에서는 기준 셀 스위치(SR)가 턴온된 상태이므로, 도 9와 같이, 기준 셀이 병렬로 연결되는 것으로 볼 수 있다. 이에 제2 전원 전압(V_{DD})으로부터 제1 노드(Nd1)를 통해 흐르는 제2 전류(I_{t2})는 비트라인 전류(I_{BL})와 기준 셀을 통해 흐르는 기준 전류(I_{ref})의 합으로 수학식 2와 같이 표현될 수 있다.

수학식 2

$$\begin{aligned} I_{t2} &= I_{BL} + I_{ref} \\ &= I_{sneak} + I_{cell} + I_{ref} \end{aligned}$$

- [0087]
- [0088] 즉 리드 구간에서 제1 노드(Nd1)를 통해 흐르는 제2 전류(I_{t2})는 기준 전류(I_{ref})와 스니크 전류(I_{sneak}) 및 셀 전류(I_{cell})의 합으로 나타날 수 있다.
- [0089] 그리고 제1 노드(Nd1)에는 제2 전류(I_{t2})에 대응하는 전압이 데이터 전압(V_{data})으로 발생한다.
- [0090] 수학식 1의 제1 전류(I_{t1})와 수학식 2의 제2 전류(I_{t2})를 비교하면, 제1 전류(I_{t1})와 제2 전류(I_{t2})에서 스니크 전류(I_{sneak})와 하나의 기준 전류(I_{ref})는 서로 상쇄될 수 있음을 알 수 있다. 즉 제1 전류(I_{t1})에서는 기준 전류(I_{ref})가 남게되고, 제2 전류(I_{t2})에서는 셀 전류(I_{cell})만이 남게 됨을 알 수 있다.
- [0091] 그러므로 센스 앰프(SA)가 제1 전류(I_{t1})에 대응하는 기준 전압(V_{ref})과 제2 전류(I_{t2})에 대응하는 데이터 전압(V_{data})을 비교하는 경우, 스니크 전류(I_{sneak})에 무관하게 기준 셀의 저항값과 선택된 메모리 셀(MC)의 저항값을 비교하는 것으로 볼 수 있다. 따라서 정확한 데이터값을 판정할 수 있다. 또한 기준 셀이 선택된 메모리 셀(MC)과 동일하게 클램프 스위치(MN)를 통해 제1 노드(Nd1)에 연결되므로, 기존에 별도의 경로를 통해 기준 전압(V_{ref})을 제공하는 메모리 장치와 달리 제조 공정 오차로 인해 발생할 수 있는 오프셋 전압을 최소화할 수 있다.
- [0092] 샘플링 구간과 리드 구간의 비트라인 전류($I_{BL,P1}$, $I_{BL,P2}$)를 더욱 상세하게 비교하면, 샘플링 구간의 비트라인 전류($I_{BL,P1}$)는 2개의 더미 워드라인(DWL1, DWL2)를 통해 흐르는 2배 기준 전류($2I_{ref}$)와 스니크 전류($I_{sneak,p1}$)의 합이다. 그리고 이때 스니크 전류($I_{sneak,p1}$)는 선택 비트라인(SBL)과 M개의 워드라인($WL_1 \sim WL_M$)이 교차하는 지점에 위치하는 M개의 메모리 셀(MC)을 통해 M개의 워드라인($WL_1 \sim WL_M$)으로 흐르므로, M개의 메모리 셀(MC) 각각을 통해 흐르는 전류(I_{S_Cell})의 M배($M \cdot I_{S_Cell}$)로 볼 수 있다. 또한 M개의 메모리 셀(MC) 각각을 통해 흐르는 전류

(I_{S_Cell})는 N개의 비트라인 중 선택 비트라인(SBL)을 제외한 N-1개의 비선택 비트라인(UBL)으로 인가되며, 더미 셀(DC1, DC2)의 메모리 소자(R_{HRS} , R_{LRS})의 저항값에 따라 서로 상이한 전류(I_{S_HRS} , I_{S_LRS})로 나타난다. 그러므로 최종적으로 샘플링 구간의 비트라인 전류($I_{BL,P1}$)는 수학식 3으로 표현될 수 있다.

수학식 3

$$\begin{aligned} I_{BL,P1} &= 2I_{ref} + I_{sneak,p1} \\ &= 2I_{ref} + M \cdot I_{S_Cell} \\ &= 2I_{ref} + (N-1) \cdot (I_{S_HRS} + I_{S_LRS}) \end{aligned}$$

[0093]

[0094]

한편, 리드구간의 비트라인 전류($I_{BL,P2}$)는 선택된 메모리 셀(MC)을 흐르는 셀 전류(I_{Cell})와 스니크 전류($I_{sneak,p2}$)의 합이다. 여기서도 스니크 전류($I_{sneak,p2}$)는 선택 비트라인(SBL)과 M개의 워드라인($WL_1 \sim WL_M$)이 교차하는 지점에 위치하는 M개의 메모리 셀(MC)을 통해 흐르는 전류(I_{S_Cell})의 M배($M \cdot I_{S_Cell}$)로 표현될 수 있다. 또한 M개의 메모리 셀(MC) 각각을 통해 흐르는 전류(I_{S_Cell})는 N-1개의 비선택 비트라인(UBL)으로 인가되어 N-1개의 메모리 셀(MC)을 통해 다시 선택 워드라인(SWL)로 전달된다. 따라서 스니크 전류($I_{sneak,p2}$)는 N-1개의 메모리 셀(MC) 각각의 저항성 메모리 소자(R_{Cell})가 고저항 메모리 소자(R_{CHS})인지 저저항 상태의 저저항 메모리 소자(R_{CLS})인지 여부에 따른 누적값($I_{sneak,p2} = \sum_{1}^{N-1} I_{Sw_{cell},N}$)으로 표현될 수 있다. 결과적으로 리드 구간의 비트라인 전류($I_{BL,P2}$)는 수학식 4로 표현될 수 있다.

수학식 4

$$\begin{aligned} I_{BL,P2} &= I_{Cell} + I_{sneak,p2} \\ &= I_{Cell} + M \cdot I_{S_Cell} \\ &= I_{Cell} + \sum_{1}^{N-1} I_{Sw_{cell},N} \end{aligned}$$

[0095]

[0096]

여기서 N-1개의 메모리 셀(MC)의 저항성 메모리 소자(R_{Cell})가 모두 고저항 메모리 소자(R_{CHS})인 경우와 고저항 메모리 소자(R_{CHS})와 저저항 메모리 소자(R_{CLS})가 절반씩인 경우 및 모두 저저항 메모리 소자(R_{CLS})인 경우를 가정하면, 각각의 경우의 스니크 전류($I_{sneak,p2}$)는 수학식 5 내지 수학식 7로 계산된다.

수학식 5

$$I_{sneak,p2} = (N-1) \cdot I_{S_HRS}$$

[0097]

수학식 6

$$I_{\text{sneak,p2}} = \frac{N-1}{2} * (I_{\text{S_HRS}} + I_{\text{S_LRS}})$$

$$= (N-1) * \frac{(I_{\text{S_HRS}} + I_{\text{S_LRS}})}{2}$$

[0098]

수학식 7

$$I_{\text{sneak,p2}} = (N-1) * I_{\text{S_LRS}}$$

[0099]

[0100] 그리고 샘플링 구간의 스니크 전류($I_{\text{sneak,p1}}$)와 리드 구간의 스니크 전류($I_{\text{sneak,p2}}$)의 차(ΔI_{sneak})는 수학식 5 내지 수학식 7로부터 수학식 8 내지 10으로 계산된다.

수학식 8

$$\Delta I_{\text{sneak}} = I_{\text{sneak,p1}} - I_{\text{sneak,p2}}$$

$$= (N-1) * I_{\text{S_LRS}}$$

[0101]

수학식 9

$$\Delta I_{\text{sneak}} = \frac{N-1}{2} * (I_{\text{S_LRS}} + I_{\text{S_HRS}})$$

[0102]

수학식 10

$$\Delta I_{\text{sneak}} = I_{\text{sneak,p1}} - I_{\text{sneak,p2}}$$

$$= (N-1) * I_{\text{S_HRS}}$$

[0103]

[0104] 수학식 8 내지 10에서 저저항 메모리 소자(R_{CLS})를 흐르는 셀 전류($I_{\text{S_LRS}}$)보다 고저항 메모리 소자(R_{CHS})를 흐르는 셀 전류($I_{\text{S_HRS}}$)가 더 작으므로, 본 실시예에 따른 크로스 포인트 어레이 메모리 장치는 메모리 셀(MC)에 저저항 메모리 소자(R_{CLS})가 많을수록 스니크 전류(I_{sneak})를 더욱 효과적으로 상쇄할 수 있음을 알 수 있다.

[0105] 도 10은 본 실시예에 따른 크로스 포인트 어레이 메모리 장치가 리드 동작 시 스니크 전류를 상쇄하여 데이터를 관독하는 개념을 설명하기 위한 도면이다.

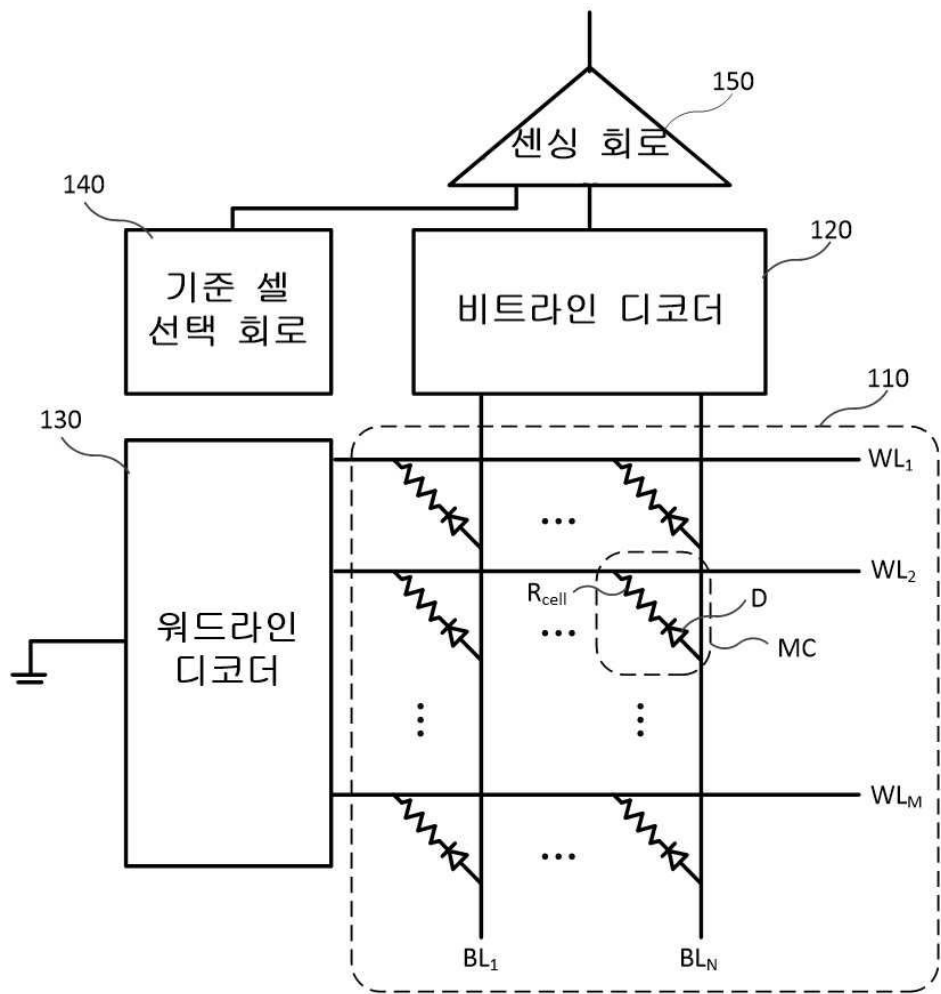
[0106] 도 10에서 좌측단은 선택된 메모리 셀(MC)의 메모리 소자(R_{cell})가 고저항 메모리 소자(R_{CHS})인 경우, 셀 전류(I_{CHS})의 전류 분포를 나타내고, 중앙은 셀 전류(I_{CHS})에 스니크 전류(I_{sneak})가 추가된 전류 분포를 나타낸다. 기준과 같이 기준 셀의 저항값이 고정된 경우, 셀 전류(I_{CHS})에 스니크 전류(I_{sneak})가 추가되면, 기준 전류(I_{ref})보다 크게 되는 경우가 발생할 수 있다. 이는 선택된 메모리 셀(MC)의 데이터값을 오판정하는 리드 실패를 야기

한다.

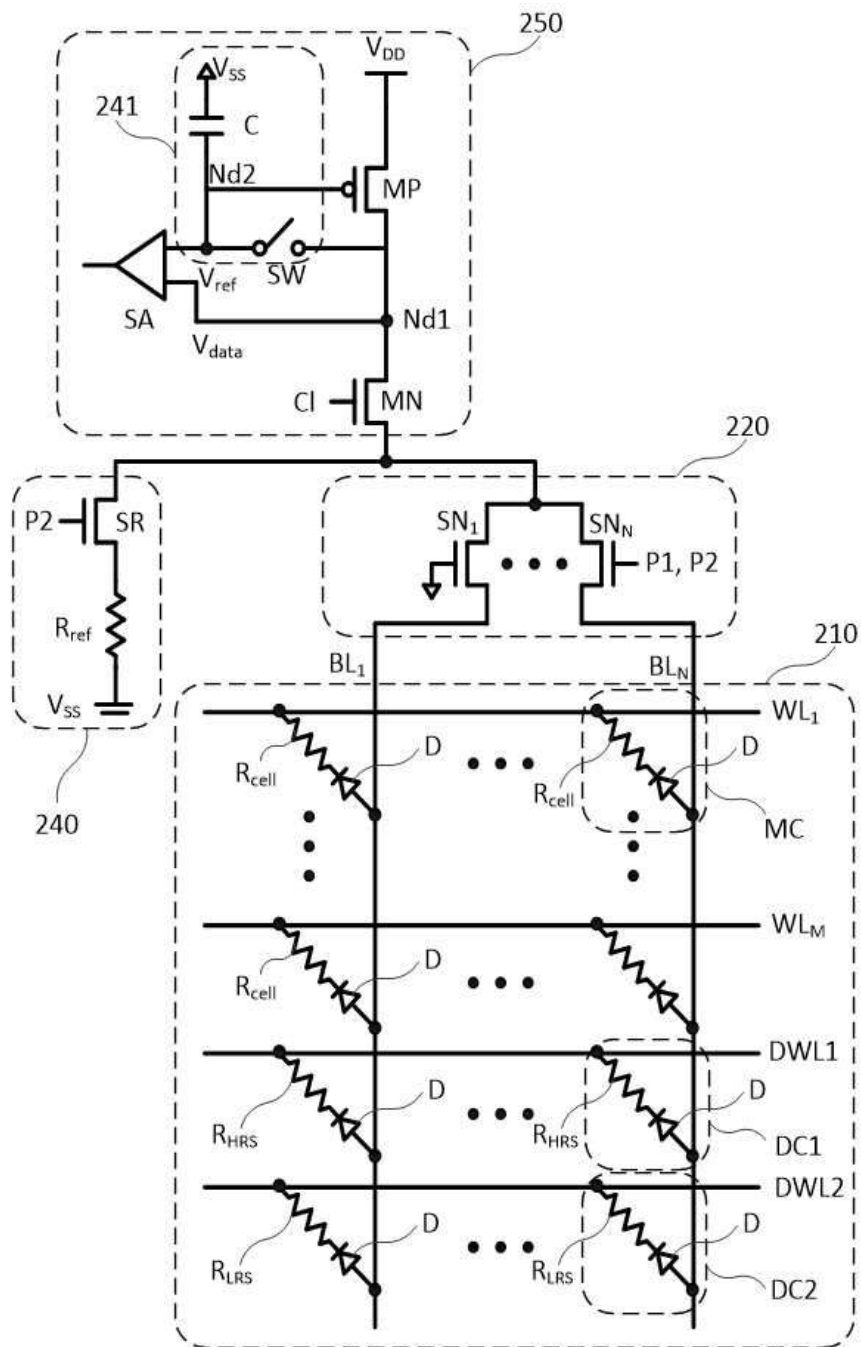
- [0107] 그러나 본 실시예에 따른 크로스 포인트 어레이 메모리 장치에서는 우측단과 같이, 샘플링 구간에서 제1 전류(I_{t1})가 스니크 전류(I_{sneak})와 2배 기준 전류(I_{ref})의 합으로 적응적으로 가변되어 발생하고, 리드 구간에서는 제2 전류(I_{t2})가 셀 전류(I_{CHS})와 스니크 전류(I_{sneak}) 및 기준 전류(I_{ref})의 합으로 발생된다. 따라서 비교대상이 되는 제1 전류(I_{t1})와 제2 전류(I_{t2})에서 스니크 전류(I_{sneak})와 기준 전류(I_{ref})가 서로 상쇄되어, 셀 전류(I_{CHS})와 기준 전류(I_{ref}) 사이의 차로만 비교될 수 있다. 따라서 리드 실패 가능성을 크게 줄일 수 있다.
- [0108] 도 11은 본 실시예에 따른 크로스 포인트 어레이 메모리 장치에서 공정 오차로 인한 오프셋을 보정하는 개념을 설명하기 위한 도면이다.
- [0109] 도 11을 참조하면, 기존의 크로스 포인트 어레이 메모리 장치에서는
- [0110] 좌측단과 같이 셀 전류(I_{CHS})와 스니크 전류(I_{sneak})가 흐르는 경로와 기준 전류(I_{ref})가 흐르는 경로가 서로 상이하여, 공정 오차에 따른 상대적 전류 분포의 편차가 크게 나타난다. 즉 기준 전류(I_{ref})에 대비한 셀 전류(I_{CHS})와 스니크 전류(I_{sneak})의 합의 분포가 크게 나타나게 된다.
- [0111] 그에 반해 본 실시예에서는 기준 전류(I_{ref})와 셀 전류(I_{CHS})와 스니크 전류(I_{sneak})가 모두 클램프 스위치(MN)를 통해 센싱 회로(250)로 전달되므로, 상대적 전류 분포 편차가 작게 나타나게 된다. 이는 센싱 회로(250)가 더욱 정확하게 선택된 메모리 셀의 데이터를 판독할 수 있도록 한다.
- [0112] 본 발명에 따른 방법은 컴퓨터에서 실행시키기 위한 매체에 저장된 컴퓨터 프로그램으로 구현될 수 있다. 여기서 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스 될 수 있는 임의의 가용 매체일 수 있고, 또한 컴퓨터 저장 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함하며, ROM(판독 전용 메모리), RAM(랜덤 액세스 메모리), CD(컴팩트 디스크)-ROM, DVD(디지털 비디오 디스크)-ROM, 자기 테이프, 플로피 디스크, 광데이터 저장장치 등을 포함할 수 있다.
- [0113] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.
- [0114] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

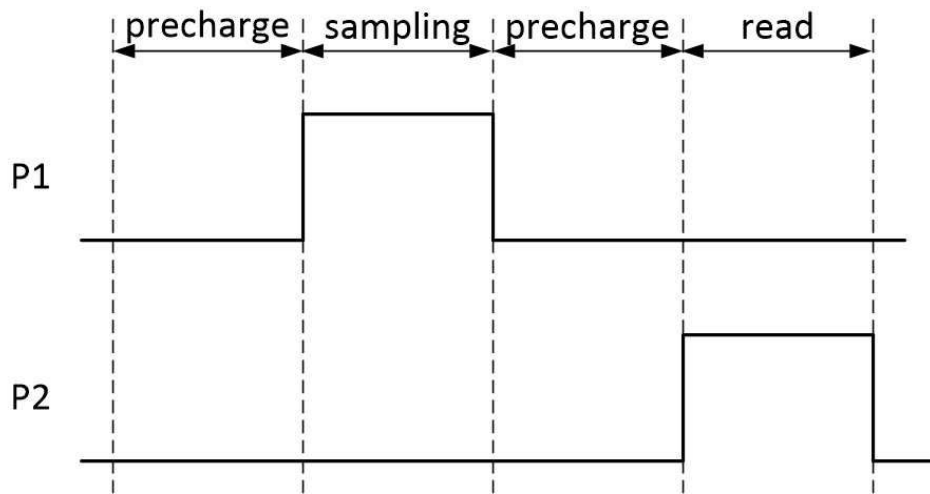
도면1



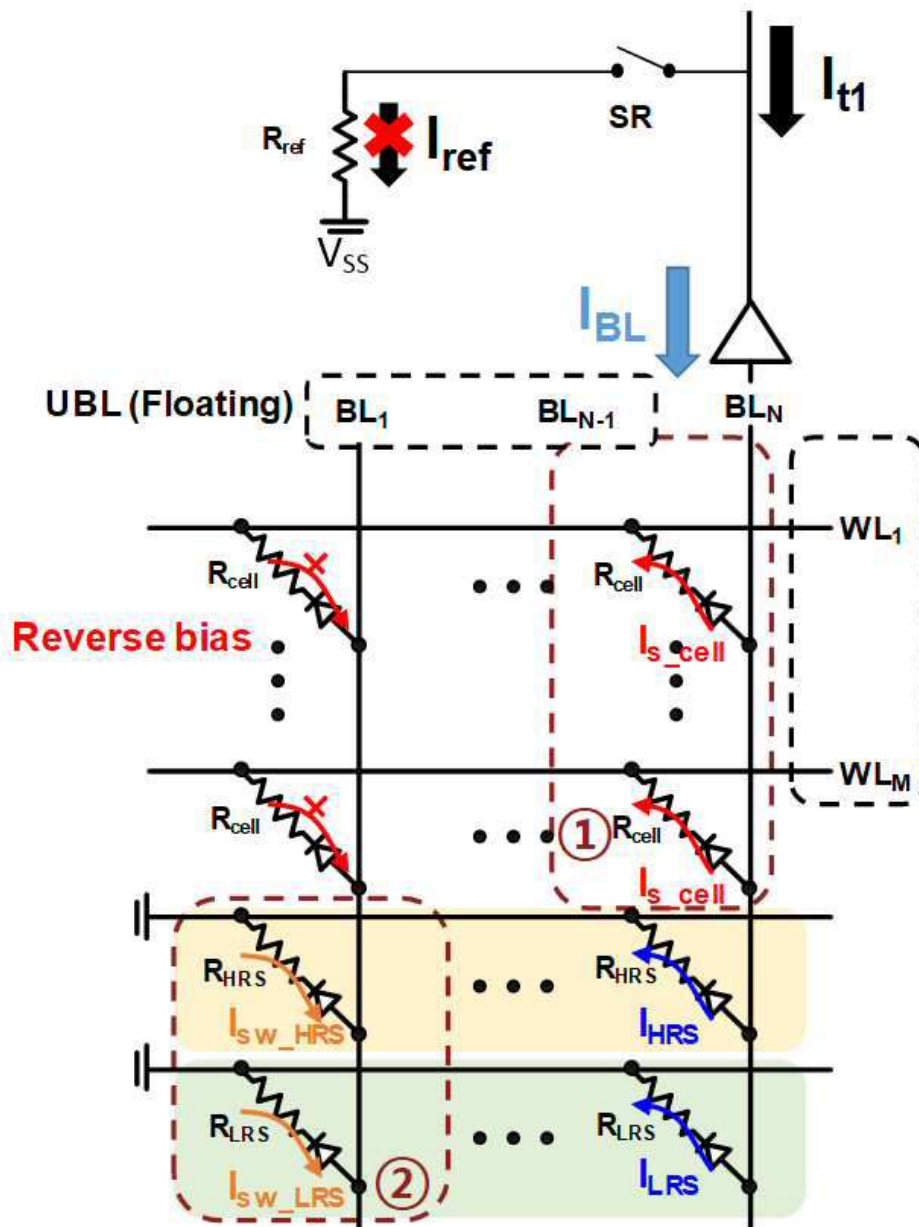
도면2



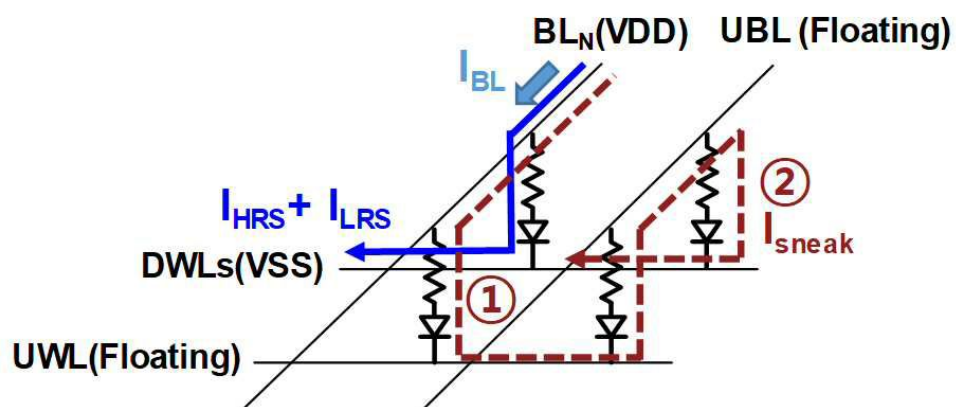
도면3



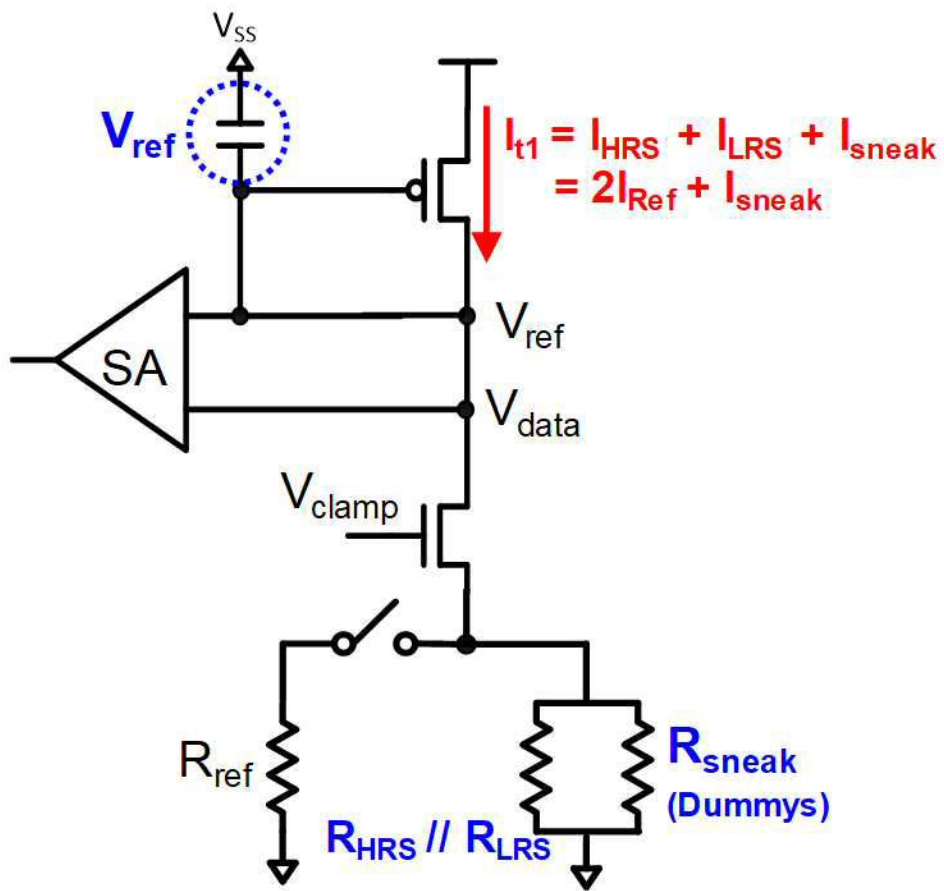
도면4



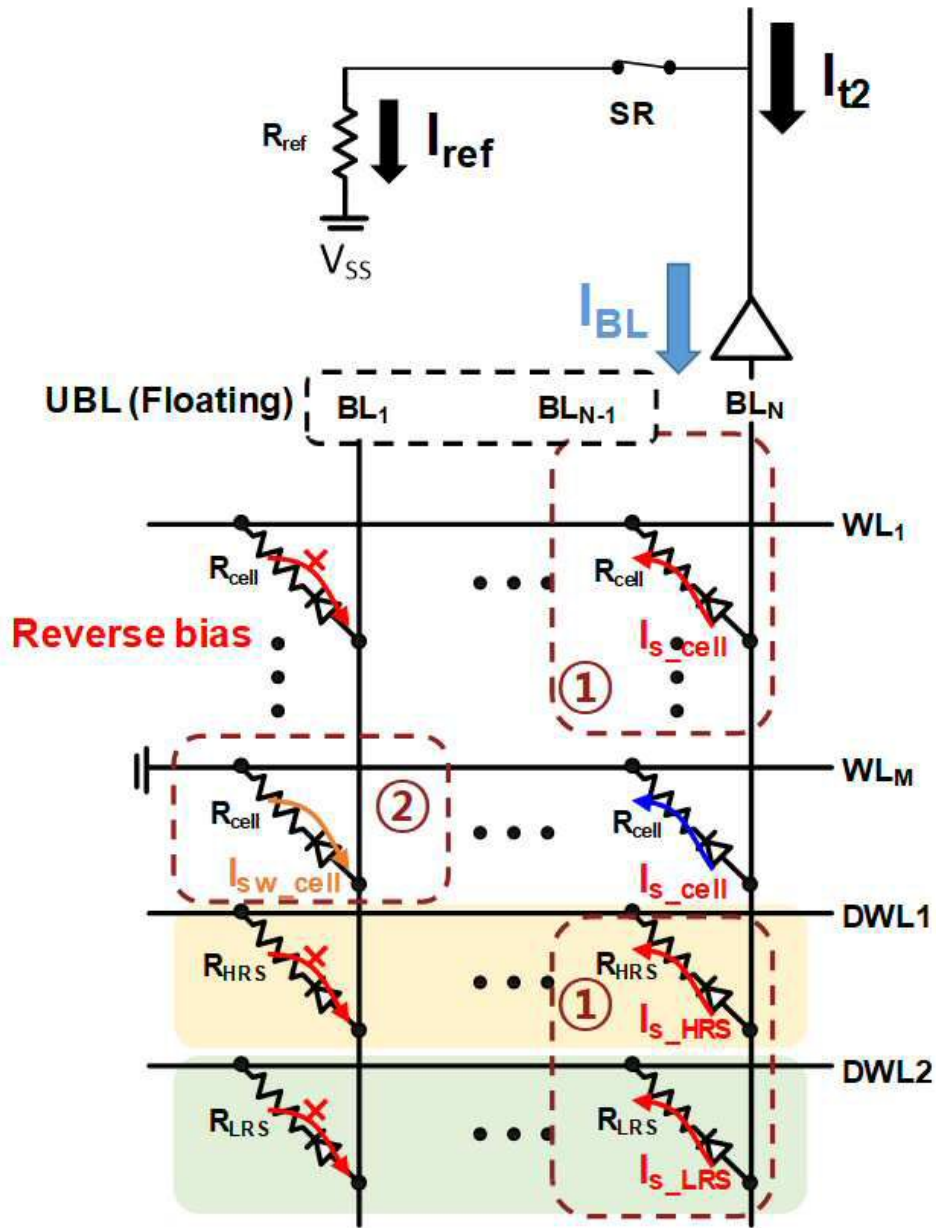
도면5



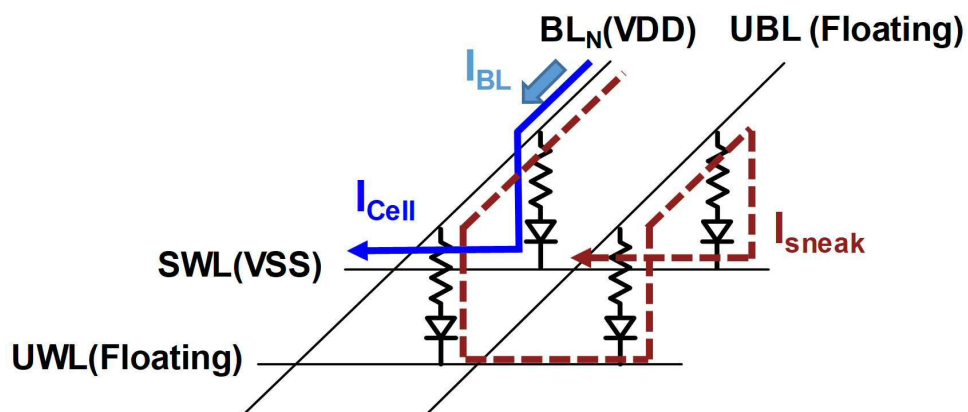
도면6



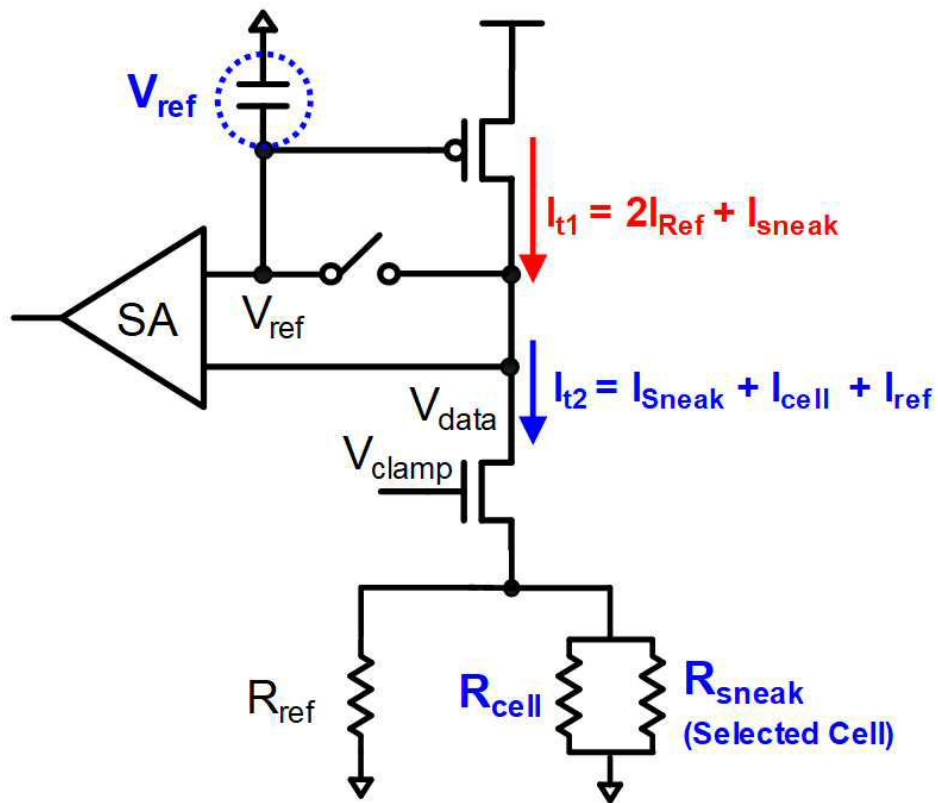
도면7



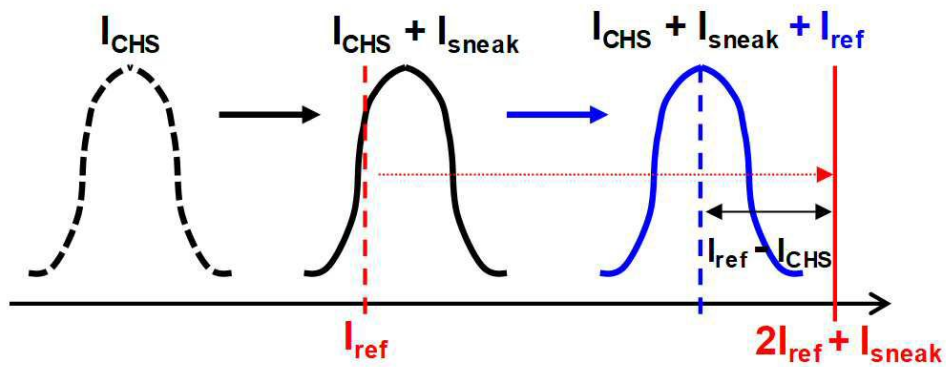
도면8



도면9



도면10



도면11

