



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월18일  
(11) 등록번호 10-2352383  
(24) 등록일자 2022년01월13일

(51) 국제특허분류(Int. Cl.)

H01L 27/24 (2006.01)

(52) CPC특허분류

H01L 27/2427 (2013.01)

H01L 45/144 (2013.01)

(21) 출원번호 10-2021-0062277

(22) 출원일자 2021년05월13일

심사청구일자 2021년05월13일

(56) 선행기술조사문헌

KR1020130107887 A\*

KR1020190026411 A\*

KR1020200048751 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

손현철

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 628호

이다운

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 627호

김재연

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 627호

(74) 대리인

특허법인(유한)아이시스

전체 청구항 수 : 총 13 항

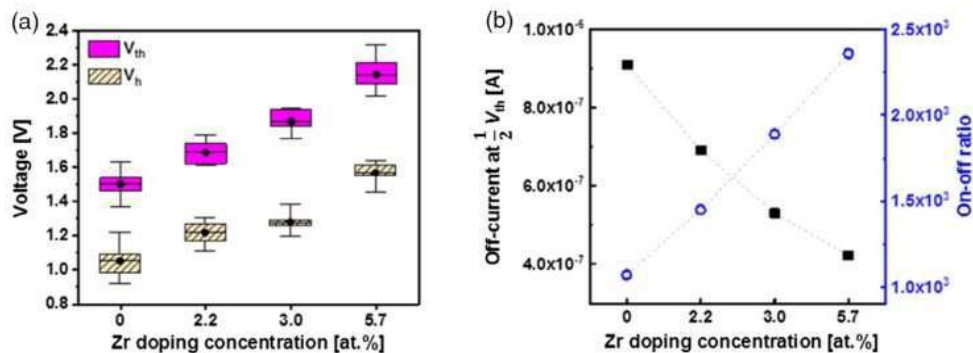
심사관 : 심병로

(54) 발명의 명칭 선택 소자 및 이를 포함하는 저항 변화형 메모리 장치

(57) 요약

본 발명은 선택 소자 및 이를 포함하는 저항 변화형 메모리 장치에 관한 것이다. 본 발명의 일 양태에 따르면 상기 선택 소자는 제1 전극; 상기 제1 전극에 대항하는 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이의 스위칭 층을 포함하며, 상기 스위칭 층은 지르코늄(Zr)-도핑된 갈륨텔루라이드계 물질을 포함한다. 본 발명에 따르면 선택 소자의 스위칭 층에서 갈륨텔루라이드계 물질에 도핑되는 지르코늄의 농도를 조절하여 상기 스위칭 층의 문턱 전압( $V_{th}$ )을 제어할 수 있다. 따라서, 다양한 메모리 장치의 셋 전압에 따라 목적하는 스위칭 전압을 가지도록 선택 소자를 형성할 수 있다. 이와 더불어 판독(read)/ 기록(write) 단계에서 효과적으로 누설 전류(sneak current)를 감소시킬 수 있다.

대표도 - 도6



이 발명을 지원한 국가연구개발사업

과제고유번호 1415169117

과제번호 20010569

부처명 산업통상자원부

과제관리(전문)기관명 한국산업기술평가관리원

연구사업명 소재부품산업미래성장동력(R&D)

연구과제명 뉴로몰픽 시냅스 어레이 적용을 위한 크로스포인트 선택소자 임계전압 조절기술 개

발

기 여 율 1/1

과제수행기관명 연세대학교 산학협력단

연구기간 2020.04.01 ~ 2020.12.31

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

제1 전극;

상기 제1 전극에 대향하는 제2 전극; 및

상기 제1 전극과 상기 제2 전극 사이의 스위칭 층을 포함하며,

상기 스위칭 층은 지르코늄(Zr)-도핑된 갈륨텔루라이드계 물질을 포함하고,

상기 스위칭 층의 문턱 전압( $V_{th}$ )이 지르코늄의 도핑 농도가 증가함에 따라 높아지는 것을 특징으로 하는 선택 소자.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서, 상기 갈륨텔루라이드계 물질에 도핑되는 지르코늄의 도핑 농도는 0 at.% 초과 내지 6 at.% 이하인 것을 특징으로 하는 선택 소자.

#### 청구항 4

삭제

#### 청구항 5

제1항에 있어서, 상기 문턱 전압( $V_{th}$ )의 조절 윈도우가 1.5V 내지 2.5 V 인 것을 특징으로 하는 선택 소자.

#### 청구항 6

제1항에 있어서, 상기 스위칭 층의 두께는 2 내지 300 nm 이하인 것을 특징으로 하는 선택 소자.

#### 청구항 7

제1항에 있어서, 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은 Ga: Te 의 원자비가 1:1 내지 2:3.5 의 범위인 것을 특징으로 하는 선택 소자.

#### 청구항 8

제7항에 있어서, 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은 지르코늄-도핑된  $Ga_xTe_y$  (여기서,  $x = 2$ ,  $y = 3$  초과 3.5 이하)인 것을 특징으로 하는 선택 소자.

#### 청구항 9

제1항에 있어서, 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은 무정형(amorphous)인 것을 특징으로 하는 선택 소자.

#### 청구항 10

제1항에 있어서, 저항 변화 메모리 소자에 전기적으로 연결되는 것을 특징으로 하는 선택 소자.

#### 청구항 11

제1 전극을 형성하는 단계;

상기 제1 전극 상에 스위칭 층을 형성하는 단계; 및

상기 스위칭 층 상에 제2 전극을 형성하는 단계를 포함하는 선택 소자의 제조 방법으로서,

여기서 상기 스위칭 층은 지르코늄-도핑된 갈륨텔루라이드계 물질을 포함하고, 상기 선택 소자의 문턱 전압( $V_{th}$ )이 상기 지르코늄의 도핑 농도가 증가함에 따라 높아지는 것인 제조 방법.

#### 청구항 12

제11항에 있어서, 상기 스위칭 층을 형성하는 단계는 갈륨텔루라이드계 물질에 지르코늄(Zr)을 스퍼터링함으로써 수행되고, 상기 지르코늄의 도핑 농도는 상기 스퍼터링 조건에 의해 조절되는 것을 특징으로 하는 제조 방법.

#### 청구항 13

제12항에 있어서, 상기 스위칭 층을 형성하는 단계는  $Ga_2Te$  에 지르코늄(Zr)과 텔루륨(Te)을 공동으로 스퍼터링(co-sputtering)하여 지르코늄-도핑된  $Ga_xTe_y$  (여기서,  $x = 2$ ,  $y = 3$  초과 3.5 이하) 박막 층을 형성함으로써 수행되는 것을 특징으로 하는 제조 방법.

#### 청구항 14

지르코늄(Zr)-도핑된 갈륨텔루라이드계 물질을 포함하는 스위칭 층을 포함하고 상기 스위칭 층의 문턱 전압( $V_{th}$ )이 지르코늄의 도핑 농도가 증가함에 따라 높아지는 선택 소자; 및

상기 선택 소자에 전기적으로 연결된 저항 변화형 메모리 소자를 포함하는, 메모리 장치.

#### 청구항 15

제14항에 있어서, 크로스 포인트 어레이 구조를 갖는 것을 특징으로 하는 메모리 장치.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 선택 소자 및 이를 포함하는 저항 변화형 메모리 장치에 관한 것이다.

### 배경 기술

[0002] 정보화와 통신화가 가속됨에 따라 반도체 장치의 핵심 부품인 메모리 소자의 초고속화, 초고집적화 및 초절전화가 필수적으로 요구된다. 그러나 플래시 메모리의 집적화가 한계에 도달함에 따라 저항 변화형 메모리(ReRAM, Resistive random access memory), 상 변화 메모리(PcRAM, Phase-change random access memory), FRAM(Ferroelectric random access memory), MRAM(Magnetic random access memory) 등의 차세대 메모리 기술이 연구되고 있다. 이 중 저항 변화형 메모리는 낮은 구동 전압, 빠른 스위칭 동작 속도를 가지며 고집적 메모리 형성이 가능한 장점을 가지고 있고, 이에 따라 많은 주목을 받고 있다.

[0003] ReRAM은 집적도가 높다는 장점을 최대한 살리기 위해 크로스 포인트 어레이 구조로 제작하는 방향으로 개발되고 있다. 크로스 포인트 어레이 구조의 제작을 위해서는 선택된 메모리 셀 이외의 선택되지 않은 저저항 상태의 셀을 통한 예기치 못한 전류 흐름인 누설 전류(sneak current)를 최소화하는 것이 필요하며 이를 위해 선택 소자를 배치한다. 선택 소자는 다이오드와는 달리 (+)과 (-) 외부 전계에 대칭적인 IV 특성을 가지며, 낮은 외부 전계에서는 낮은 전류가 흘러야 하며 높은 외부 전계에서는 높은 전류가 흐르는 우수한 비선형 특성을 가져야 한다.

[0004] 선택소자에는 산화물의 적층 구조와 밴드 엔지니어링을 이용한 터널 배리어 선택 소자, 특정 전압 이상에서 급격하게 전류가 흐르는 문턱(threshold) 스위칭 선택 소자 등이 있다. 그 중에서도, 문턱 스위칭 선택 소자는 낮은 전압 영역에서 매우 낮은 양의 전류 흐름을 보이고 특정 전압 이상에서 급격한 전류 상승을 보여, 가장 이상적인 선택소자의 특성을 가지는 것으로 판단되고 있다. 이러한 문턱 스위칭 선택소자에는  $NbO_x$ ,  $VO_x$  등의 산화물의 금속-절연체 전이 현상(MIT)을 이용한 산화물 기반의 문턱 스위칭 선택소자와 칼코게나이드 물질의 오보닉(Ovonic) 문턱 스위칭 특성(OTS) 이용한 칼코게나이드 물질 기반의 문턱 스위칭 선택소자가 연

구되고 있다. 이 중 OTS 특성을 이용한 소자는,  $I_{off}$ 가 더 낮은 장점을 가지고 있어 1S1R 구조의 ReRAM 적층에 가장 최적화된 모델로 평가된다.

[0005] 그러나, 종래 기술에서는 칼코게나이드 물질을 사용한 선택 소자의 종류가 제한적이었으며, 메모리 소자의 셋 전압(set voltage)에 따라 필요한 선택 소자의 스위칭 전압이 달라서 이러한 셋 전압에 따라 선택 소자의 문턱 전압을 바꿀 필요가 있었다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명의 일 목적은, 문턱 전압을 조절할 수 있는 선택 소자를 제공하는 것이다.

[0007] 본 발명의 다른 일 목적은 문턱 전압을 조절할 수 있는 선택 소자의 제조 방법을 제공하는 것이다.

[0008] 본 발명의 또다른 일 목적은 문턱 전압을 조절할 수 있는 선택 소자를 포함하는 저항 변화형 메모리 장치를 제공하는 것이다.

### 과제의 해결 수단

[0009] 본 발명의 일 양태에 따르면, 제1 전극; 상기 제1 전극에 대향하는 제2 전극; 및 상기 제1 전극과 상기 제2 전극 사이의 스위칭 층을 포함하며, 상기 스위칭 층은 지르코늄(Zr)-도핑된 갈륨텔루라이드계 물질을 포함하는 선택 소자가 제공된다.

[0010] 본 발명의 일 구현예에 따르면, 상기 스위칭 층의 문턱 전압( $V_{th}$ )이 지르코늄의 도핑 농도에 의해 조절될 수 있다.

[0011] 본 발명의 다른 일 구현예에 따르면, 상기 갈륨텔루라이드계 물질에 도핑되는 지르코늄의 도핑 농도는 0 at.% 초과 내지 6 at.% 이하일 수 있다.

[0012] 본 발명의 다른 일 구현예에 따르면, 상기 지르코늄의 도핑 농도가 증가함에 따라 상기 문턱 전압( $V_{th}$ )이 높아질 수 있다.

[0013] 본 발명의 다른 일 구현예에 따르면, 상기 문턱 전압( $V_{th}$ )의 조절 윈도우가 1.5V 내지 2.5 V 일 수 있다.

[0014] 본 발명의 다른 일 구현예에 따르면, 상기 스위칭 층의 두께는 2 내지 300 nm 이하일 수 있다.

[0015] 본 발명의 다른 일 구현예에 따르면, 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은 Ga: Te 의 원자비가 1:1 내지 2:3.5 의 범위일 수 있다.

[0016] 본 발명의 다른 일 구현예에 따르면, 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은 지르코늄-도핑된  $Ga_xTe_y$  (여기서,  $x = 2$ ,  $y = 3$  초과 3.5 이하)일 수 있다.

[0017] 본 발명의 다른 일 구현예에 따르면, 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은 무정형(amorphous)일 수 있다.

[0018] 본 발명의 다른 일 구현예에 따르면, 상기 선택 소자는 저항 변화 메모리 소자에 전기적으로 연결될 수 있다.

[0019] 본 발명의 다른 일 양태에 따르면, 제1 전극을 형성하는 단계; 상기 제1 전극 상에 스위칭 층을 형성하는 단계; 및 상기 스위칭 층 상에 제2 전극을 형성하는 단계를 포함하는 선택 소자의 제조 방법으로서, 여기서 상기 스위칭 층은 지르코늄-도핑된 갈륨텔루라이드계 물질을 포함하고, 상기 선택 소자의 문턱 전압( $V_{th}$ )이 상기 지르코늄의 도핑 농도에 의해 조절되는 것인 제조 방법이 제공된다.

[0020] 본 발명의 일 구현예에 따르면, 상기 스위칭 층을 형성하는 단계는 갈륨텔루라이드계 물질에 지르코늄(Zr)을 스퍼터링함으로써 수행되고, 상기 지르코늄의 도핑 농도는 상기 스퍼터링 조건에 의해 조절될 수 있다.

[0021] 본 발명의 다른 일 구현예에 따르면, 상기 스위칭 층을 형성하는 단계는  $Ga_2Te$  에 지르코늄(Zr)과 텔루륨(Te)을 공동으로 스퍼터링(co-sputtering)하여 지르코늄-도핑된  $Ga_xTe_y$  (여기서,  $x = 2$ ,  $y = 3$  초과 3.5 이하) 박막 층을 형성함으로써 수행될 수 있다.

[0022] 본 발명의 다른 일 양태에 따르면, 지르코늄(Zr)-도핑된 갈륨텔루라이드계 물질을 포함하는 스위칭 층을 포함하는 선택 소자; 및 상기 선택 소자에 전기적으로 연결된 저항 변화형 메모리 소자를 포함하는, 메모리 장치가 제공된다.

[0023] 본 발명의 일 구현예에 따르면, 상기 메모리 장치는 크로스 포인트 어레이 구조를 갖는 것일 수 있다.

### 발명의 효과

[0024] 본 발명에 따르면 선택 소자의 스위칭 층에서 갈륨텔루라이드계 물질에 도핑되는 지르코늄의 농도를 조절하여 상기 스위칭 층의 문턱 전압( $V_{th}$ )을 제어할 수 있다. 따라서, 다양한 메모리 장치의 셋 전압에 따라 목적하는 스위칭 전압을 가지도록 선택 소자를 형성할 수 있다. 이와 더불어 판독(read)/ 기록(write) 단계에서 효과적으로 누설 전류(sneak current)를 감소시킬 수 있다.

### 도면의 간단한 설명

[0025] 도 1은 메모리 셀(100)을 포함하는 메모리 장치(10)의 일례를 도식적으로 나타낸 사시도이다.

도 2는 메모리 셀(100) 구성의 일례를 도식적으로 나타낸 도면이다.

도 3은 본 발명의 일 구현예에 따른 선택 소자(200)를 도식적으로 나타낸 단면도이다.

도 4에서 (a)는 본 발명의 실시예에서 제조한 선택 소자의 구조를 도식적으로 나타내는 것이고, (b)는 상기 선택 소자의 횡단면에 대한 TEM 이미지를 보여주는 것이며, 또한, (c)는 Zr 도핑 농도에 따른 스위칭층의 GI-XRD (grazing-incidence X-ray diffraction) 패턴을 나타내는 것이다.

도 5는 본 발명의 실시예에서 Zr 도핑 농도를 다양하게 하여 제조한 선택 소자에 대해 측정한 직류(DC) I-V 그래프이다.

도 6에서 (a)는  $V_{th}$  및  $V_h$  를 Zr 도핑 농도의 함수로서 나타낸 것이며, (b)는 Zr 도핑 농도에 따른  $1/2 V_{th}$ 에서의 Off 전류값 및  $I_{on-Off}$  비를 나타내는 것이다.

도 7 에서, (a)는 전도도  $\sigma$  대  $1000/T$  를 나타낸 그래프이며 (b)는 전기 전도의 활성화 에너지( $E_a$ )를 아레니우스 방정식으로 구한 결과를 나타내는 그래프이다.

도 8에서, (a)는 Zr 도핑 농도가 0 at%인 선택 소자의 내구성 시험 결과이고 (b)는 Zr 도핑 농도가 5.7 at%인 선택 소자의 내구성 시험 결과이다.

### 발명을 실시하기 위한 구체적인 내용

[0026] 이하, 본 발명에 대해 상세히 설명한다.

[0027] 본 출원에서 사용한 용어는 단지 특정한 구현예를 설명하기 위해 사용된 것으로서 본 발명을 한정하려는 의도가 아니다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.

[0028] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다, "함유"한다, "가지다" 라고 할 때, 이는 특별히 달리 정의되지 않는 한, 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.

[0029] 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 전술한 용어들에 의해 제한되는 것은 아니다.

[0030] 층, 막 등의 어떤 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 또는 "바로 상에" 있어서 어떤 부분과 다른 부분이 서로 접해 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 존재하는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 또는 "바로 상에" 있다고 할 때는 중간에 다른 부분이 없는 것을 의미한다.

[0032] 이하에서는 먼저, 도 1을 참조하여 본 발명의 일 양태에 따른 메모리 장치(10)에 대해 구체적으로 설명한다.

[0033] 도 1을 참조하면, 일 방향으로 연장된 워드 라인들(WL1, WL2, WL3)과 타 방향으로 연장된 비트 라인들(BL1, BL2, BL3) 및 워드 라인들과 비트 라인들이 교차하는 지점에서 각각 일 단부가 워드 라인과 전기적으로 연결되

고, 타 단부가 비트 라인과 전기적으로 연결된 메모리 셀(100)들을 포함한다.

- [0034] 메모리 셀(100)의 판독(read) 및 기록(write) 동작은, 선택된 메모리 셀(100)과 전기적으로 연결된 워드 라인과 비트 라인을 활성화시키는 것에 의해 수행될 수 있다. 메모리 장치(10)는 각각의 워드 라인을 통해 메모리 셀(100)에 연결된 워드 라인에 목적하는 전압을 제공하는 워드 라인 제어 회로(미도시)를 더 포함할 수 있다. 메모리 장치(10)는 비트 라인들(BL1- BL3)에 목적하는 전압을 제어하는 비트 라인 제어 회로(미도시) 및 메모리 소자(100)에서 읽은 정보를 검출하는 검출 회로부를 더 포함할 수 있다.
- [0035] 워드 라인 제어 회로와 비트 라인 제어 회로는 선택된 메모리 셀에 결합된 해당 워드 라인과 비트 라인을 활성화시켜 특정 메모리 셀에 선택적으로 액세스할 수 있다. 기록 동작 동안 워드 라인 제어 회로는 선택된 워드 라인에 소정 전압을 인가함으로써 선택된 메모리 셀에 정보를 기록한다. 선택된 메모리 셀(100)에 전압이 제공되면 메모리 셀(100)을 통하여 전류가 흐르면서 논리값에 상응하는 저항값이 기록된다.
- [0037] 도 2는 메모리 셀(100) 구성의 일례를 도식적으로 나타낸 도면이다.
- [0038] 도 2를 참조하면, 메모리 셀(100)은 제1 전극(110), 스위칭층(150), 제2 전극(120), 메모리층(140), 제3 전극(130)을 포함한다. 도시되지 않은 다른 실시예에 의하면, 스위칭층(150)은 메모리층(140)과 워드 라인(WL) 사이에 위치할 수 있다. 후술할 바와 같이 제1 전극(110), 스위칭층(150) 및 제2 전극(120)은 선택 소자(200, 도 3 참조)를 형성할 수 있다. 또한, 제2 전극(120), 메모리층(140) 및 제3 전극(130)은 메모리 소자(300)를 형성할 수 있다. 상기 메모리 소자(300)는 저항 변화형 메모리 소자일 수 있다.
- [0039] 메모리층(140)은 저항 변화를 유지하는 물질로 이루어지며, 일 예로 전원의 공급이 중단되어도 저항의 변화가 유지되는 물질일 수 있다. 따라서, 메모리셀(100) 및 이를 포함하는 메모리 장치(10)는 비휘발성 메모리 (non-volatile memory)일 수 있다.
- [0040] 상기 메모리층(140)을 구성하는 재료는 특별히 제한되지는 않으나, 본 발명의 일 구현예에 따르면, 메모리층(140)은 전기적 신호에 의해 전기적 저항값이 가역적으로 변할 수 있는 가변 저항성 재료를 포함할 수 있다. 가변 저항성 재료는, 저저항 상태와 고저항 상태 사이에서 가역적으로 변환될 수 있는 재료이다. 가변 저항성 재료의 예로서, SrTiO<sub>3</sub>, SrZrO<sub>3</sub>, Nb:SrTiO<sub>3</sub>와 같은 페로브스카이트계 산화물 또는 TiO<sub>x</sub>, NiO, TaO<sub>x</sub>, HfO<sub>x</sub>, AlO<sub>x</sub>, ZrO<sub>x</sub>, CuO<sub>x</sub>, NbO<sub>x</sub>, 및 TaO<sub>x</sub>, GaO<sub>x</sub>, GdO<sub>x</sub>, MnO<sub>x</sub>, PrCaMnO, 및 ZnONiO<sub>x</sub>와 같은 전이 금속 산화물을 포함할 수 있다. 페로브스카이트계 산화물 및 전이 금속 산화물은 화학양론적 또는 비화학양론적일 수 있으며, 본 발명이 이에 한정되는 것은 아니며, 열거된 재료는 2 이상의 혼합되거나 적층되어 실시될 수 있다. 일 실시예에서, 가변 저항성 재료는 스퍼터링 또는 원자층 증착 공정을 통해 형성될 수 있을 것이다.
- [0041] 가변 저항성 재료의 저항 스위칭 특성을 설명하기 위하여, 도전성 필라멘트, 계면 효과 및 트랩 전하와 관련된 다양한 메커니즘들이 제안되고 있지만, 이러한 메커니즘들은 여전히 명확한 것은 아니며 본 발명이 이에 의해 제한되는 것은 아니다. 비휘발성 메모리 소자로서의 응용을 위해, 미세 구조 내에 전하에 의한 전류에 영향을 미치는 일종의 이력(hysteresis)을 갖는 인자를 가지는 한, 본 발명의 메모리층(140)으로서 이용될 수 있다.
- [0042] 또한, 이력은 인가 전압의 극성에 무관한 단극성(unipolar) 스위칭 특성과 인가 전압의 극성에 의존하는 양극성(bipolar) 스위칭 특성에 따라 구별되는 특성을 가질 수 있지만, 본 발명은 이에 제한되지 않는다. 예를 들면, 메모리층(140)은 단극성 저항 재료로만 이루어지거나, 양극성 저항 재료로만 이루어질 수 있다. 또는, 메모리층(140)은 단극성 저항 재료로 이루어진 막과 양극성 저항 재료로 이루어진 막의 적층 구조체를 이용하여 멀티 비트 구동을 하는 메모리 셀을 제공할 수 있다.
- [0044] 제1 전극(110), 제 2 전극(120) 및 제3 전극(130)은 동일하거나 상이한 재료일 수 있으며, 금속, 금속 질화물, 금속 산화물 등의 도전성 물질을 포함할 수 있다. 예를 들어, 제1 전극(110), 제 2 전극(120) 및 제3 전극(130)은 각각 독립적으로, 텅스텐(W), 텅스텐(W), 텅스텐질화물(WN), 텅스텐실리사이드(WSi), 티타늄(Ti), 티타늄질화물(WNx), 티타늄실리콘질화물(TiSiN), 티타늄알루미늄질화물(TiAlN), 탄탈륨(Ta), 탄탈륨질화물(TaN), 탄탈륨 실리콘질화물(TaSiN), 탄탈륨알루미늄질화물(TaAlN), 탄소(C), 실리콘카바이드(SiC), 실리콘카본질화물(SiCN), 구리(Cu), 아연(Zn), 니켈(Ni), 코발트(Co), 납(Pd), 백금(Pt) 등을 포함할 수 있으며, 이들의 조합을 포함할 수 있다.
- [0045] 일 구현예에서, 전극들(110, 120, 130) 각각은 텅스텐(W)과 같은 금속, TiN 또는 TaN 과 같은 도전성 질화물, 또는 (InSn)<sub>2</sub>O<sub>3</sub>와 같은 도전성 산화물을 포함할 수 있다. 다른 구현예에서, 전극들(110, 120, 130) 각각은 실리콘(Si) 또는 WSi와 같은 실리콘 금속 화합물을 포함할 수 있다. 또한, 열거된 전극 재료들은 단일한 물질로 되

거나, 2종 이상이 혼합되거나 합금화되거나, 2 이상의 전극들이 적층되어 적용될 수 있다.

- [0046] 제 1 전극(110) 및 제 3 전극(130)은 워드 라인(WL)과 비트 라인(BL)에 각각 전기적으로 결합된다. 일 실시예에서, 제 1 전극(110) 및 제 3 전극(130)은 워드 라인(WL)과 비트 라인(BL)은 각각 동일한 재료로 형성되어 서로 일체로 형성될 수 있다.
- [0047] 스위칭층(150)은 문턱 전압( $V_{th}$ )에 따라 스위칭 동작할 수 있다. 구체적으로, 스위칭 층(SL)은 문턱 전압( $V_{th}$ ) 이하에서는 낮은 전류가 흐르고 문턱 전압( $V_{th}$ ) 이상에서 급격하게 전류가 증가하는 비선형 스위칭 동작을 수행할 수 있다.
- [0048] 스위칭층(150)은 칼코게나이드계 물질을 포함한다. 본 발명의 일 양태에 따르면, 상기 칼코게나이드계 물질은 갈륨텔루라이드( $Ga-Te$ , gallium telluride)계 물질일 수 있으며, 지르코늄( $Zr$ )으로 도핑될 수 있다.
- [0049] 본 발명의 일 구현예에 따르면 상기 스위칭층(150)은 문턱 전압( $V_{th}$ )은 지르코늄의 도핑 농도에 의해 조절될 수 있다. 상기 지르코늄의 도핑 농도는 0 at.% 초과 내지 6 at.% 이하일 수 있으며, 상기 지르코늄의 도핑 농도가 증가함에 따라 스위칭층(150)의 문턱 전압( $V_{th}$ )은 높아질 수 있다. 본 발명에 따라 지르코늄의 도핑 농도에 의해 조절가능한 스위칭층(150)의 문턱 전압( $V_{th}$ ) 조절가능 윈도우는 1.5V 내지 2.5V의 범위, 예를 들어 1.5V 초과 내지 2.2V 이하의 범위일 수 있다.
- [0050] 본 발명의 일 구현예에 따르면, 상기 스위칭층(150)에서 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은  $Ga:Te$ 의 원자비가 1:1 내지 2:3.5의 범위일 수 있으며, 구체적으로는 상기 지르코늄-도핑된 물질은 지르코늄-도핑된  $GaTe$  또는  $Ga_xTe_y$  (여기서,  $x = 2$ ,  $y = 3$  초과 3.5 이하, 예를 들어 3 초과 3.3 이하)일 수 있다. 후술하는 실시예에서 알 수 있듯이, 본 발명에 따르면 지르코늄의 도핑에 의해 물질이 안정화되어 상기 지르코늄-도핑된 갈륨텔루라이드계 물질은 고온에서의 어닐링 후에도 무정형(amorphous)의 상태로 있을 수 있다.
- [0051] 본 발명의 일 구현예에 따르면, 상기 스위칭층(150)은 두께가 대략 2 내지 300 nm 이하, 구체적으로는 50 내지 150 nm의 범위일 수 있으나, 이에 제한되는 것은 아니다. 당업자라면 목적하는 선택 소자의 특성 등을 고려하여 상기 두께를 적절히 조절할 수 있을 것이다.
- [0052] 이러한 갈륨텔루라이드계 물질을 포함하는 스위칭층(150)을 포함하는 선택 소자는 저전력 및 고집적의 저항성 메모리 소자를 구현하도록, 오보닉 문턱 스위치(Ovonic Threshold Switch: OTS) 특성을 가지며, 종래의 선택 소자에 비하여 높은 비선형 특성을 갖고, 외부 전계에 대칭적인 I-V 특성을 가질 수 있다. 또한, 본 발명의 선택 소자는 우수한 비선형 특성을 갖도록 낮은 외부 전계에서는 낮은 전류가 흐르고 높은 외부 전계에서는 높은 전류가 흘러 높은 온/오프 전류 비(Ion/Ioff)를 갖는다.
- [0054] 본 발명의 일 양태에 따르면, 상기 제1 전극(110), 스위칭층(150), 및 제2 전극(120)을 포함하는 선택 소자(200)는 제1 전극을 형성하는 단계; 상기 제1 전극 상에 스위칭 층을 형성하는 단계; 및 상기 스위칭 층 상에 제2 전극을 형성하는 단계를 포함하는 선택 소자의 제조 방법에 의해 제조될 수 있다. 본 발명의 일 구현예에 따르면, 여기서 상기 스위칭 층은 지르코늄-도핑된 갈륨텔루라이드계 물질을 포함하고, 상기 선택 소자의 문턱 전압( $V_{th}$ )이 상기 지르코늄의 도핑 농도에 의해 조절되는 것일 수 있다.
- [0055] 상기 제1 전극 및 제2 전극의 형성은 당업계에 공지된 임의의 전극 제조 공정을 이용하여 수행될 수 있다. 상기 제1 전극의 형성 단계와 제2 전극의 형성 단계는 포토리소그래피와 같은 패터닝 단계를 수반할 수 있다.
- [0056] 본 발명의 일 구현예에 따르면, 상기 스위칭 층을 형성하는 단계는 갈륨텔루라이드계 물질에 지르코늄( $Zr$ )을 스퍼터링함으로써 수행되고, 상기 지르코늄의 도핑 농도는 상기 스퍼터링 조건에 의해 조절될 수 있다. 여기서 상기 스퍼터링 조건은 산화성 가스의 양, DC 전력의 크기 등을 들 수 있다. 예를 들어, 상기 스위칭 층을 형성하는 단계는  $Ga_2Te$ 에 지르코늄( $Zr$ )과 텔루륨( $Te$ )을 공동으로 스퍼터링(co-sputtering)하여 지르코늄-도핑된  $Ga_xTe_y$  (여기서,  $x = 2$ ,  $y = 3$  초과 3.5 이하) 박막 층을 형성함으로써 수행될 수 있다.
- [0058] 도 3은 본 발명의 일 구현예에 따른 선택 소자(200)를 도식적으로 나타낸 단면도이다. 도 3을 참조하면, 선택 소자(200)는 T-plug 형태의 선택 소자일 수 있다. 기판(sub) 상에 전도층(250)이 위치한다. 일 실시예로, 기판(sub)은 실리콘 기판일 수 있으며, 도전층(250)은 텅스텐(W)층으로, 워드 라인 및/또는 비트 라인 중 어느 하나의 전도성 라인일 수 있다.
- [0059] 에치 스탑층(240)과 산화막(230)은 도전층(250) 상부에 위치할 수 있다. 일 구현예로, 에치 스탑층(240)은 실리

콘 질화막(silicon nitride)이고, 산화막(230)은 실리콘 산화막(silicon oxide)층일 수 있다. 하부 전극(260)은 에치 스탑층(240), 산화막(230)을 관통하여 형성될 수 있다. 하부 전극(260)은 스위칭층(220)의 제2 전극으로 기능하며, 전극 크기를 감소시키기 위해 플러그 형태로 형성될 수 있다. 상부 전극(210)은 스위칭층(220)의 제1 전극으로 기능할 수 있다. 일 구현예로 하부 전극(260)과 에치 스탑층(240) 및 산화막(230) 사이에는 갈륨 텔루라이드(Ga-Te)계 재료의 층벽이 형성될 수 있으며, 수직 방향으로 스위칭층(220)과 연결될 수 있다.

[0061] 이하, 본 발명의 이해를 돕기 위하여 실시예를 참고하여 본 발명을 보다 상세히 설명한다. 그러나 하기의 실시예는 본 발명을 보다 쉽게 이해하기 위하여 제공되는 것일 뿐, 하기 실시예에 의해 본 발명의 내용이 한정되는 것은 아니다.

#### [0063] [실시예] 선택 소자의 제조

[0064]  $\text{Ga}_2\text{Te}$ , Te, 및 Zr 타겟을 사용하여 공동 스퍼터링(co-sputtering)에 의해 스위칭층을 형성시켰으며, 여기서 Zr 도핑 농도는, Zr 스퍼터링을 위한 DC 전력을 0 내지 8 W까지 변화시킴으로써 제어하였다. 증착된 막 내의 Ga:Te 비는 대략 2:0 대 3.2로서 Te가 다소 풍부한 상태의  $\text{Ga}_2\text{Te}_3$  조성을 나타내었으며, Zr 도핑 농도는 각각 0, 2.2, 3.0 및 5.7 at.% 가 되도록 하였다. 스위칭층의 막 두께는 100 nm 로 하였다. 본 실시예에서 제조한 선택 소자의 개략적 구조를 도 4의 (a)에 나타내고, 이의 횡단면에 대한 TEM 이미지를 도 4의 (b)에 나타내고, 또한, Zr 도핑 농도에 따른 스위칭층의 GI-XRD (grazing-incidence X-ray diffraction) 패턴을 도 4의 (c)에 나타내었다. 도 4의 (c)로부터 본 발명에 따른 스위칭층은 Zr 도핑 농도와 관계없이 무정형 상태를 나타낸다는 것을 알 수 있다.

#### [0066] [특성 평가]

[0067] 도 5는 본 발명의 일 구현예에 따라 Zr 도핑 농도를 다양하게 하여 제조한 선택 소자에 대해 측정된 직류(DC) I-V 그래프이다. 도 5로부터 Zr 도핑 농도와 관계없이 본 발명에 따라 제작한 선택 소자는 OTS 특성을 명확히 나타낸다는 점을 알 수 있다. 즉, 도 5 (a) 내지 (d)에서  $V_{th}$  에서 전류의 급격한 증가 및  $V_h$  (holding voltage)에서 전류의 급격한 감소를 대칭적이고 비선형적인 곡선과 함께 나타내었다.

[0069] 도 6은 본 발명의 일 구현예에 따라 Zr 도핑 농도를 다양하게 제조한 선택 소자에 있어서, (a)는 Zr 도핑 농도의 함수로서  $V_{th}$  및  $V_h$  를 나타낸 것이며 여기서 박스 모양은 10개 샘플에서 측정된 전압 분포를 보여주는 것이며 검은색 점이 평균 값을 나타낸다. 도 6 의 (b)는 Zr 도핑 농도에 따른  $1/2 V_{th}$  에서의 Off 전류값 및 On-Off 비를 나타내는 것이다.

[0070] 도 6의 (a)로부터 Zr 도핑 농도가 0 에서 5.7 at.% 까지 증가함에 따라  $V_{th}$  도 1.5 V에서 2.1 V 까지 증가하였음을 관찰할 수 있었다. 또한,  $V_h$  (1 k $\Omega$  레지스터)도 Zr 도핑 농도가 0 에서 5.7 at.% 까지 증가함에 따라 1.1 V 에서 1.6 V 까지 증가하였다. 또한 도 6의 (b)로부터  $1/2 V_{th}$  에서의 Off 전류는 Zr 도핑 농도가 증가함에 따라 감소하지만 on-off 비는 증가하였다는 것을 관찰할 수 있으며, 이는 크로스 포인트 어레이 구조의 메모리 장치에서 누설 전류의 영향을 방지할 수 있다는 것을 의미한다.

[0072] 도 7은 본 발명의 일 구현예에 따라 Zr 도핑 농도를 다양하게 제조한 선택 소자에 있어서, (a)는 전도도  $\sigma$  대  $1000/T$  를 나타낸 그래프이며 (b)는 전기 전도의 활성화 에너지( $E_a$ )를 아레니우스 방정식으로 구한 결과를 나타내는 그래프이다. 도 7의 (b)로부터  $E_a$  가 Zr 도핑 농도에 따라 증가한다는 것을 알 수 있다.

[0074] 도 8은 선택 소자의 스위칭 내구성을 실험한 결과를 나타내는 것으로서 (a)는 Zr 도핑 농도가 0 at%인 선택 소자의 내구성 시험 결과이고 (b)는 Zr 도핑 농도가 5.7 at%인 선택 소자의 내구성 시험 결과이다. 내구성 시험 결과는 1S1R 크로스 포인트 어레이 구조에서 중요한 파라미터이다. 교류(AC) 펄스 3.0V 에서  $10^9$  사이클까지 시험한 결과로서, Zr 도핑을 하더라도 내구성이 높다는 것을 보여준다.

[0076] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

#### 부호의 설명

[0077] 10: 메모리 장치  
100: 메모리 셀

- 200: 선택 소자

300: 메모리 소자
- 110: 제1 전극

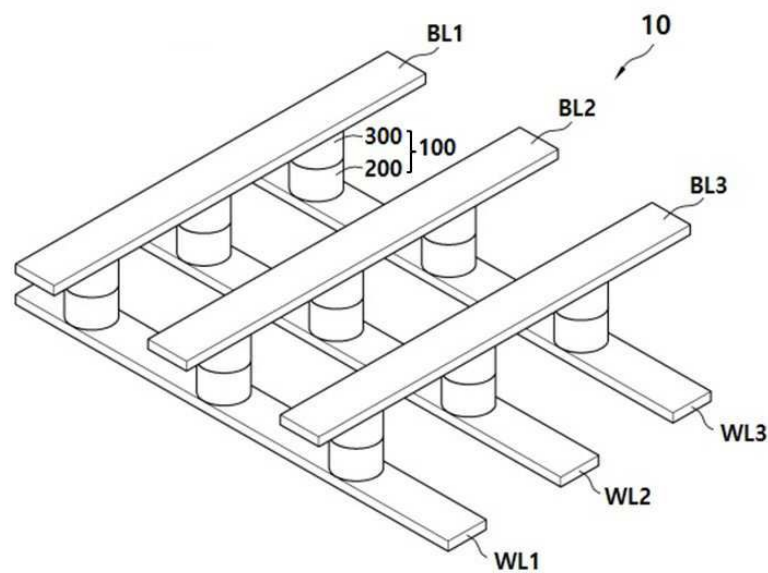
120: 제2 전극

130: 제3 전극
- 140: 메모리층

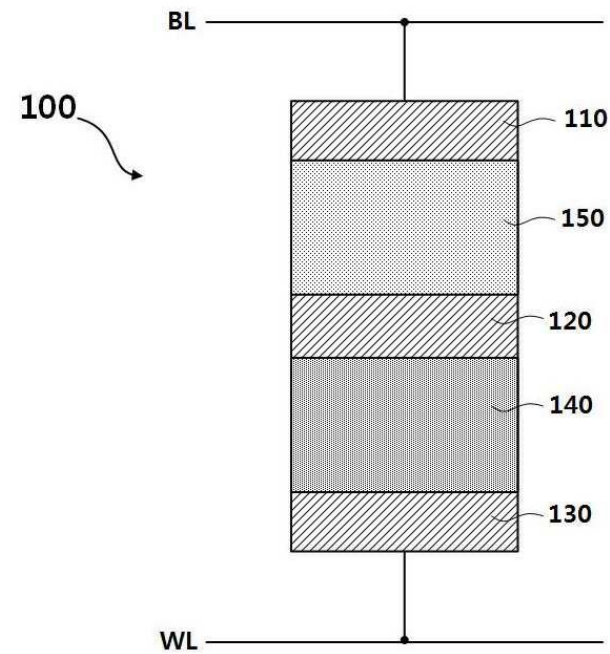
150: 스위칭층

도면

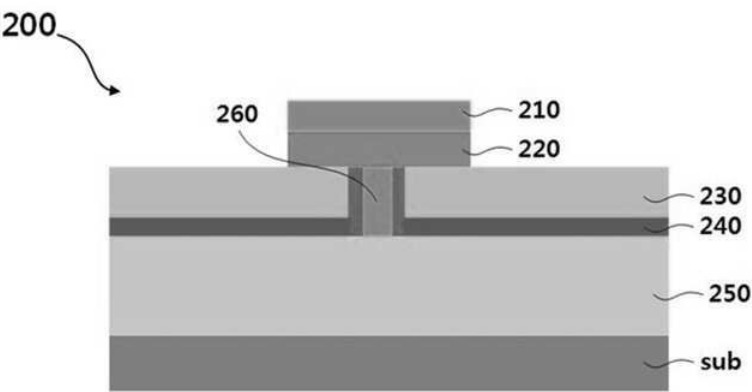
도면1



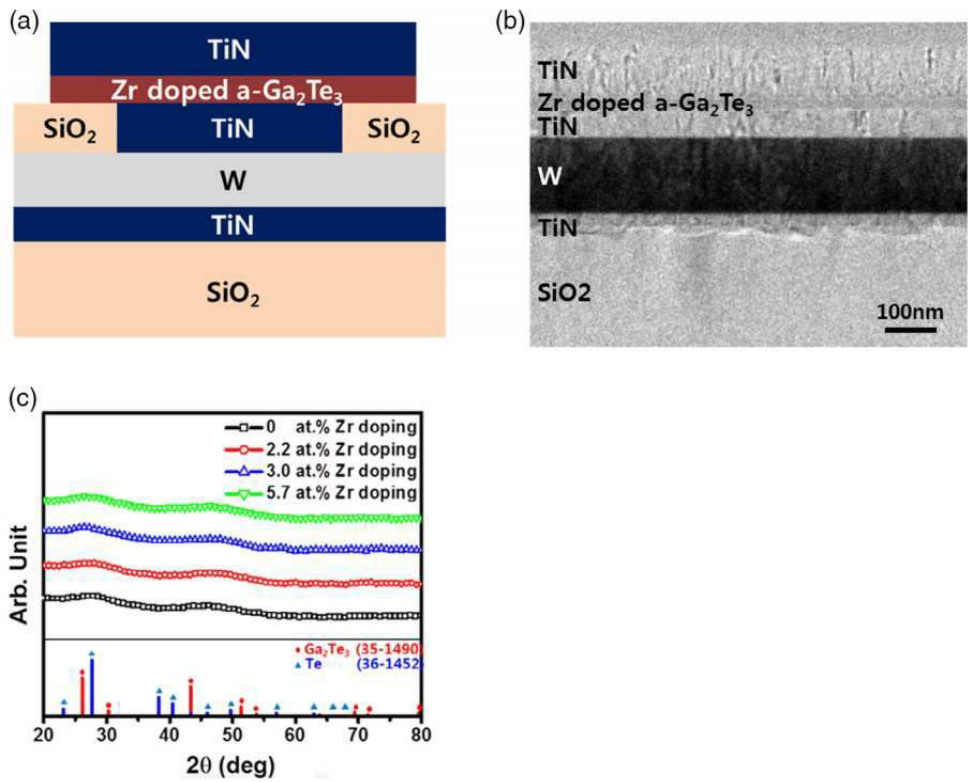
도면2



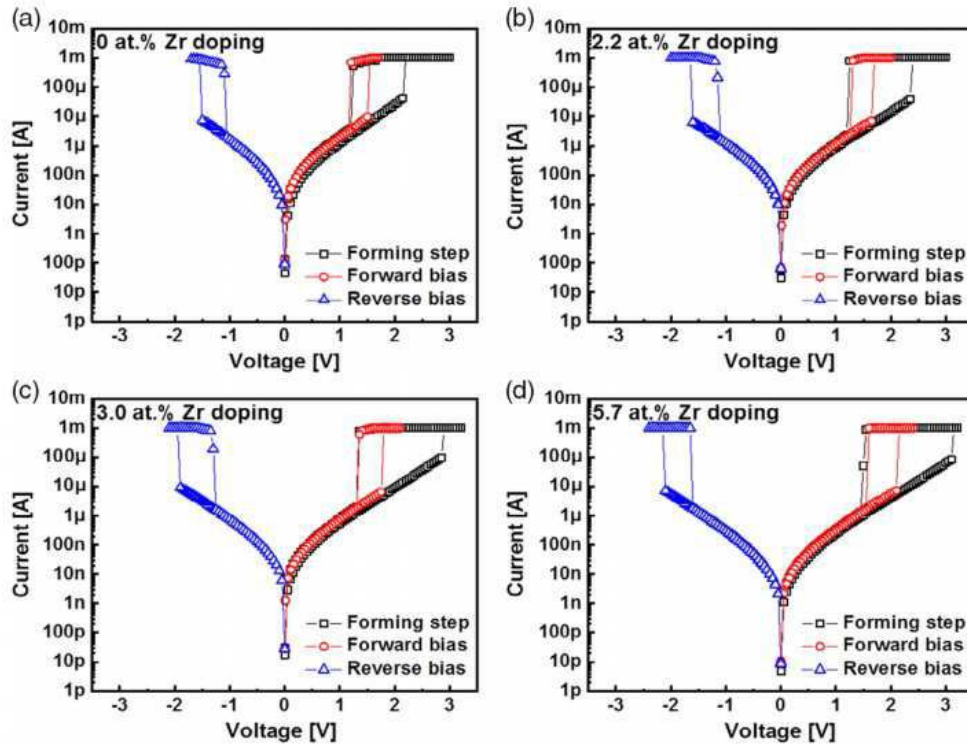
도면3



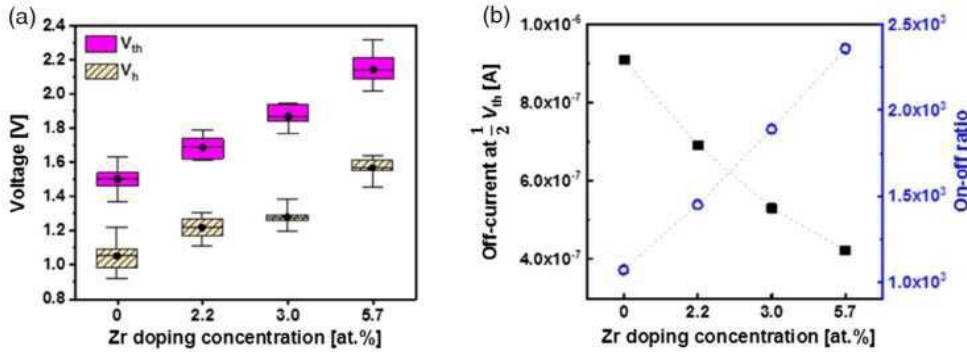
도면4



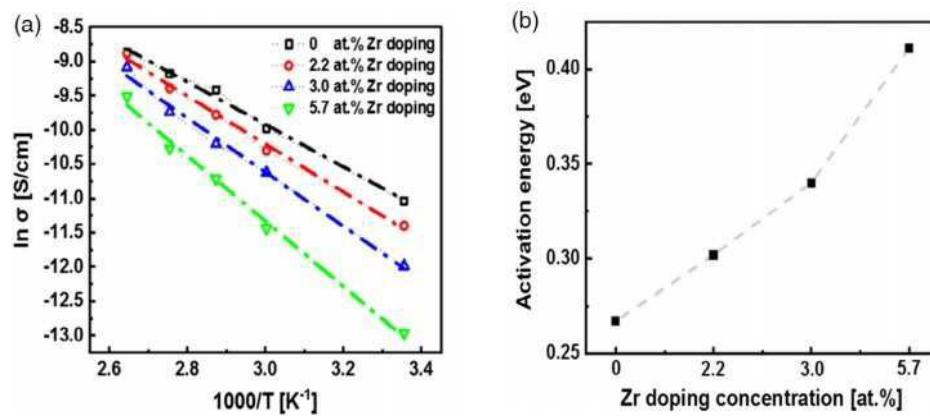
도면5



도면6



도면7



도면8

