



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년04월05일

(11) 등록번호 10-2383410

(24) 등록일자 2022년04월01일

(51) 국제특허분류(Int. Cl.)

H01L 21/02 (2006.01) C23C 16/40 (2006.01)

C23C 16/455 (2006.01) C23C 16/56 (2006.01)

(52) CPC특허분류

H01L 21/02318 (2013.01)

C23C 16/40 (2013.01)

(21) 출원번호 10-2020-0091642

(22) 출원일자 2020년07월23일

심사청구일자 2020년07월23일

(65) 공개번호 10-2022-0012632

(43) 공개일자 2022년02월04일

(56) 선행기술조사문헌

KR1020010036268 A\*

KR1020140109213 A\*

KR1020080011236 A\*

KR1020100078285 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

김형준

서울특별시 영등포구 국제금융로 79, 이동 201호 (여의도동, 한양아파트)

박승민

서울특별시 서대문구 연세로 50, 제3공학관 305-1호(신촌동, 연세대학교)

(뒷면에 계속)

(74) 대리인

특허법인우인

전체 청구항 수 : 총 8 항

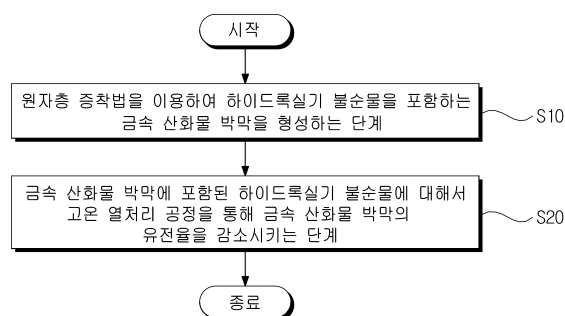
심사관 : 방기인

(54) 발명의 명칭 금속 산화물 박막의 전기적 특성 향상 방법

## (57) 요약

본 실시예들은 원자층 증착법(Atomic Layer Deposition, ALD)으로 구현된 금속 산화물 박막에 형성된 하이드록실기 불순물의 감소를 통해 금속 산화물 박막의 유전율을 감소시켜 ILD(Inter-Layer Dielectric) 특성을 향상시키는 방법 및 반도체 장치를 제공한다.

## 대표도 - 도1



(52) CPC특허분류

*C23C 16/45525* (2013.01)

*C23C 16/56* (2013.01)

*H01L 21/02164* (2013.01)

*H01L 21/02172* (2013.01)

*H01L 21/0228* (2013.01)

(72) 발명자

**이유진**

서울특별시 서대문구 연세로 50, 제3공학관 305-1  
호(신촌동, 연세대학교)

**서승기**

서울특별시 서대문구 연세로 50, 제3공학관 305-1  
호(신촌동, 연세대학교)

**윤휘**

서울특별시 서대문구 연세로 50, 제3공학관 305-1  
호(신촌동, 연세대학교)

## 명세서

### 청구범위

#### 청구항 1

원자층 증착법을 이용하여 하이드록실기 불순물을 포함하는 금속 산화물 박막을 형성하는 단계; 및

상기 금속 산화물 박막에 포함된 하이드록실기 불순물에 대해서 고온 열처리 공정을 통해 상기 금속 산화물 박막의 유전율을 감소시키는 단계를 포함하며,

상기 금속 산화물 박막을 형성하는 단계에서, 상기 원자층 증착법을 통해 형성된 금속 산화물 박막은 상기 하이드록실기 불순물의 분극 심화 현상에 의해 상기 금속 산화물 박막의 유전율이 5 이상으로 올랐다가,

상기 금속 산화물 박막의 유전율을 감소시키는 단계에서, 상기 고온 열처리 공정에 의해 상기 하이드록실기 불순물을 감소시켜 상기 금속 산화물 박막의 유전율이 4 이하를 갖는 것을 특징으로 하는 금속 산화물 박막의 전기적 특성 향상 방법.

#### 청구항 2

제1항에 있어서,

상기 원자층 증착법은 금속을 포함하는 전구체를 챔버에 주입하고 기판의 표면에 흡착시킨 후 산소를 포함하는 반응체를 주입하여, 상기 전구체와 상기 반응체를 반응시켜 상기 금속 산화물 박막을 형성하는 것을 특징으로 하는 금속 산화물 박막의 전기적 특성 향상 방법.

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 고온 열처리 공정은 600 °C ~ 1500 °C의 온도 범위에서 열처리하는 것을 특징으로 하는 금속 산화물 박막의 전기적 특성 향상 방법.

#### 청구항 5

삭제

#### 청구항 6

제1항에 있어서,

상기 금속 산화물 박막은 산화 실리콘(Silicon dioxide,  $\text{SiO}_2$ ), 산화 텅스텐(Tungsten trioxide,  $\text{WO}_3$ ), 산화 알루미늄(Aluminum oxide,  $\text{Al}_2\text{O}_3$ ), 산화 티타늄(Titanium dioxide,  $\text{TiO}_2$ ), 산화 아연(Zinc oxide,  $\text{ZnO}$ ), 산화 주석(Tin dioxide,  $\text{SnO}_2$ ), 인듐주석산화물(Indium tin oxide, ITO) 중에서 선택된 적어도 하나의 금속 산화물을 포함하는 것을 특징으로 하는 금속 산화물 박막의 전기적 특성 향상 방법.

#### 청구항 7

반도체 장치에 있어서,

기판; 및

상기 기판 위에 원자층 증착법을 이용하여 형성된 하이드록실기 불순물을 포함하는 금속 산화물 박막을 포함하며,

상기 금속 산화물 박막은 상기 금속 산화물 박막에 포함된 하이드록실기 불순물에 대해서 고온 열처리 공정을

통해 상기 금속 산화물 박막의 유전율이 감소되며,

상기 원자층 증착법을 통해 형성된 금속 산화물 박막은 상기 하이드록실기 불순물의 분극 심화 현상에 의해 상기 금속 산화물 박막의 유전율이 5 이상으로 올랐다가,

상기 고온 열처리 공정에 의해 상기 하이드록실기 불순물을 감소시켜 상기 금속 산화물 박막의 유전율이 4 이하를 갖는 것을 특징으로 하는 반도체 장치.

#### 청구항 8

제7항에 있어서,

상기 원자층 증착법은 금속을 포함하는 전구체를 챔버에 주입하고 기판의 표면에 흡착시킨 후 산소를 포함하는 반응체를 주입하여, 상기 전구체와 상기 반응체를 반응시켜 상기 금속 산화물 박막을 형성하는 것을 특징으로 하는 반도체 장치.

#### 청구항 9

삭제

#### 청구항 10

제7항에 있어서,

상기 고온 열처리 공정은 600 °C ~ 1500 °C의 온도 범위에서 열처리하는 것을 특징으로 하는 반도체 장치.

#### 청구항 11

삭제

#### 청구항 12

제7항에 있어서,

상기 금속 산화물 박막은 산화 실리콘(Silicon dioxide, SiO<sub>2</sub>), 산화 텅스텐(Tungsten trioxide, WO<sub>3</sub>), 산화 알루미늄(Aluminum oxide, Al<sub>2</sub>O<sub>3</sub>), 산화 티타늄(Titanium dioxide, TiO<sub>2</sub>), 산화 아연(Zinc oxide, ZnO), 산화 주석(Tin dioxide, SnO<sub>2</sub>), 인듐주석산화물(Indium tin oxide, ITO) 중에서 선택된 적어도 하나의 금속 산화물을 포함하는 것을 특징으로 하는 반도체 장치.

### 발명의 설명

### 기술 분야

[0001] 본 발명이 속하는 기술 분야는 금속 산화물 박막의 전기적 특성 향상 방법 및 반도체 장치에 관한 것이다.

### 배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 반도체 공정에서 층간 절연 물질(Inter-Layer Dielectric, ILD)로 사용되는 SiO<sub>2</sub>의 유전율(K값)은 3.9 ~ 4.2 범위이다. 유전율이 4.0 이하의 저유전체 재료(low-k 물질)는 반도체 금속 배선의 층간 물질(Inter Layer Dielectric 또는 Inter Metallic Dielectric)로 사용된다.

[0004] 반도체 ILD 공정에서 반도체 소자의 집적도가 올라감에 따라, 다층 공정에서 구조와 관계없이 균일한 두께의 산화물 박막을 쌓을 수 있는 기술이 필요하다.

[0005] 원자층 증착법(ALD)은 원자층 단위의 증착을 통해 얇고 고품질의 박막을 구현할 수 있고, 단차 피복성(step coverage)이 우수하여 넓은 면적 및 복잡한 입체 구조에 균일한 두께의 박막을 증착할 수 있는 장점이 있다.

[0006] 하지만, 원자층 증착법(ALD)을 이용하여 형성된 SiO<sub>2</sub> 박막은 5 이상의 유전율을 갖는 문제가 있다.

## 선행기술문헌

### 특허문헌

- [0007] (특허문헌 0001) 한국공개특허공보 제10-2009-0086547호 (2009.08.13)  
 (특허문헌 0002) 한국공개특허공보 제10-2014-0050581호 (2014.04.29)  
 (특허문헌 0003) 한국등록특허공보 제10-1787204호 (2017.10.11)

## 발명의 내용

### 해결하려는 과제

- [0008] 본 발명의 실시예들은 원자층 증착법(Atomic Layer Deposition, ALD)으로 구현된 금속 산화물 박막에 형성된 하이드록실기 불순물의 감소를 통해 금속 산화물 박막의 유전율을 감소시켜 ILD(Inter-Layer Dielectric) 특성을 향상시키는 데 주된 목적이 있다.
- [0009] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

### 과제의 해결 수단

- [0010] 본 실시예의 일 측면에 의하면, 원자층 증착법을 이용하여 하이드록실기 불순물을 포함하는 금속 산화물 박막을 형성하는 단계, 및 상기 금속 산화물 박막에 포함된 하이드록실기 불순물에 대해서 고온 열처리 공정을 통해 상기 금속 산화물 박막의 유전율을 감소시키는 단계를 포함하는 금속 산화물 박막의 절연 특성 향상 방법을 제공한다.
- [0011] 상기 원자층 증착법은 금속을 포함하는 전구체를 챔버에 주입하고 기판의 표면에 흡착시킨 후 산소를 포함하는 반응체를 주입하여, 상기 전구체와 상기 반응체를 반응시켜 상기 금속 산화물 박막을 형성할 수 있다.
- [0012] 상기 금속 산화물 박막을 형성하는 단계에서, 상기 원자층 증착법을 통해 형성된 금속 산화물 박막은 상기 하이드록실기 불순물의 분극 심화 현상에 의해 상기 금속 산화물 박막의 유전율이 5 이상을 가질 수 있다.
- [0013] 상기 고온 열처리 공정은 600 °C ~ 1500 °C의 온도 범위에서 열처리할 수 있다.
- [0014] 상기 금속 산화물 박막의 유전율을 감소시키는 단계에서, 상기 고온 열처리 공정에 의해 상기 하이드록실기 불순물을 감소시켜 상기 금속 산화물 박막의 유전율이 4 이하를 가질 수 있다.
- [0015] 상기 금속 산화물 박막은 산화 실리콘(Silicon dioxide, SiO<sub>2</sub>), 산화 텅스텐(Tungsten trioxide, WO<sub>3</sub>), 산화 알루미늄(Aluminum oxide, Al<sub>2</sub>O<sub>3</sub>), 산화 티타늄(Titanium dioxide, TiO<sub>2</sub>), 산화 아연(Zinc oxide, ZnO), 산화 주석(Tin dioxide, SnO<sub>2</sub>), 인듐주석산화물(Indium tin oxide, ITO) 중에서 선택된 적어도 하나의 금속 산화물을 포함할 수 있다.
- [0016] 본 실시예의 다른 측면에 의하면, 반도체 장치에 있어서, 기판, 및 상기 기판 위에 원자층 증착법을 이용하여 형성된 하이드록실기 불순물을 포함하는 금속 산화물 박막을 포함하며, 상기 금속 산화물 박막은 상기 금속 산화물 박막에 포함된 하이드록실기 불순물에 대해서 고온 열처리 공정을 통해 상기 금속 산화물 박막의 유전율이 감소된 것을 특징으로 하는 반도체 장치를 제공한다.

### 발명의 효과

- [0017] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 원자층 증착법(Atomic Layer Deposition, ALD)으로 구현된 금속 산화물 박막에 형성된 하이드록실기 불순물의 감소를 통해 금속 산화물 박막의 유전율을 감소시켜 ILD(Inter-Layer Dielectric) 특성을 향상시킬 수 있는 효과가 있다.
- [0018] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

## 도면의 간단한 설명

- [0019] 도 1은 본 발명의 일 실시예에 따른 금속 산화물 박막의 절연 특성 향상 방법을 예시한 흐름도이다.
- 도 2는 본 발명의 일 실시예에 따른 금속 산화물 박막의 절연 특성 향상 방법에 적용된 원자층 증착법을 예시한 도면이다.
- 도 3은 본 발명의 다른 실시예에 따른 반도체 장치를 예시한 도면이다.
- 도 4는 본 발명의 다른 실시예에 따른 반도체 장치에서 원자층 증착법에 의한 형성된 금속 산화물 박막의 XPS 분석 결과를 예시한 도면이다.
- 도 5는 본 발명의 다른 실시예에 따른 반도체 장치에서 원자층 증착법에 의한 형성된 금속 산화물 박막의 C-V 분석 결과를 예시한 도면이다.
- 도 6은 본 발명의 다른 실시예에 따른 반도체 장치에서 원자층 증착법에 의한 형성된 금속 산화물 박막의 유전율을 예시한 도면이다.
- 도 7은 본 발명의 다른 실시예에 따른 반도체 장치에서 고온 열처리 공정에 의해 개선된 금속 산화물 박막의 유전율을 예시한 도면이다.

## 발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.
- [0021] 원자층 증착법(Atomic Layer Deposition, ALD) 공정으로  $\text{SiO}_2$ 를 증착하게 되면 유전율이 5 이상으로 올라가는 현상이 발생하는데, 반도체 소자의 절연막으로 사용하려면 유전율을 다시 4 이하로 감소시킬 필요가 있다.
- [0022] 본 실시예에 따른 금속 산화물 박막의 절연 특성 향상 방법은 원자층 증착법(ALD)으로 구현된 금속 산화물 박막에 형성된 하이드록실기 불순물의 감소를 통해 금속 산화물 박막의 유전율을 감소시켜 ILD(Inter-Layer Dielectric) 특성을 향상시킨다. 본 실시예에 따른 금속 산화물 박막의 절연 특성 향상 방법은 모든 금속 산화물 박막에 공정에 적용 가능하다.
- [0023] 도 1은 본 발명의 일 실시예에 따른 금속 산화물 박막의 절연 특성 향상 방법을 예시한 흐름도이다.
- [0024] 금속 산화물 박막의 절연 특성 향상 방법은 원자층 증착법을 이용하여 하이드록실기 불순물을 포함하는 금속 산화물 박막을 형성하는 단계(S10) 및 금속 산화물 박막에 포함된 하이드록실기 불순물에 대해서 고온 열처리 공정을 통해 금속 산화물 박막의 유전율을 감소시키는 단계(S20)를 포함한다.
- [0025] 원자층 증착법을 통해 형성된 금속 산화물 박막은 하이드록실기 불순물의 분극 심화 현상에 의해 금속 산화물 박막의 유전율이 5 이상을 갖는다. 고온 열처리 공정에 의해 하이드록실기 불순물을 감소시켜 금속 산화물 박막의 유전율은 4 이하를 가질 수 있다. 5 이상의 유전율을 갖는 하이드록실기 불순물을 포함하는 금속 산화물 박막을 4 이하의 유전율을 갖도록 전기적 특성을 향상시킨다.
- [0026] 고온 열처리 공정은  $600\text{ }^{\circ}\text{C} \sim 1500\text{ }^{\circ}\text{C}$ 의 온도 범위에서 열처리할 수 있다. 또는 고온 열처리 공정은  $700\text{ }^{\circ}\text{C} \sim 1000\text{ }^{\circ}\text{C}$ 의 온도 범위에서 열처리할 수 있다. 또는 고온 열처리 공정은  $800\text{ }^{\circ}\text{C}$ 의 온도 범위에서 열처리할 수 있다.
- [0027] 금속 산화물 박막은 산화 실리콘(Silicon dioxide,  $\text{SiO}_2$ ), 산화 텅스텐(Tungsten trioxide,  $\text{WO}_3$ ), 산화 알루미늄(Aluminum oxide,  $\text{Al}_2\text{O}_3$ ), 산화 티타늄(Titanium dioxide,  $\text{TiO}_2$ ), 산화 아연(Zinc oxide,  $\text{ZnO}$ ), 산화 주석(Tin dioxide,  $\text{SnO}_2$ ), 인듐주석산화물(Indium tin oxide, ITO) 중에서 선택된 적어도 하나의 금속 산화물을 포함할 수 있으며, 이에 한정되지 않고 다른 금속 산화물 역시 적용 가능하다.
- [0028] 도 2는 본 발명의 일 실시예에 따른 금속 산화물 박막의 절연 특성 향상 방법에 적용된 원자층 증착법을 예시한 도면이다.
- [0029] 원자층 증착법(Atomic Layer Deposition, ALD)은 금속을 포함하는 전구체를 챔버에 주입하고 기판의 표면에 흡

착시킨 후 산소를 포함하는 반응체를 주입하여, 전구체와 반응체를 반응시켜 금속 산화물 박막을 형성하는 방식이다.

- [0030] 원자층 증착법(ALD) 공정은 막의 얇은 두께와 신뢰성을 동시에 만족시킬 수 있는 공정이다. ALD 공정은 입력 소스들을 순서에 맞추어 차례로 공급하여 단위자층 두께 조절이 가능한 공정이다.
- [0031] ALD 공정은 흡착 방식으로, 챔버나 트랜치의 벽면에도 잘 달라붙는다. 1차 소스(예컨대, 전구체)를 챔버에 넣으면 먼저 표면에 흡착이 일어나고, 이후 다른 종류의 2차 소스(예컨대, 반응체)를 넣으면 1차 흡착된 물질과 화학적 치환이 일어나서 최종적으로 신규 물질 막이 생성된다. 결국 하나의 층만 표면에 흡착된다. 퍼지(Purge) 과정에서 사용되는 가스는 아르곤(Ar), 질소(N<sub>2</sub>) 등의 비활성 가스가 사용될 수 있다.
- [0032] 열 원자층 박막 증착법 (Thermal atomic layer deposition, Th-ALD)을 이용한 산화물 공정은 전구체(precursor)에 의한 화학적 흡착, 퍼지(purge), 반응체(reactant)에 의한 산화작용, 퍼지의 4단계 과정을 1 cycle로 하는 공정으로 정교한 두께 조절, 대면적 박막 균일도를 확보할 수 있다. 또한 고온의 열 에너지만을 이용하여 기판의 손상을 최소화하고, 완전한 반응을 이끌어내 불순물이 적은 고밀도, 고품질 박막의 증착을 가능하게 한다.
- [0033] SiO<sub>2</sub> 박막을 예로 들어 설명하면, ALD 공정은 실리콘(Si) 원소를 함유하고 있는 염화실리콘 계열의 Si 전구체와 산소(O<sub>2</sub>)와 반응시킨다. 예컨대 600 °C의 Si 기판에 전구체를 노출시켜, 기판과 화학적 흡착 반응을 하게 되고, 반응에 참여하지 않은 남은 화학 물질을 퍼지시킨다. 이후, 박막에서 산소를 노출시킴으로써 Si 기판에 순수한 SiO<sub>2</sub> 박막을 성장시킨다. 마지막으로 생성된 잔여물과 반응에 참여하지 않은 화학 물질을 퍼지시킨다.
- [0034] 도 3은 본 발명의 다른 실시예에 따른 반도체 장치를 예시한 도면이다.
- [0035] 반도체 장치(100)는 기판(110) 및 금속 산화물 박막(120)을 포함한다. 금속 산화물 박막(120)은 절연막으로 사용될 수 있다. 반도체 장치(100)는 채널층, 전극층, 보호층, 등을 추가로 포함할 수 있다.
- [0036] 금속 산화물 박막(120)은 기판(110) 위에 원자층 증착법을 이용하여 형성된 하이드록실기 불순물을 포함한다. 기판(110)은 금속 산화물 박막(120)을 흡착시키는 판에 해당하며, 기판은 구현되는 반도체 장치의 목적에 따라 채널층, 전극층, 보호층 등을 의미할 수 있다.
- [0037] 금속 산화물 박막(120)은 금속 산화물 박막(120)에 포함된 하이드록실기 불순물에 대해서 고온 열처리 공정을 통해 금속 산화물 박막의 유전율이 감소된다.
- [0038] 원자층 증착법은 금속을 포함하는 전구체를 챔버에 주입하고 기판의 표면에 흡착시킨 후 산소를 포함하는 반응체를 주입하여, 전구체와 반응체를 반응시켜 금속 산화물 박막을 형성한다.
- [0039] 원자층 증착법을 통해 형성된 금속 산화물 박막은 하이드록실기 불순물의 분극 심화 현상에 의해 금속 산화물 박막의 유전율이 5 이상을 갖는다. 예컨대, 5 ~ 6 범위의 유전율을 가질 수 있다.
- [0040] 고온 열처리 공정에 의해 하이드록실기 불순물을 감소시켜 금속 산화물 박막의 유전율이 4 이하를 갖는다. 예컨대, 3 ~ 4 범위의 유전율을 가질 수 있다. 고온 열처리 공정은 600 °C ~ 1500 °C의 온도 범위에서 열처리할 수 있다.
- [0041] 금속 산화물 박막은 산화 실리콘(Silicon dioxide, SiO<sub>2</sub>), 산화 텅스텐(Tungsten trioxide, WO<sub>3</sub>), 산화 알루미늄(Aluminum oxide, Al<sub>2</sub>O<sub>3</sub>), 산화 티타늄(Titanium dioxide, TiO<sub>2</sub>), 산화 아연(Zinc oxide, ZnO), 산화 주석(Tin dioxide, SnO<sub>2</sub>), 인듐주석산화물(Indium tin oxide, ITO) 중에서 선택된 적어도 하나의 금속 산화물을 포함할 수 있으며, 이에 한정되지 않고 다른 금속 산화물 역시 적용 가능하다.
- [0042] 도 4는 본 발명의 다른 실시예에 따른 반도체 장치에서 원자층 증착법에 의한 형성된 금속 산화물 박막의 XPS 분석 결과를 예시한 도면이고, 도 5는 본 발명의 다른 실시예에 따른 반도체 장치에서 원자층 증착법에 의한 형성된 금속 산화물 박막의 C-V 분석 결과를 예시한 도면이고, 도 6은 본 발명의 다른 실시예에 따른 반도체 장치에서 원자층 증착법에 의한 형성된 금속 산화물 박막의 유전율을 예시한 도면이다.
- [0043] SiO<sub>2</sub> 박막은 ALD 장비에서 진행된 결과, XPS(X-ray photoelectron spectroscopy) 분석을 통해 박막 내 O1s 성분비를 확인하였고, SiO<sub>2</sub> 박막 내 하이드록실기(OH-Si)가 존재하는 것을 확인하였다. MOS 캐패시터를 이용하여



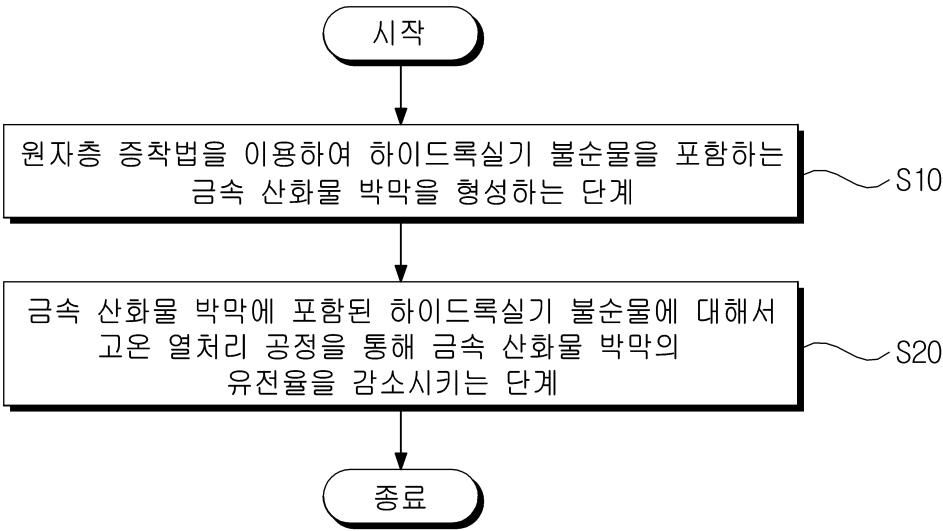
박막의 전기적 특성(Capacitance-Voltage, C-V)을 확인한 결과, 박막 내 존재하는 하이드록실기(OH-Si)의 분극 심화 현상으로 인해 기존 SiO<sub>2</sub> 박막의 유전율 (~3.9) 대비 유전율이 증가된 문제를 확인하였다.

- [0044] 도 7은 본 발명의 다른 실시예에 따른 반도체 장치에서 고온 열처리 공정에 의해 개선된 금속 산화물 박막의 유전율을 예시한 도면이다.
- [0045] 높아진 유전율에 대한 해결 수단으로 고온 열처리 공정을 적용한다.
- [0046] 예컨대, RTA(Rapid Thermal Annealing)를 이용해, 아르곤(Ar)으로 10 Torr의 공정 압력을 유지한 상태에서 800 °C 고온 열처리(annealing)를 10분 간 진행하였다. 모든 SiO<sub>2</sub> 박막(샘플1, 샘플2)에서 고온 열처리에 의해 박막의 유전율(Dielectric constant, k)이 감소하며, ILD 특성을 향상시킬 수 있음을 확인하였다. 고온 열처리 공정에 사용된 압력, 온도, 시간, 가스 등의 파라미터는 구현되는 설계에 따라 다른 수치 또는 다른 가스가 적용될 수 있다.
- [0047] 본 실시예에 따른 기술은 특정 박막과 공정법에 한정된 기술이 아닌, 모든 금속 산화물 박막에 적용 가능한 공정이다. 이를 통해 기존에 초집적도에서의 구조에 관계없이 고품질의 박막을 균일하게 증착 가능하다.
- [0048] 반도체 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.
- [0049] 반도체 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신 장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.
- [0050] 도 1에서는 각각의 과정을 순차적으로 실행하는 것으로 기재하고 있으나 이는 예시적으로 설명한 것에 불과하고, 이 분야의 기술자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 도 1에 기재된 순서를 변경하거나 일부 과정을 생략하여 실행하거나, 또는 하나 이상의 과정을 병렬적으로 실행하거나 다른 과정을 추가하는 것으로 다양하게 수정 및 변형하여 적용 가능할 것이다.
- [0051] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

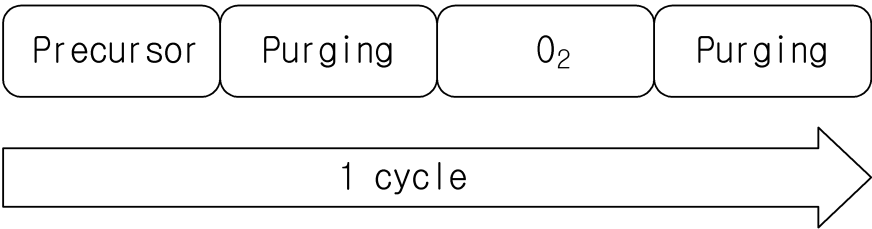


도면

도면1



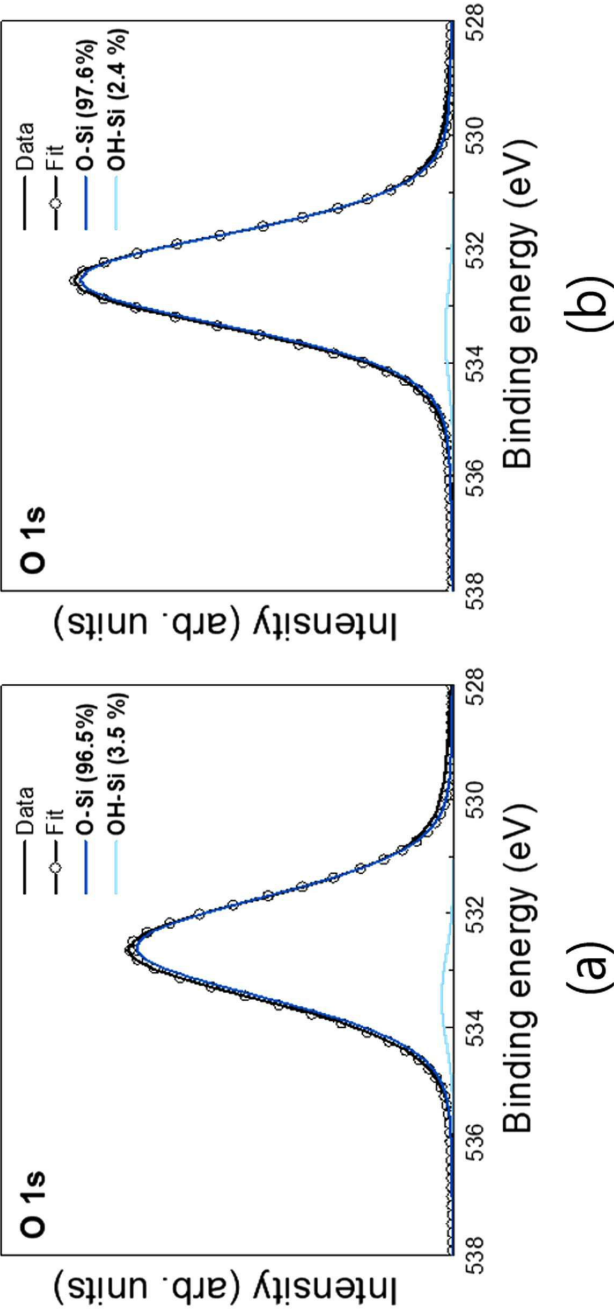
도면2



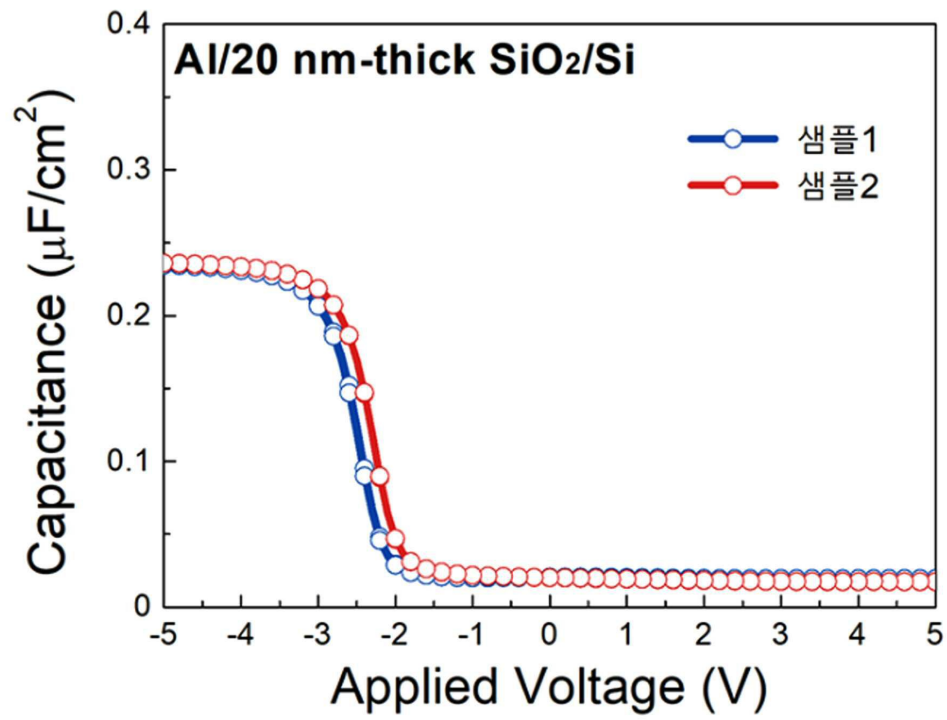
도면3



도면4



도면5



도면6

	O-Si (%)	OH-Si (%)	Dielectric constant (k)
샘플1	96.5	3.5	5.35
샘플2	97.6	2.4	5.09

도면7

