

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 29/786

(45) 공고일자 2005년09월16일
(11) 등록번호 10-0515214
(24) 등록일자 2005년09월08일

(21) 출원번호 10-2003-0006771
(22) 출원일자 2003년02월04일

(65) 공개번호 10-2004-0070598
(43) 공개일자 2004년08월11일

(73) 특허권자 학교법인연세대학교
서울 서대문구 신촌동 134번지

(72) 발명자 임성일
서울특별시마포구서교동338-33

김재훈
서울특별시서대문구대현동럭키아파트103-901

(74) 대리인 정세성

심사관 : 김기현

(54) 펜타센 박막 트랜지스터 제조방법

요약

본 발명은 펜타센 박막 트랜지스터 제조방법에 관한 것으로, 종래 펜타센 박막 트랜지스터 제조방법은 결정성 펜타센 박막을 사용하여, 제조공정시간이 지연되고, 정공의 이동도가 낮은 문제점이 있었다. 이와 같은 문제점을 감안한 본 발명은 다결정 또는 단결정 실리콘 기판 상에 실리콘 질화막 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막의 중앙 상부에 비정질-결정질 혼합상의 결정구조를 가지는 펜타센 박막을 형성하는 단계와; 상기 펜타센 박막의 상부일부와 게이트 절연막의 상부일부에 소스 및 드레인 전극을 형성하는 단계와; 상기 다결정 또는 단결정 실리콘 기판의 저면에 게이트 전극을 형성하는 단계로 이루어져, 펜타센 박막의 제조공정 시간을 단축함과 아울러 이동도 등 그 특성을 향상시키는 효과가 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 의해 제조된 펜타센 박막 트랜지스터의 단면도.

도 2는 도 1의 평면도.

도 3은 본 발명을 통해 제조한 펜타센 박막 트랜지스터들 중, 결정성 펜타센 박막 트랜지스터의 드레인전압과 게이트전압의 변화에 따른 드레인전류의 변화를 나타낸 그래프.

도 4는 게이트전압(V_G)을 -40으로 고정하고, 상온에서 각각 1, 3, 5, 7 Å/sec의 속도로, 펜타센 박막을 증착한 박막 트랜지스터와 60°C의 온도에서 7 Å/sec의 속도로 펜타센 박막을 증착한 박막 트랜지스터의 드레인 전압을 0~-40V로 변화시키면서 측정한 드레인전류의 변화 그래프.

도 5는 도 4에 나타난 각 펜타센 박막의 회절 결과를 나타낸 그래프.

도 6은 드레인전압을 고정한 상태에서, 게이트전압(V_G)과 드레인전류(I_D)의 제공근 사이의 관계를 나타내는 그래프.

도 7은 각 펜타센 박막 트랜지스터에서, 드레인전압이 고정된 상태에서 게이트전압의 변화에 따른 드레인전류의 변화와, 그 점별 전류비를 나타낸 그래프.

* 도면의 주요 부분에 대한 부호의 설명 *

1:다결정 또는 단결정 실리콘 기판 2:실리콘질화막

3:비정질-결정질 혼합상 펜타센 박막

4:소스 전극 5:드레인 전극

6:게이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 펜타센 박막 트랜지스터 제조방법에 관한 것으로, 특히 상온에서 비정질-결정질 혼합상의 펜타센 박막을 형성하여, 공정속도를 향상시키고 아울러 채널에서의 정공 이동도를 향상시키는데 적당하도록 한 펜타센 박막 트랜지스터 제조방법에 관한 것이다.

유기 박막 트랜지스터(OTFTs)는 지난 십여 년간 광범위하게 연구를 거듭해 오면서 소자의 성능 면에서 괄목할 만한 성장을 이루어 냈다.

특히, 많은 유기물질 중에서 펜타센(Pentacene)은 정공 이동에 있어서, 가장 높은 이동도를 나타내는 유기물질이다.

상기 펜타센 박막은 유기 박막 트랜지스터의 활성층으로 사용되며, 수소화 비정질 실리콘(a-Si:H)소자에 근접하거나, 이를 능가하는 특성을 나타내어 많은 관심이 집중되고 있다.

상기 펜타센 박막은 열증착법을 사용하여 증착되며, 종래에는 높은 전공 이동도를 갖는 유기 박막 트랜지스터를 제조하기 위하여, 낮은 증착속도로 양질의 단결정 펜타센 박막을 형성하였다.

그러나, 이와 같이 양질의 단결정 펜타센 박막을 증착하는 경우, 제조공정시간의 증가로 인해 생산성이 저하되며, 제조비용 또한 증가하게 되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

이와 같은 문제점을 감안한 본 발명은 펜타센 박막의 증착시간을 단축하며, 펜타센 박막을 사용하는 유기 박막 트랜지스터의 전공 이동도를 보다 향상시킬 수 있는 펜타센 박막 트랜지스터 제조방법을 제공함에 그 목적이 있다.

상기와 같은 목적을 달성하기 위한 본 발명은 펜타센 박막의 상온에서의 증착속도를 변화시키며, 그 속도의 변화에 따른 이동도의 변화를 측정하여 최적의 특성을 가지는 펜타센 박막 트랜지스터를 제조하도록 구성됨을 그 특징으로 한다.

상기 펜타센 박막은 비정질과 결정질이 최적의 비율로 혼합되어, 이동도, 점멸전류비의 특성이 가장 우수한 것을 그 특징으로 한다.

발명의 구성 및 작용

이하, 상기와 같이 구성된 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

도 1은 본 발명에서 제안하는 펜타센 박막 트랜지스터 제조방법으로 제작한 펜타센 박막 트랜지스터의 단면도로서, 이에 도시한 바와 같이 다결정 또는 단결정 실리콘 기판(1)의 상부 전면에 실리콘질화막(SiN_x, 2)을 증착한 후, 그 실리콘질화막(2)의 중앙상부에 비정질-결정질 혼합상 펜타센 박막(3)을 상온에서 열증착법으로 증착하여 형성하는 단계와; 상기 비정질-결정질 혼합상 펜타센 박막(3)의 중앙부를 중심으로 상호 소정거리 이격됨과 아울러 상기 비정질-결정질 혼합상 펜타센 박막(3)의 상부와 상기 실리콘질화막(2)의 일부에 위치하는 소스 전극(4) 및 드레인 전극(5)을 형성하는 단계와; 상기 다결정 또는 단결정 실리콘 기판(1)의 저면에 게이트 전극(6)을 형성하는 단계로 제조된다.

이하, 상기와 같이 구성되는 본 발명을 보다 상세히 설명한다.

먼저, 다결정 또는 단결정 실리콘 기판(1)의 상부에 플라즈마 강화 화학 기상 증착법(PECVD)을 이용하여 실리콘질화막(2)을 증착한다.

이때, 실리콘질화막(2)의 두께는 240nm, 그 굴절률은 1.864(642.8nm에서)이 되도록 한다.

실리콘질화막(2)의 일예인 Si₃N₄는 그 유전상수가 7.5로 알려져 있으며, 본 발명에서는 전압-정전용량 실험을 통해 유전상수가 약 6.5로 측정되어지는 실리콘질화막(SiN_x)를 사용한다.

상기 실리콘질화막(2)은 게이트절연막으로 사용되며, 그 표면을 T.C.E.(트리 클로로 에틸렌), 아세톤, 메탄올, 비 이온화수의 순서로 초음파 세정한다.

그 다음, 상기 세정된 실리콘질화막(2)의 중앙상부에 비정질-결정질 혼합상 펜타센 박막(3)을 열증착한다.

이때, 증착 챔버의 내부 진공도는 5×10^{-7} torr이며, 금속마스크를 사용하여 상기 실리콘질화막(2)의 중앙상부에만 상기 비정질-결정질 혼합상 펜타센 박막(3)을 형성한다.

상기 챔버의 온도는 상온(25℃)을 사용하였으며, 이와를 특성비교를 위해 60℃의 온도에서 제작하였다.

본 발명의 실시예에서는 상온(25℃)에서 1, 3, 5, 7 Å/sec의 증착속도로 펜타센 박막(3)을 증착함과 아울러 60℃에서 7 Å/sec의 증착속도로 그 펜타센 박막(3)을 증착하였다.

이와 같이 펜타센 박막(3)을 증착한 후, 그 펜타센 박막(3)의 결정성을 조사하기 위하여 CuKα(1.54 Å) 단색광을 이용한 X선 회절 실험을 시행하였다. 그 결과 비정질-결정질 혼합상 펜타센 박막은 5~7 Å/sec의 속도로 증착하였을 때 생성된다.

1~3 Å/sec의 속도로 증착하였을 때에는 결정질 펜타센 박막이 형성되며, 60℃의 온도에서, 7 Å/sec의 속도로 증착하였을 때에는 비정질 펜타센 박막이 형성됨을 확인하였다.

이때 얻어지는 비정질 펜타센 박막을 이용하는 경우에도 본 발명의 실시예에서 언급하는 비정질-결정질 혼합상 펜타센 박막(3)과 동일 또는 유사한 효과를 얻을 수 있다.

상기의 조건으로 증착된 펜타센 박막(3)의 평균 두께는 80~100nm로 측정되었다.

그 다음, 상기 비정질-결정질 혼합상 펜타센 박막(3)과 실리콘질화막(2)의 상부일부에 금을 증착하여, 소스 전극(4)과 드레인 전극(5)을 형성한다.

이때, 역시 상기 비정질-결정질 혼합상 펜타센 박막(3)과 유사한 방법으로 금속마스크를 사용하여 원하는 위치에만 상기 금이 증착되도록 한다.

상기 소스 전극(4)과 드레인 전극(5)의 사이영역은 채널이 되며, 본 발명에서는 그 채널의 길이를 $90\mu\text{m}$ 로 하였으며, 그 채널의 폭은 $500\mu\text{m}$ 로 하였다. 또한, 상기 소스 전극(4)과 드레인 전극(5)의 두께는 200nm 가 되도록 한다.

그 다음, 상기 다결정 또는 단결정 실리콘 기판(1)의 저면에는 게이트전압의 인가를 위해 소정면적으로 In을 증착하여, 게이트 전극(6)을 형성한다.

상기와 같이 본 발명 펜타센 박막 트랜지스터 제조방법에 따라 제작된 펜타센 박막 트랜지스터의 특성을 측정하기 위해 실험을 하였다.

각 실험은 게이트 전극(6)에 음의 전압을 인가하고, 소스 전극(4)은 접지시켰으며, 드레인 전극(5)에는 역시 음의 전압을 인가하여 그 게이트 전극(6)의 전압 또는 드레인 전극(5)의 전압변화에 따른 드레인전류의 변화를 측정하였다.

이와 같은 실험은 상온의 암실에서 이루어졌으며, 실험장비는 HP 4145B 특성분석기를 사용하였다.

도 3은 본 발명을 통해 제조한 펜타센 박막 트랜지스터들 중, 증착속도가 $1\text{\AA}/\text{sec}$ 인 펜타센 박막 트랜지스터의 드레인전압과 게이트전압(V_G)의 변화에 따른 드레인전류의 변화를 나타낸 그래프로서, 이에 도시한 바와 같이 게이트전압(V_G)은 -10 , -20 , -30 및 -40V 로 변화시켰으며, 드레인전압은 0V 에서 약 -25V 까지 선형으로 변화시켰다.

그 결과 드레인전류는 약 650nA 의 포화전류(I_{D-SAT})가 얻어졌으며, 이는 그 포화전류가 작아서 사용할 수 없다.

또한, 도 4는 게이트전압(V_G)을 -40 으로 고정하고, 상온에서 각각 1 , 3 , 5 , $7\text{\AA}/\text{sec}$ 의 속도로, 펜타센 박막을 증착한 박막 트랜지스터와 60°C 의 온도에서 $7\text{\AA}/\text{sec}$ 의 속도로 펜타센 박막을 증착한 박막 트랜지스터의 드레인 전압을 $0\sim-40\text{V}$ 로 변화시키면서 측정한 드레인전류의 변화 그래프로서, 이에 도시한 바와 같이 상기 상온에서 $7\text{\AA}/\text{sec}$ 의 속도로 펜타센 박막을 증착한 경우 그 포화전류의 크기가 $5\mu\text{A}$ 까지 증가됨을 알 수 있다.

즉, 펜타센 박막의 두께와, 채널의 폭 및 길이가 동일한 것임에도 불구하고, 그 펜타센 박막의 증착 속도에 따라 포화전류의 크기가 다르게 됨을 알 수 있다.

또한, 상온이 아닌 60°C 의 온도분위기에서 $7\text{\AA}/\text{sec}$ 의 속도로 증착한 펜타센 박막을 사용하는 경우에는 그 포화전류가 $18\mu\text{A}$ 로 크게 증가함을 알 수 있다.

이와 같이 동일한 규격의 펜타센 박막을 활성층으로 사용하는 경우에도, 그 증착속도와 증착시 가해지는 온도에 따라 그 특성이 변화되는 것을 발견하였다.

상기의 특성변화는 펜타센 박막의 결정성에 기인한 것이며, 그 결정성을 판단하기 위해 각 펜타센 박막에 대한 X선 회절 실험 결과를 도 5에 나타내었다.

도 5는 각 펜타센 박막의 회절 결과를 나타낸 그래프로서, $1\text{\AA}/\text{sec}$ 의 속도로 상온에서 증착한 경우가 가장 결정성이 좋으며, $5\sim7\text{\AA}/\text{sec}$ 의 속도로 증착한 펜타센 박막은 단 하나의 회절 피크를 나타내며, 비정질과 결정질이 혼합된 혼합상을 나타낸다.

또한, 기판온도가 60°C 에서 $7\text{\AA}/\text{sec}$ 의 속도로 증착된 펜타센 박막은 회절 피크가 나타나지 않으며, 이는 비정질 펜타센 박막이 증착되었음을 나타낸다.

펜타센 박막에서 정공의 전계 효과 이동도는 게이트 전압(V_G)과 음의 드레인전류(I_D)의 제곱근에 의해 나타난다.

도 6은 드레인전압을 고정된 상태에서, 게이트전압(V_G)과 드레인전류(I_D)의 제공근 사이의 관계를 나타내는 그래프로서, 이에 도시한 바와 같이 증착속도가 빠를수록 결정성은 저하되나, 그 이동도의 값은 증착속도 및 증착온도에 따라 증가하는 것을 알 수 있다.

아래의 수학식1은 게이트전압, 문턱전압, 실리콘질화막의 유전율, 전계효과이동도, 채널길이와 폭을 이용하여 포화 드레인전류를 수식으로 표현한 것이다.

수학식 1

$$I_{D-SAT} = (WC_i/2L) \mu (V_G - V_T)^2$$

상기 수학식1에서 I_{D-SAT} 은 포화 드레인전류 W 는 채널폭, L 은 채널길이, C_i 는 단위면적당 게이트 절연막(실리콘 질화막)의 유전율, μ 는 전계효과 이동도, V_T 는 문턱전압을 나타낸다.

상기 수학식1에서 드레인전압(V_D)이 게이트전압(V_G)보다 큰 경우 드레인전류(I_D)는 운반자 축적층의 핀치오프(PINCH-OFF)에 의해 포화되고, 그 드레인전류(I_D)는 게이트와 소스 사이의 전압 스윙의 제공근에 비례한다는 것이 예상된다.

상기의 실험 결과들에서 결정성이 가장 우수한 1 Å/sec 의 속도로 증착한 펜타센 박막의 이동도는 $0.01 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 매우 낮은 값을 나타내며, 상온에서 5 Å/sec 의 속도로 증착된 펜타센 박막의 이동도는 $0.10 \text{ cm}^2/\text{V} \cdot \text{s}$ 이고, 이동도가 가장우수한 것은 비정질인 60°C 의 온도분위기에서, 7 Å/sec 의 속도로 증착된 펜타센 박막인 것을 알 수 있다.

이와 같이 펜타센 박막 트랜지스터의 특성을 나타내는 요소로서, 전공의 이동도는 온도 분위기가 높고 빠른 증착속도로 증착된 펜타센 박막이 가장 우수하다. 하지만, 펜타센 박막 트랜지스터의 특성을 나타내는 요소로서 이동도 외에 중요하게 고려되어야 할 점별 전류비는 60°C 의 온도에서, 7 Å/sec 의 속도로 증착된 펜타센 박막이 가장 나쁜 특성을 나타낸다.

도 7은 각 펜타센 박막 트랜지스터에서, 드레인전압이 고정된 상태에서 게이트전압의 변화에 따른 드레인전류의 변화와, 그 점별 전류비를 나타낸 그래프로서, 이에 도시한 바와 같이 상기 60°C 의 온도에서, 7 Å/sec 의 속도로 증착된 펜타센 박막을 가지는 펜타센 박막 트랜지스터는 10^4 의 다소 낮은 점별 전류비를 유발하는 큰 오프 상태의 누설전류가 발생함을 알 수 있다.

그러나, 상온에서 5 Å/sec 의 속도로 증착한 펜타센 박막을 가지는 펜타센 박막 트랜지스터는 $-40 \sim 40\text{V}$ 의 게이트 전압 변화내에서 10^5 에 달하는 큰 점별 전류비를 나타낸다. 즉, 오프 상태에서의 누설전류가 작게 된다.

이는 상기 비정질의 펜타센 박막의 경우, 이동도가 높으나 누설 전류를 유발하는 많은 트랩을 가지는 것으로 설명할 수 있다.

즉, 본 발명에서 제안하는 최적의 이동도 및 점별 전류의 비를 나타내는 펜타센 박막은 상온에서 5 Å/sec 의 속도로 증착된 펜타센 박막이다.

이는 결정성과 비정질이 적절하게 혼합되었을 때 가장 우수한 특성을 나타내는 것이라 할 수 있다.

또한, 높은 이동도 및 점별 전류비와 더불어 낮은 부 문턱 기울기 또한 박막 트랜지스터의 중요한 요소이며, 이는 소비전력의 고저를 판단할 수 있는 기준이 된다.

상기 부 문턱 기울기와 완전히 오프 상태가 되기 이전에 나타나는 잔여전류언덕(도 7에서 A와 B)을 통해 비교할 수 있다.

상기 60℃의 온도에서 7 Å/sec의 속도로 증착한 펜타센 박막의 부 문턱기울기 값이 4.10V/decade보다 높은 부문턱 기울기 값보다 높으며, 잔여전류 언덕(B)이 높아 그 특성이 좋지 않음을 알 수 있다.

상기 잔여전류 언덕(B)의 특성은 많은 양의 게이트 전압이 채널의 운반자 결핍을 위해 가해질 때 펜타센 박막의 채널층에 포획되어 있던 잔여 전하들이 빠져 나오면서 생기는 것이다.

이와 같은 실험들을 통해서, 본 발명에서 제안하는 가장 우수한 특성을 나타내는 펜타센 박막 트랜지스터는 그 펜타센 박막을 상온에서 5 Å/sec의 속도로 증착한 것이며, 이는 비정질-결정질의 혼합상을 나타낸다.

발명의 효과

상기한 바와 같이 본 발명 펜타센 박막 트랜지스터 제조방법은 결정질 펜타센 박막의 형성에 비하여 보다 빠른 속도로 펜타센 박막을 형성할 수 있어, 그 제조공정 시간을 단축하는 효과가 있다.

또한, 보다 높은 전계 효과 이동도를 나타내는 비정질-결정질 혼합상의 펜타센 박막을 제작 및 응용하여, 펜타센 박막 트랜지스터의 특성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

다결정 또는 단결정 실리콘 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막의 중앙 상부에 비정질-결정질 혼합상의 결정구조를 가지는 펜타센 박막을 형성하되, 상기 펜타센 박막은 상온에서 5~7 Å/sec의 속도로 증착하는 단계;

상기 펜타센 박막의 상부일부와 게이트 절연막의 상부일부에 소스 및 드레인 전극을 형성하는 단계;

상기 다결정 또는 단결정 실리콘 기판의 저면에 게이트 전극을 형성하는 단계;로 이루어진 것을 특징으로 하는 펜타센 박막 트랜지스터 제조방법.

청구항 4.

다결정 또는 단결정 실리콘 기판 상에 게이트 절연막을 형성하는 단계;

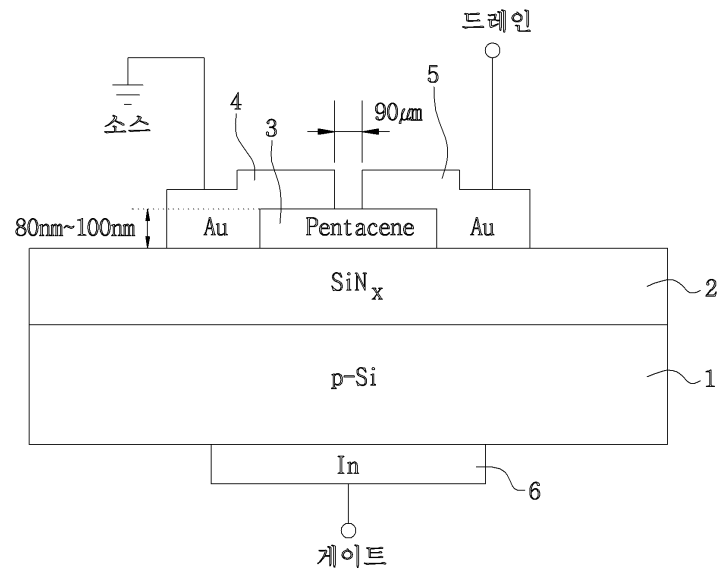
상기 게이트 절연막의 중앙 상부에 비정질-결정질 혼합상의 결정구조를 가지는 펜타센 박막을 형성하되, 상기 펜타센 박막은 비정질 결정상을 가지는 박막이며, 60℃의 온도에서 7 Å/sec의 속도로 증착하는 단계;

상기 펜타센 박막의 상부일부와 게이트 절연막의 상부일부에 소스 및 드레인 전극을 형성하는 단계;

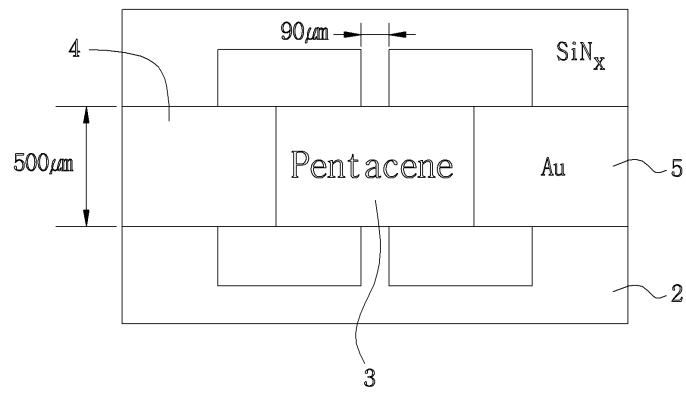
상기 다결정 또는 단결정 실리콘 기판의 저면에 게이트 전극을 형성하는 단계;로 이루어진 것을 특징으로 하는 펜타센 박막 트랜지스터 제조방법.

도면

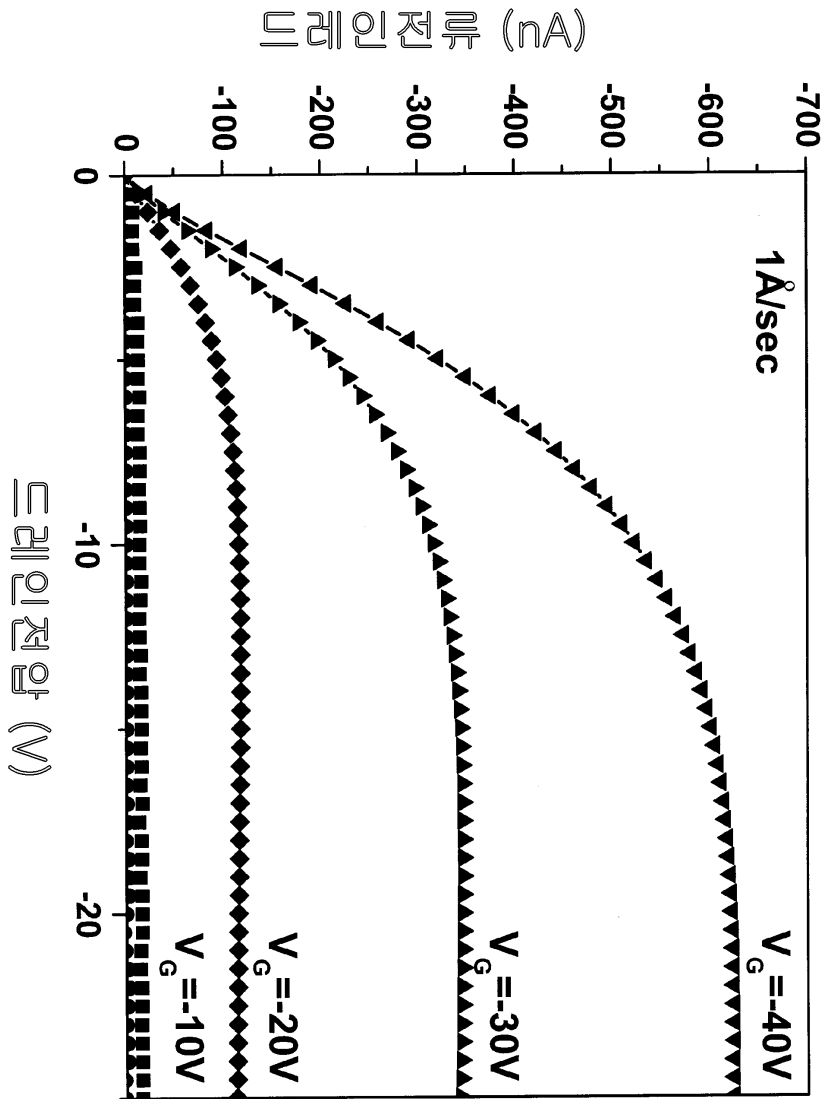
도면1



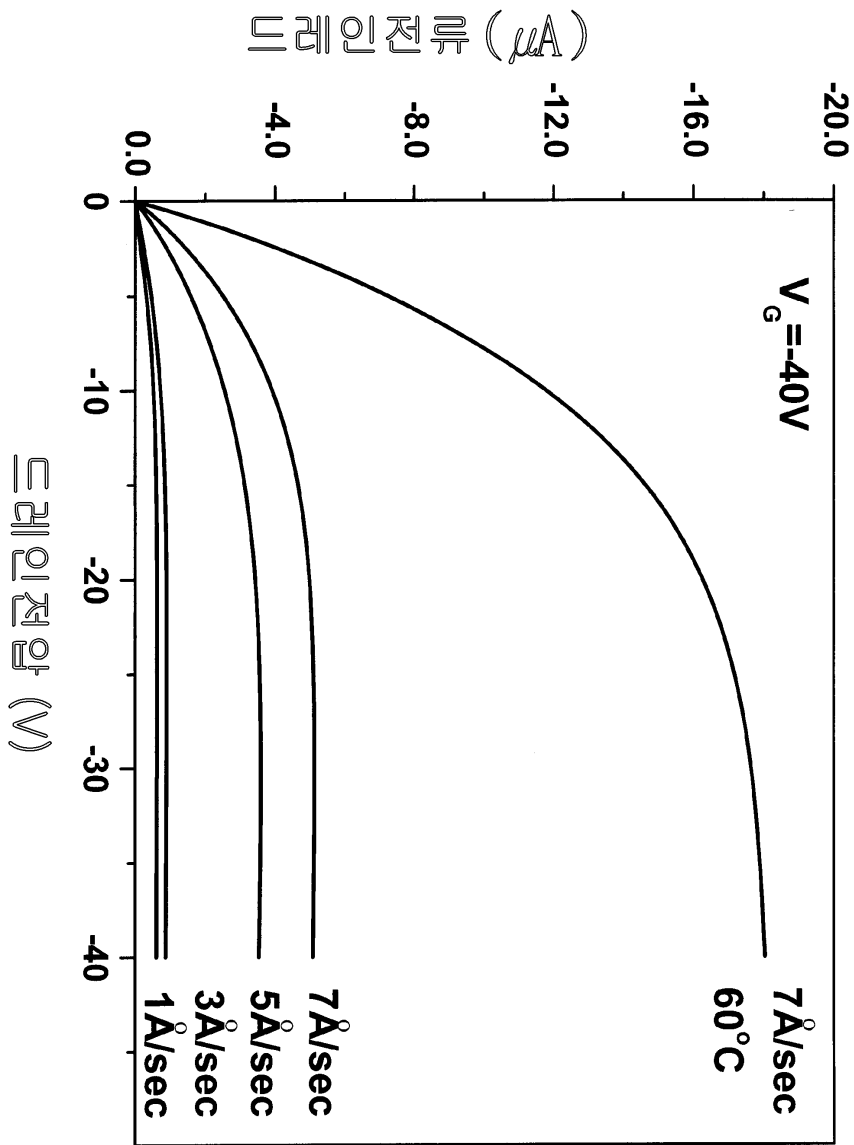
도면2



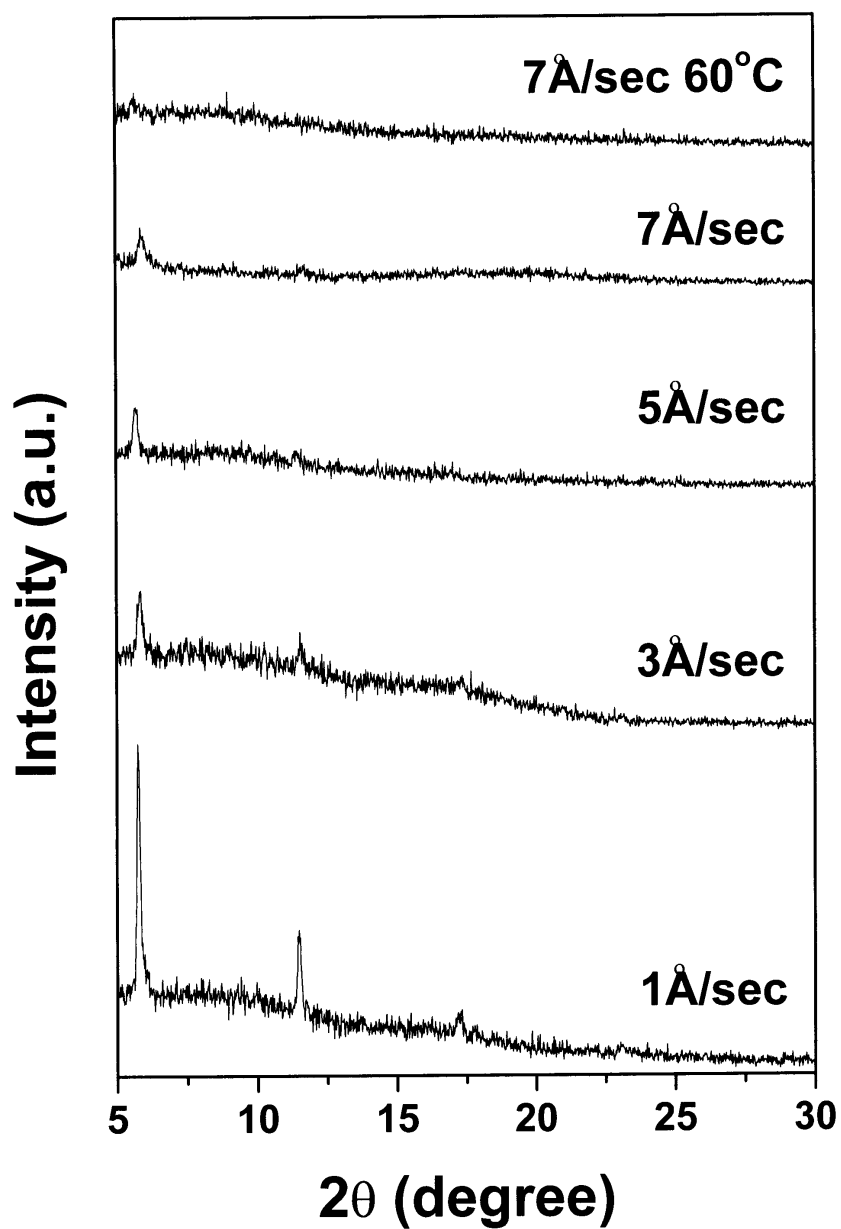
도면3



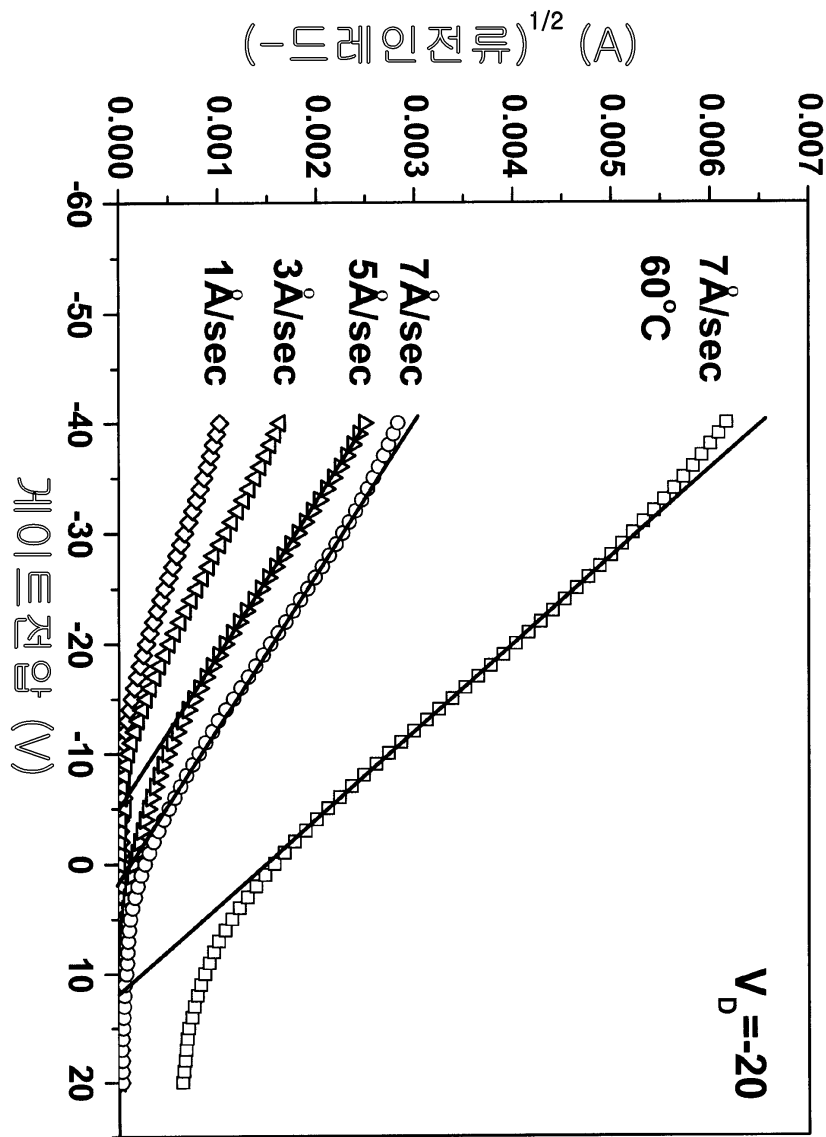
도면4



도면5



도면6



도면7

