



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0098900
(43) 공개일자 2018년09월05일

(51) 국제특허분류(Int. Cl.)

H01L 27/092 (2006.01) H01L 21/8238 (2006.01)

H01L 27/12 (2006.01)

(52) CPC특허분류

H01L 27/092 (2013.01)

H01L 21/823807 (2013.01)

(21) 출원번호 10-2017-0025643

(22) 출원일자 2017년02월27일

심사청구일자 2017년02월27일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

전성찬

서울특별시 서대문구 연세로 50 (신촌동)

윤형서

서울특별시 서대문구 연세로 50 (신촌동)

(74) 대리인

윤병국, 이영규

전체 청구항 수 : 총 8 항

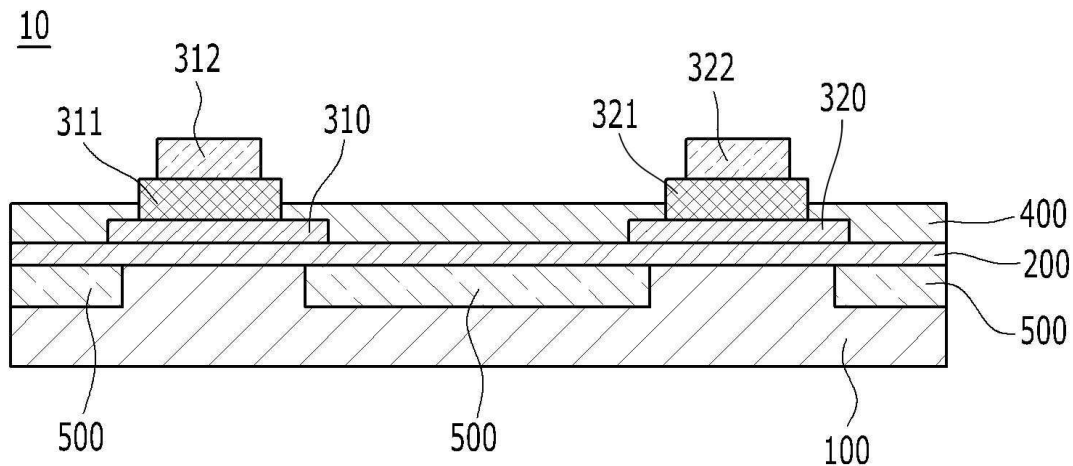
(54) 발명의 명칭 전이금속 칼코게나이드 채널과 그래핀 전극을 이용한 다중 게이트 구조의 CMOS 인버터 디바이스

(57) 요약

본 발명은 트랜지스터를 이용한 상보적 금속 산화물 반도체(CMOS, Complementary Metal Oxide Semiconductor) 인버터 디바이스에 관한 것으로서, 보다 상세하게는 전이금속 칼코게나이드(Chalcogenide)를 트랜지스터 채널로 활용하고 이의 소스/드레인 전극으로서 그래핀(Graphene)을 적용하는 CMOS 인버터 디바이스에 관한 것이다.

(뒷면에 계속)

대 표 도 - 도3



본 발명의 일 실시예에 따르면, 일 측에 관통홀을 형성하고, 배기가스가 유동하는 원형의 유로가 형성되는 밸브하우징; 상기 밸브하우징의 유로를 형성하는 내경부에 설치되는 시트링; 상기 관통홀에 수용되어 회전 구동하는 샤프트; 및 원판형태로 이루어지며, 상기 샤프트의 단부에서 연결되어 상기 샤프트의 회전과 연동하면서 상기 유로를 개폐하는 밸브판을 포함하고, 상기 밸브판의 상기 시트링과 맞닿는 외주연에는 환형의 제1그루브가 형성되며, 상기 제1그루브에 장착되어 상기 유로를 실링하되, 상기 밸브판이 폐쇄위치에 있을 때는 수축되고 상기 밸브판이 개방위치에 있을 때는 이완되는, 타원형상의 실링(seal-ring)을 더 포함하는 것을 특징으로 하는 플랩밸브를 제공한다.

(52) CPC특허분류

H01L 21/823814 (2013.01)

H01L 27/124 (2013.01)

H01L 27/1255 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10060305

부처명 산업통상자원부

연구관리전문기관

연구사업명 산업기술혁신사업

연구과제명 [RCMS]주식회사캔티스/알츠하이머성 경도인지장애 진단 시스템 개발(1/3)

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2015.12.01 ~ 2016.11.30

명세서

청구범위

청구항 1

n-type 금속 산화 반도체 전계 효과 트랜지스터(FET)와 p-type 금속 산화 반도체 전계 효과 트랜지스터(FET)를 포함하는 상보적 금속 산화물 반도체(CMOS) 인버터를 포함하되,

상기 n-type 금속 산화 반도체 전계 효과 트랜지스터와 p-type 금속 산화 반도체 전계 효과 트랜지스터는 소스 및 드레인 전극으로서 탄소나노소재를 사용하는 것을 특징으로 하는 디바이스.

청구항 2

제1항에 있어서,

상기 탄소나노소재는 그래핀(Graphene)인 것을 특징으로 하는 디바이스.

청구항 3

제1항에 있어서,

상기 n-type 금속 산화 반도체 전계 효과 트랜지스터와 p-type 금속 산화 반도체 전계 효과 트랜지스터의 채널은 각각 2차원 특성을 갖는 마이크로 미터 단위의 박막의 물질로 이루어지는 것을 특징으로 하는 디바이스.

청구항 4

제3항에 있어서,

상기 n-type 금속 산화 반도체 전계 효과 트랜지스터의 채널은 MoS_2 로 형성되고, p-type 금속 산화 반도체 전계 효과 트랜지스터의 채널은 WSe_2 로 형성되는 것을 특징으로 하는 디바이스.

청구항 5

제1항에 있어서,

상기 n-type 금속 산화 반도체 전계 효과 트랜지스터에 연결되는 제1게이트와 상기 p-type 금속 산화 반도체 전계 효과 트랜지스터에 연결되는 제2게이트 이외에 별도의 제3게이트를 더 포함하는 것을 특징으로 하는 디바이스.

청구항 6

제5항에 있어서,

상기 제3게이트는 상기 소스 및 드레인 전극의 work function을 조절하기 위한 게이트인 것을 특징으로 하는 디바이스.

청구항 7

제5항에 있어서,

상기 제3게이트는 상기 CMOS 인버터 디바이스의 단면에서 보아, n-type 금속 산화 반도체 전계 효과 트랜지스터의 채널과 p-type 전계효과 트랜지스터의 채널 사이 영역에 배치되는 것을 특징으로 하는 디바이스.

청구항 8

제5항에 있어서,

상기 제3게이트는,

상기 CMOS 인버터 디바이스의 단면에서 보아,

상기 n-type 금속 산화 반도체 전계 효과 트랜지스터 및 p-type 금속 산화 반도체 전계 효과 트랜지스터를 포함한 한 두 개의 트랜지스터와 기판 사이를 절연시키는 유전체의 하부에 배치되는 것을 특징으로 하는 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터를 이용한 상보적 금속 산화물 반도체(CMOS, Complementary Metal Oxide Semiconductor) 인버터 디바이스에 관한 것으로서, 보다 상세하게는 전이금속 칼코게나이드(Chalcogenide)를 트랜지스터 채널로 활용하고 이의 소스/드레인 전극으로서 그래핀(Graphene)을 적용하는 CMOS 인버터 디바이스에 관한 것이다.

배경 기술

[0002] 금속 산화 반도체 전계 효과 트랜지스터는 흔히 MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)라 하며, 반도체 내의 내부 전기전도과정에서 하나의 극성의 반송자(전자 또는 정공)만 관여하는 반도체로서, 단극성 트랜지스터라고도 한다. FET의 동작원리는 반도체 결정의 도전성과 전기저항을 전계(Electric Field)로 제어한다는 점을 특징으로 하고, 입력 임피던스가 일반 트랜지스터에 비해 매우 높아, 일반적인 쌍극성 트랜지스터와 달리 실질적으로 제어전류는 거의 흐르지 않고 제어전압을 통해 신호 증폭, 스위칭 등의 능동적 역할을 수행하게 된다.

[0003] 이러한 MOSFET은 출력손실 없이 제어가 이루어진다는 장점 이외에도 집적화가 용이하다는 장점이 있어, 매우 정밀한 스케일링(scaling)이 요구되는 반도체 산업에서 상당히 큰 비중으로 활용되고 있다.

[0004] 상보적 금속 산화 반도체(CMOS, Complementary Metal Oxide Semiconductor) 인버터는 디지털 논리회로 등에 활용되는 신호 처리 소자로서 일반적으로 p-type MOSFET(PMOS)와 n-type MOSFET(NMOS) 소자를 연결함으로써 구성된다.

[0005] 도 1은 CMOS 인버터 회로를 도시한 회로도이다.

[0006] 구체적으로 도 1에 도시된 바와 같이 NMOS와 PMOS의 각 게이트(Gate)는 공통으로 입력단(In)에 연결하고, PMOS의 소스(Source)를 전원단자(Vdd)에 연결한다. 그리고 PMOS의 드레인(Drain)을 NMOS의 드레인과 공통으로 출력단(Out)에 연결하며, NMOS의 소스는 접지단(Vss)에 연결한다.

[0007] 이때 입력단(In)으로부터 인풋 전압이 들어오게 되면 이는 각 트랜지스터의 게이트(Gate) 전압으로서 각각의 PMOS와 NMOS에 동시에 인가된다.

[0008] PMOS와 NMOS는 전압인가 시에 그 특성이 상호 반대로 발현되므로 인가되는 인풋 전압에 따라 한쪽이 턴-On상태가 되면 다른 한쪽은 턴-Off가 되는 방식으로 동작하게 된다. PMOS와 NMOS가 상호 보완적으로 턴-On, 턴-Off로서 작동하기 때문에 CMOS소자라 불린다.

[0009] 상기 CMOS 소자를 비롯하여 각종 반도체 소자들은 핸드폰, 카메라 등과 같은 디지털 제품의 컴팩트화, 소형화 추세에 발맞추어 성능은 유지한채로 최대한 작은 사이즈를 가질 수 있도록 개발되어 왔다.

[0010] 그 일례로 대한민국 공개특허공보 10-2011-0123037, 대한민국 등록특허 10-0901063(소멸) 등을 살펴보면 현재까지의 반도체 소자들은 모듈 내의 불필요한 요소들의 삭제 내지 축소, 반도체 칩(chip) 상의 효율적인 배치 등의 방법으로 용량 대비 공간효율성을 높이는 방식으로 그 경쟁력을 높여 왔으나 이러한 방식에 의한 성능향상은 물

리적 한계점에 이르렀다고 보여진다.

- [0011] PMOS와 NMOS를 포함하는 CMOS 인버터 디바이스는 주로 실리콘 기반의 재료를 사용하여 제조되는데, 실리콘을 다룬 사이징하는 것 또한 한계가 있는 바 반도체 장치 소형화에 있어 새로운 방식의 연구가 필요한 실정이다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 대한민국 공개특허공보 10-2011-0123037호
(특허문헌 0002) 대한민국 등록특허 10-0901063호

발명의 내용

해결하려는 과제

- [0013] 본 발명은 상기한 문제점을 해결하기 위해 안출된 것으로서, 전이금속 칼코게나이드가 전기적으로 반도체의 특성을 가진 한편, 박막화에 유리하다는 특징을 CMOS 인버터 디바이스 소자에 적용함으로써 종래기술에 비해 보다 새롭고 효율적인 방식으로 반도체 장치의 소형화를 도모하고자 한다.

과제의 해결 수단

- [0014] 본 발명의 일 실시예에 따르면, n-type 금속 산화 반도체 전계 효과 트랜지스터(NMOS)와 p-type 금속 산화 반도체 전계 효과 트랜지스터(PMOS)를 포함하는 상보적 금속 산화물 반도체(CMOS) 인버터 디바이스를 포함하되, 상기 n-type 금속 산화 반도체 전계 효과 트랜지스터와 p-type 금속 산화 반도체 전계 효과 트랜지스터는 소스 및 드레인 전극으로서 탄소나노소재를 사용하는 장치를 제공하고자 한다.
- [0015] 일 실시예에 따르면, 상기 탄소나노소재는 그래핀(Graphene)일 수 있다.
- [0016] 일 실시예에 따르면, 상기 n-type 금속 산화 반도체 전계 효과 트랜지스터와 p-type 금속 산화 반도체 전계 효과 트랜지스터의 채널은 각각 2차원 특성을 갖는 마이크로미터 단위의 박막의 물질로 이루어질 수 있다.
- [0017] 일 실시예에 따르면 상기 n-type 금속 산화 반도체 전계 효과 트랜지스터의 채널과 p-type 금속 산화 반도체 전계 효과 트랜지스터의 채널은 전이금속 칼코게나이드인 것을 특징으로 할 수 있다. 소스 및 드레인 전극으로서 그래핀을 사용하고, 금속 산화 반도체 전계 효과 트랜지스터의 채널로서 전이금속 칼코게나이드를 사용하면 종래기술에 비해 훨씬 얇은 CMOS 인버터 디바이스의 제조가 가능한 장점이 있다.
- [0018] 상기 n-type 금속 산화 반도체 전계 효과 트랜지스터의 전이금속 칼코게나이드는 MoS_2 로 형성되고, 상기 p-type 금속 산화 반도체 전계 효과 트랜지스터의 전이금속 칼코게나이드는 WSe_2 로 형성될 수 있다.
- [0019] 상기 CMOS 인버터 디바이스는, 상기 n-type 금속 산화 반도체 전계 효과 트랜지스터에 연결되는 제1게이트와 상기 p-type 금속 산화 반도체 전계 효과 트랜지스터에 연결되는 제2게이트 이외에 별도의 제3게이트를 더 포함할 수 있다.
- [0020] 여기서 상기 제3게이트는 상기 소스 및 드레인 전극의 work function을 조절하기 위한 게이트일 수 있다.
- [0021] 한편, 상기 제3게이트는 상기 CMOS 인버터 디바이스의 단면에서 보아, n-type 금속 산화 반도체 전계 효과 트랜지스터의 채널과 p-type 금속 산화 반도체 전계 효과 트랜지스터의 채널 사이 영역에 배치되는 것을 특징으로 할 수 있다.
- [0022] 또한, 상기 제3게이트는 상기 CMOS 인버터 디바이스의 단면에서 보아, 상기 n-type 금속 산화 반도체 전계 효과 트랜지스터 및 p-type 금속 산화 반도체 전계 효과 트랜지스터를 포함한 두 개의 트랜지스터와 기판 사이를 절연시키는 유전체의 하부에 배치되는 것을 특징으로 할 수 있다.

발명의 효과

- [0023] 본 발명에서는 물리적 한계가 있다고 지목된 실리콘을 대체할만한 새로운 반도체 물질로서 전이금속 칼코게나이드를 사용한다. 신소재인 전이금속 칼코게나이드는 2차원 박막으로 성형이 가능하고, 이에 따라 종래의 실리콘

재료를 효과적으로 대체할 수 있게 된다.

- [0024] 아울러, 본 발명의 CMOS 인버터 디바이스에는 전극으로서 그래핀 소자를 이용하게 됨으로써 전기적 접촉 저항을 최소화할 수 있다.
- [0025] 나아가, 본 발명에서는 2개 이상의 다중 게이트 구조를 가지는 CMOS 인버터 디바이스를 제공함으로써 그래핀의 work function을 조절할 수 있게 되고, 이로 인해 기존의 CMOS 인버터에 비해 이상적인 디바이스 성능을 이끌어 낼 수 있는 장점이 있다.
- [0026] 또한 본 발명에서 제안하는 디바이스는 기존의 실리콘 소자를 이용한 CMOS 인버터에 비해 더 얇은 형상으로 제조할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 CMOS 인버터 회로를 도시한 회로도.
- 도 2는 CMOS 인버터의 기본구성을 도시한 단면도.
- 도 3은 본 발명의 일 실시예에 따른, CMOS 인버터 디바이스의 단면을 도시한 개념도.
- 도 4는 본 발명의 일 실시예에 따른, 제3게이트를 이용한 work function 조절 원리를 도시한 개념도.
- 도 5는 본 발명의 일 실시예에 따른, 제3게이트의 전압에 따른 p-type FET의 특성변화를 도시한 그래프.
- 도 6은 본 발명의 일 실시예에 따른, 제3게이트의 전압에 따른 n-type FET의 특성변화를 도시한 그래프.
- 도 7은 본 발명의 일 실시예에 따른, 그래핀 유무에 따른 CMOS 소자의 성능 변화를 나타낸 그래프.
- 도 8은 본 발명의 일 실시예에 따른, 그래핀을 포함하는 CMOS 소자의 Fermi Level 변화를 통한 성능 변화를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하 설명하는 실시 예들은 본 발명의 기술 사상을 당업자가 용이하게 이해할 수 있도록 제공되는 것으로 이에 의해 본 발명이 한정되지는 않는다. 또한, 첨부된 도면에 표현된 사항들은 본 발명의 실시 예들을 쉽게 설명하기 위해 도식화된 도면으로 실제로 구현되는 형태와 상이할 수 있다.
- [0029] 어떤 구성요소가 다른 구성요소에 연결되어 있거나 접속되어 있다고 언급될 때에는, 그 다른 구성요소에 직접적으로 연결 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 한다. 또한 본 명세서 전체에서 어떤 부재가 다른 부재 “상에” 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0030] 그리고 여기서의 “연결”이란 일 부재와 타 부재의 직접적인 연결, 간접적인 연결을 포함하며, 접촉, 부착, 체결, 접합, 결합 등 모든 물리적인 및 전기적 연결을 의미할 수 있다.
- [0031] 또한 ‘제1, 제2, 제3’ 등과 같은 표현은 복수의 구성들을 구분하기 위한 용도로만 사용된 표현으로써, 구성들 사이의 순서나 기타 특징들을 한정하지 않는다.
- [0032] 단수의 표현은 문맥상 명백하게 다르게 표현하지 않는 한, 복수의 표현을 포함한다. “포함한다” 또는 “가진다” 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 의미하기 위한 것으로, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들이 부가될 수 있는 것으로 해석될 수 있다.
- [0034] 이하, 도2와 도3을 참조하여 본 발명의 일 실시예에 따른 CMOS 인버터 디바이스에 대해 상세히 설명한다.
- [0035] 도 2는 CMOS 인버터의 기본구성을 도시한 단면이다. 도 3은 본 발명의 일 실시예에 따른 CMOS 인버터 디바이스의 단면을 도시한 개념도이다.
- [0036] 본 발명의 일 실시예에 따르면 n-type 금속 산화 반도체 전계 효과 트랜지스터와 p-type 금속 산화 반도체 전계 효과 트랜지스터를 포함하는 상보적 금속 산화물 반도체(CMOS) 인버터를 포함하되, 상기 n-type 금속 산화 반도체 전계 효과 트랜지스터와 p-type 금속 산화 반도체 전계 효과 트랜지스터는 소스 및 드레인 전극으로서 탄소

나노소재를 사용하는 디바이스를 제공할 수 있다.

- [0037] 본 발명에서 n-type 금속 산화 반도체 전계 효과 트랜지스터(310)와 p-type 금속 산화 반도체 전계 효과 트랜지스터(320)는 각각 채널과 게이트 사이가 유전체층으로 절연된 MOSFET 계열의 금속 산화 반도체 전계 효과 트랜지스터를 말한다. 아래에서는 설명의 편의를 위해 n-type 금속 산화 반도체 전계 효과 트랜지스터와 p-type 금속 산화 반도체 전계 효과 트랜지스터에 대하여 각각 NMOS, PMOS라 약칭하기로 한다.
- [0038] NMOS와 PMOS는 각각 기판(100)과 다른 별도의 베이스 기판(n-sub, p-sub)를 가지며, 그 베이스 기판(n-sub, p-sub)에 소스 및 드레인 전극과 연결되는 웰(p-well, n-well)을 구비할 수 있다. 도2를 참조하면, 기본적인 CMOS 인버터 구조에서 NMOS의 소스는 접지단에 연결하고, NMOS와 PMOS의 각 게이트(gate)는 공통으로 입력단(in)에 연결한다. 그리고, NMOS에는 p-well이 소스 및 드레인으로 기능하는 접합영역(Junction Region)을 감싸도록 p-sub 내에 형성된다. 또한, p-well과 p형인 기판(p-sub)을 전기적으로 분리시키기 위한 n-well이 형성된다.
- [0039] 본 발명에서는 상기 기본적인 CMOS 인버터 구조를 기초로 일부 구조적인 변경 및 구성요소의 대체를 통해 기존의 CMOS 인버터에 비해 보다 이상적인 성능을 가지는 디바이스를 제공하고자 한다.
- [0040] 도3에 도시된 바에 따르면 NMOS(310)와 PMOS(320)는 기판(100) 상에 배치될 수 있다. 여기서 NMOS(310)와 PMOS(320)는 기판(100) 상에 직접적으로 연결되는 것이 아니라 NMOS(310), PMOS(320) 두 개의 트랜지스터와 기판(100) 사이를 절연시키는 유전체층(dielectric, 200)을 매개로 간접적으로 연결될 수 있다.
- [0041] 본 발명의 기판(100)은 통상의 IC에 적용되는 substrate 즉, 실리콘 기판이 해당될 수 있다. 또한 기판(100)은 인쇄회로기판(PCB) 또는 연성인쇄회로기판(FPCB)등을 의미할 수 있다. 기판은 리지드(rigid)하거나 플렉서블(flexible)할 수 있으며, 부분적으로 곡면을 가지면서 휘어질 수도 있다. 또한 기판(100)은 도면에는 다소 과장되게 표시되어 있으나, 수 μ m 내지 수백 μ m의 매우 얇은 판형상으로 제조될 수 있다.
- [0042] 한편 NMOS(310)와 PMOS(320)에도 기본적으로 베이스 기판이 포함되어 있다. NMOS와 PMOS에 포함되는 베이스 기판(n-sub, p-sub)은 전계 효과 채널의 역할을 하는 반면, 여기서의 기판(100)은 인버터 디바이스의 전체 형상을 지지하는 역할을 가지는 것으로 족하다.
- [0043] 본 발명의 일 실시예에 따른 디바이스는 상기 탄소나노소재로서 그래핀(Graphene)을 이용하는 것을 특징으로 한다. 종래에는 CMOS 인버터 디바이스의 전극으로서 크롬(Cr), 니켈(Ni), 구리(Cu), 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 알루미늄(Al), 몰리브덴(Mo), 팔라듐(Pd)과 같은 금속 또는 이들의 합금으로 형성하였다. 다만, 본 발명에서는 전극으로서 탄소나노소재, 그 중에서도 특히 그래핀을 사용할 수 있다.
- [0044] 그래핀은 탄소로 이루어진 2차원 박막으로서 그 전기적 전도성이 매우 우수하다. 특히 그래핀은 가해진 전기장에 따라 그 work function이 가변적이라는 특성을 가진다. 반도체 물질과 금속을 포함한 전기적 접촉 저항에 있어서 work function은 매우 중요하며 일반적으로 서로 그 값이 비슷할 경우 저항이 크게 줄어 들어 소자 특성이 우수해지는 것으로 알려져 있다. 제3게이트(500)의 설명과 더불어 Work function이 무엇인지에 대해서는 상세히 후술하기로 한다.
- [0045] 한편, 본 발명이 종래기술과 차별되는 또 하나의 특징으로는 상기 NMOS(310)와 PMOS(320)의 채널(channel)물질로서, 2차원 특성을 갖는 마이크로 미터 단위의 박막 물질을 사용한다는 것이다.
- [0046] 구체적으로 여기서 2차원 특성을 갖는 마이크로 미터 또는 나노 미터 단위의 박막 물질이란 전이금속 칼코게나이드(Transition Metal Chalcogenide, TMC)가 해당될 수 있다.
- [0047] 전이금속 칼코게나이드는 전이금속과 칼코겐의 화합물로서 그래핀과 유사한 구조를 가지는 나노재료를 말한다. 그 구조는 16족 원소인 칼코겐 원소 사이에 대표적으로 4, 5, 6족의 전이금속 원소가 샌드위치 형태로 결합된 구조로 존재하게 된다. 대체로 투명한 특성을 가지고, 그 두께는 원자 수 층의 두께로 매우 얇고 유연하게 형성되기 때문에 마이크로 미터 또는 나노 미터 단위의 고자를 형성하는데 유리하다. 특히 무엇보다도 반도체의 특성을 가질 수 있다. 반도체 성질을 갖는 전이금속 칼코게나이드는 적절한(또는 넓은 범위의) 에너지 밴드 갭(energy band gap)을 가지며, 전자 이동도도 양호한 바 트랜지스터에 사용될 수 있는 소자로서 매우 적합한 재료로 쓰인다. 전이금속과 칼코겐 원소와의 다양한 조합을 통해 다양한 에너지 밴드 갭을 형성할 수 있는 장점이 있다.
- [0048] 본 발명의 칼코게나이드 화합물을 화학식으로 나타내면 두 개의 칼코겐원소(X)사이에 전이금속원소(Y)가 결합된 XY₂ 구조로 나타낼 수 있다. 여기서 X는 S, Se, 또는 Te이고, Y는 Mo, W, Bi, Mg, Al, Si, Ca, Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ga, Ge, Sr, Y, Zr, Nb, Tc, Ru, Rh, Pd, Ag, Cd, In, Sn, Sb, Ba, La, Hf, Ta, Re,

Os, Ir, Pt, Au, Hg, Tl, Pb, 또는 Po가 해당될 수 있다. 보다 구체적으로 본 발명의 일 실시예에 따른 전이금속 칼코게나이드는 예컨대, MoS₂, MoSe₂, TiS₂, TiSe₂, CoS₂, CoSe₂, PdS₂, PdSe₂, NiS₂, NiSe₂, WS₂, WSe₂, IrS₂, IrSe₂ 중 적어도 어느 하나 또는 이들의 화합물 또는 혼합물을 포함할 수 있다.

- [0049] 다만, 가장 바람직한 실시예로서 상기 전이금속 중 특별히 MoS₂, WSe₂를 선택하여 NMOS(310)와 PMOS(320)의 채널 물질로서 사용하는 것을 개시한다. MoS₂, WSe₂는 상대적으로 다른 전이금속보다 쉽게 합성할 수 있어, 그 재료 수급이 용이하다는 이점과 더불어 MoS₂와 WSe₂가 각각 n-type, p-type의 특징을 가지고 또한 둘 사이의 에너지 밴드 갭(energy band gap)의 크기가 비슷하다는 특징을 갖기 때문이다.
- [0050] 그리고 도3에 도시된 바와 같이 MoS₂의 conduction band의 위치와 WSe₂의 valence band의 위치가 약 4eV근처의 에너지 준위로 서로 비슷하기 때문에 마찬가지로 약 4eV의 work function을 갖는 그래핀과 연결하였을 때, 이러한 물질로 형성된 CMOS 인버터 디바이스는 매우 낮은 전기적 접촉 저항을 가질 수 있다. 물론 여기서 4eV의 에너지 준위 값은 일 예시에 불과함을 유의해야 한다.
- [0051] 지금까지의 설명에서 가장 바람직한 실시예는 CMOS 인버터 디바이스의 구성요소인 NMOS(310)와 PMOS(320)의 채널을 형성하는 물질로 특정된 MoS₂, WSe₂를 채택하고 이를 이용하여 2차원 박막 물질로 형성하는 한편, 이와 마찬가지로 매우 얇은 두께를 가지되, 전기적 성능은 우수한 그래핀을 이용하여 전극을 형성한다는 것이다. 이로써 기구 전체적으로는 박막의 컴팩트한 디바이스를 제공하는 한편, 전기적 성능 또한 양호한 디바이스를 제공할 수 있다.
- [0052] 아울러 본 발명에서는 하기 제3게이트(500)를 구비함으로써 종래의 CMOS 인버터 디바이스에 비해 보다 능동적으로 work function을 조절할 수 있게 되며, 이를 통해 전기적 성능 향상을 도모할 수 있게 된다.
- [0053] 구체적으로 본 발명의 일 실시예에 따른 CMOS 인버터 디바이스는 상기 NMOS에 연결되는 제1게이트(312), 상기 PMOS에 연결되는 제2게이트(322) 이외에 별도의 제3게이트(500)를 더 포함하는 것을 특징으로 한다.
- [0054] 도3을 참조하면, 제1게이트(312)는 유전체층(311)을 매개로 NMOS(310)와 간접적으로 연결될 수 있으며, 제2게이트(322)는 또한 유전체층(321)을 매개로 PMOS(320)와 간접적으로 연결될 수 있다.
- [0055] 본 발명의 제3게이트(500)는 상기 소스 및 드레인 전극의 work function을 조절하기 위한 목적의 구성요소이다.
- [0056] 반도체 물질과 전극의 접촉에 있어서 낮은 접촉 저항을 갖기 위해서는 전극의 work function이 반도체 물질의 conduction band혹은 valence band와 비슷한 에너지 레벨을 갖고 있어야 한다. 전극의 work function은 NMOS 또는 PMOS에 대하여 상대적인 개념인데, 전극의 주위에서 가해지는 전기장에 영향을 받아 그 work function이 변화한다.
- [0057] Work function과 관련하여, CMOS 인버터를 구성하는 두 종의 트랜지스터는 인가되는 전압(In)에 대하여 어느 한 쪽이 켜지게 되면(턴-On) 다른 한쪽은 꺼져야 한다(턴-Off). 이를 위해 이상적으로는 PMOS(320)와 NMOS(310)의 energy band(구동 가능 범위를 의미할 수 있음)가 서로 겹쳐지지 않아야 한다.
- [0058] 도 4의 개념도는 PMOS(320)와 NMOS(310) 그리고 그래핀에 대한 고체 내 전자의 에너지 분포가 급격히 변화하는 페르미 준위를 나타내며, 전기장의 변화에 따라 도면을 기준으로 상/하방향으로 그래핀의 준위가 가변될 수 있음을 나타낸다. 일 실시예에 따르면 WSe₂와 MoS₂로 구성된 CMOS 인버터는 도 4에 도시된 바와 같이 그 energy band가 완전히 분리되지는 않을 수 있다. 즉, 일부 겹침이 존재할 수 있으며, Energy band의 겹침 영역으로 인해 FET의 저항(접촉 저항)이 좌우될 수 있고 그에 따라 전계 효과가 가변될 수 있다. 전계 효과의 변화가 예측 가능한 범위내이면 이를 CMOS 인버터를 구성하는 소자로서 쓰일 수 있으나, 예측가능하지 못하는 범위라면 CMOS 인버터를 구성하는 소자로 쓰이기에 부적절하다. 칼코게나이드 물질의 넓은 밴드갭 특성은 그 잠재성 때문에 높은 연구가치를 지니지만, 그와 함께 불확실성을 가지므로 안정성이 저하되는 문제를 안고 있어 실제 소자 제조 라인에 적용하기 꺼려지는 문제가 있다.
- [0059] 종래 칼코게나이드를 활용한 소자 등은 제조과정에서 칼코젠 원자-함유 기체가 반응하는 반응온도를 변화시키는 방식(공개특허공보 제10-2013-0103913호), 열팽창 계수의 차이 및 화학 증기 증착법을 이용하여 박막의 두께를 조절함으로써 energy band의 gap을 조절하는 등 선천적으로 조절하는 방식(등록특허공보 제10-1655898호)을 취하였다. 이러한 종래 방식은 주로 energy band 크기의 절대값을 조절한다는 점을 주목한다.
- [0060] 본 발명에서는 종래 방식처럼 소자 제조과정의 특이성을 통해 energy band를 특정짓는 것이 아니라, energy band의 gap을 후천적 방식 즉, 전기장 제어에 의한 제3게이트의 potential에 변화를 주어 PMOS(320)와

NMOS(310)의 상대적인 energy band의 갭을 조절한다는 점에서 차이를 갖는다.

- [0061] 본 발명의 일 실시예에 따르면 CMOS를 구성하는 소스/드레인 전극으로서 탄소나노소재, 그 중에서도 그래핀을 사용하게 되는데, 그래핀은 일반적인 전극을 구성하는 합금보다도 전기장에 영향을 더 크게 받으므로 동적 성능이 더 뛰어나다. 다시 말해, 그래핀은 전기장에 대한 potential 이동이 종래 일반적인 전극을 구성하는 합금보다도 훨씬 용이하다.
- [0062] 특히 본 발명에서 그래핀은 도4에 도시된 바와 같이 bottom에 위치한 제3게이트(500)의 인가 전압에 따라 NMOS(ex, MoS2) 혹은 PMOS(ex, WSe2)와의 접촉 저항을 조절할 수 있게 되었다. 이때 한쪽 트랜지스터의 접촉 저항을 감소시키면 다른 쪽 트랜지스터의 접촉 저항은 증가하는 식의 구동이 가능해진다.
- [0063] 본 발명은 종래의 기술과 차별되는 구조적인 특징으로서 트랜지스터 구동을 위해 제1게이트(312)와 제2게이트(322)를 구비하는 한편, 전극(ex 그래핀)의 work function을 조절하기 위한 제3게이트(500)가 구성된다. 트랜지스터의 전계 효과가 독립적으로 구동되는 두 개 이상의 게이트에 의해 조절되므로 일반적인 CMOS 인버터에 비해 가변이 용이한 장점을 가진다. 그리고 이러한 구조적 특징에 기인하여 트랜지스터의 문턱전압(threshold voltage)을 자유롭게 조절할 수 있는 효과를 가지게 된다. 문턱전압의 자유로운 조절을 통해 하기 도7에 도시된 바와 같이 트랜지스터의 전송 특성이 개선된다.
- [0064] 본 발명에서는 상기한 특성에 주목하여 물질에 따른 전계효과가 보다 유리한 쪽으로 발현될 수 있도록 이중 게이트 구조를 통해 그래핀 전극의 work function을 조절할 수 있게 된다. 여기서 이중 게이트 구조란, 제1게이트(312)와 제2게이트(322)로 이루어진 탑(top) 게이트 구조를 기본적으로 형성한 상태에서, 바텀(bottom) 게이트인 제3게이트(500)의 추가적인 게이트 구조를 형성함을 의미한다. 이로써 종래의 CMOS 인버터에 비해 보다 이상적인 디바이스성능을 이끌어 낼 수 있다.
- [0066] 다음으로, 본 발명의 일 실시예에 따른 디바이스의 특성을 몇 가지 실험결과 데이터를 통해 검증하도록 한다.
- [0067] 도5는 본 발명의 일 실시예에 따른 제3게이트의 전압에 따른 p-type FET의 특성변화를 도시한 그래프이다. 도6은 본 발명의 일 실시예에 따른 제3게이트의 전압에 따른 n-type FET의 특성변화를 도시한 그래프이다. 도 7은 본 발명의 일 실시예에 따른 그래핀 유무에 따른 CMOS 소자의 성능 변화를 나타낸 그래프이다. 그리고 도 8은 본 발명의 일 실시예에 따른, 그래핀을 포함하는 CMOS 소자의 Fermi Level 변화를 통한 성능 변화를 나타낸 그래프이다.
- [0068] 도5를 참조하면, 제3게이트(500)의 전압이 각각 -30V, -10V, 0V, 10V, 30V, 50V일 때, Top-gate(ex, WSe2)의 전압 변화에 따른 전류(current)의 변화 선도가 도시된다.
- [0069] 도6을 참조하면, 제3게이트(500)의 전압이 각각 -10V, 0V, 10V, 30V일 때, Top-gate(ex, MoS2)의 전압 변화에 따른 전류(current)의 변화 선도가 도시된다.
- [0070] 이는 bottom-gate인 제3게이트(500)의 전압 변화가 top-gated FET소자에 큰 영향을 미칠 수 있음을 보여준다. 제3게이트(500)의 전압 조절에 따라 문턱전압의 유의미한 변화가 발생하리라는 점을 예측할 수 있다.
- [0071] 이어서 도7을 참조하면, 그래핀이 있을 때 입력전압에 대한 출력전압의 값(푸른색)이 그래핀이 구비되지 않은 일반 전극에 대한 출력전압의 값(붉은색)에 비해 더 가파르게 감소되는 실험결과가 도시된다.
- [0072] 여기서 푸른 색의 선이 붉은 색의 선보다 더 완만한 변화를 보여준다는 것은 기울기의 변화가 덜 급격하다는 의미이고, 나아가 소자의 동작이 느리고, On/Off의 구분이 희미하다는 의미를 나타낸다.
- [0073] 상기한 실험결과 내용을 정리하면 그래핀이 사용되면 CMOS 소자의 성능이 종래에 비해 훨씬 증대되고, 특히 제3게이트의 전압 조절에 따라 전기적 특성의 가변이 용이하다는 점을 확인할 수 있었다.
- [0074] 도 8은 도 7과 또 다른 특성으로서, 그래핀의 페르미 준위(fermi level) 변화에 따른 인버터의 성능변화가 도시하는데, 여기서 VM은 그래핀의 페르미 준위의 차이에 따른 문턱전압을 의미할 수 있으며, 그래핀의 potential이 NMOS 쪽으로 옮겨지면 VM 이 낮아져 NMOS와 접촉이 용이해짐을 나타내고, 그래핀의 potential이 PMOS 쪽으로 옮겨지면 VM 이 높아져 NMOS와 접촉이 용이해짐을 나타낸다. PMOS와 NMOS를 포함하는 CMOS 인버터의 경우 PMOS와 NMOS 중 어느 한쪽에 치우쳐지는 것은 바람직하지 않으므로 그래핀의 potential의 능동적 조절을 통해 VM 을 변화시킬 수 있게 된다.

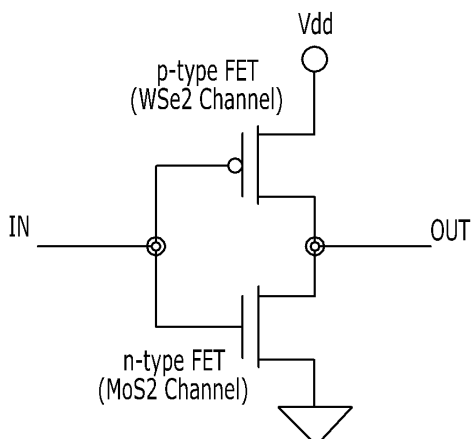
- [0076] 마지막으로, 본 발명의 일 실시예에 따른 디바이스의 제조방법에 대하여 간략히 설명하기로 한다.
- [0077] 상기에서 살펴본 MoS₂와 WSe₂, 그리고 그래핀은 화학적 증기증착법(CVD) 혹은 화학적 박리를 통한 필름 코팅 기법 (스핀 코팅, 딥 코팅 등) 에 의해 증착될 수 있으며 폴리머 희생층을 이용하여 다양한 기판위로 이송 되어 사용 될 수도 있다. 이러한 방법으로 기판 상에 형성된 그래핀과 MoS₂, WSe₂ 나노 박막은 각각 2차원 박막의 형태를 가지고 있으며 산소, 아르곤 플라즈마를 이용한 에칭 공정과 포토리소그래피, 전자빔 리소그래피에 의해 패터닝 될 수 있다. 또한 각각의 물질들은 모두 플렉서블(plexible) 특성을 띠고 있으므로 본 디바이스는 기본적인 실리콘을 비롯하여 Glass, polymer등 투명, 플렉서블 기판에 적용 가능하다.
- [0078] 본 명세서에는 그 제시된 구체적인 용어에 의해 본 발명을 제한하려는 의도가 아니다. 따라서, 이상에서 기술한 실시예를 참조하여 본 발명을 상세하게 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 범위를 벗어나지 않으면서도 본 발명의 일 실시예들에 대한 개조, 변경 및 변형을 가할 수 있다.
- [0079] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 권리범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

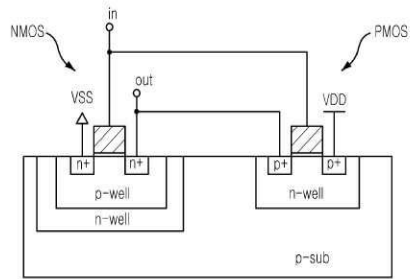
- [0080] 10 : CMOS 인버터 디바이스
- 100 : 기판
- 200 : 유전체층
- 310 : NMOS
- 311 : 유전체층
- 312 : 제1게이트
- 320 : PMOS
- 321 : 유전체층
- 320 : 제2게이트
- 400 : 탄소나노소재
- 500 : 제3게이트

도면

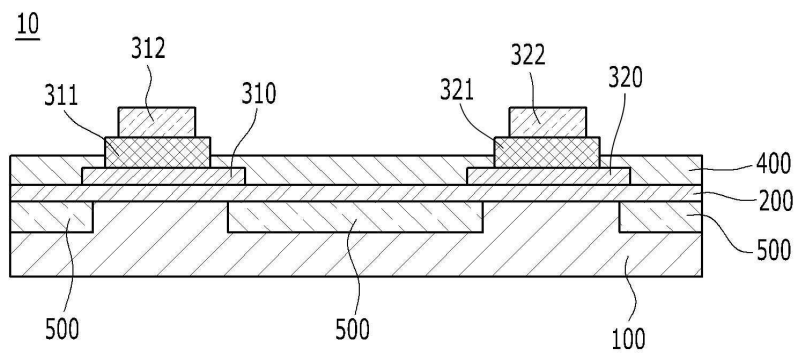
도면1



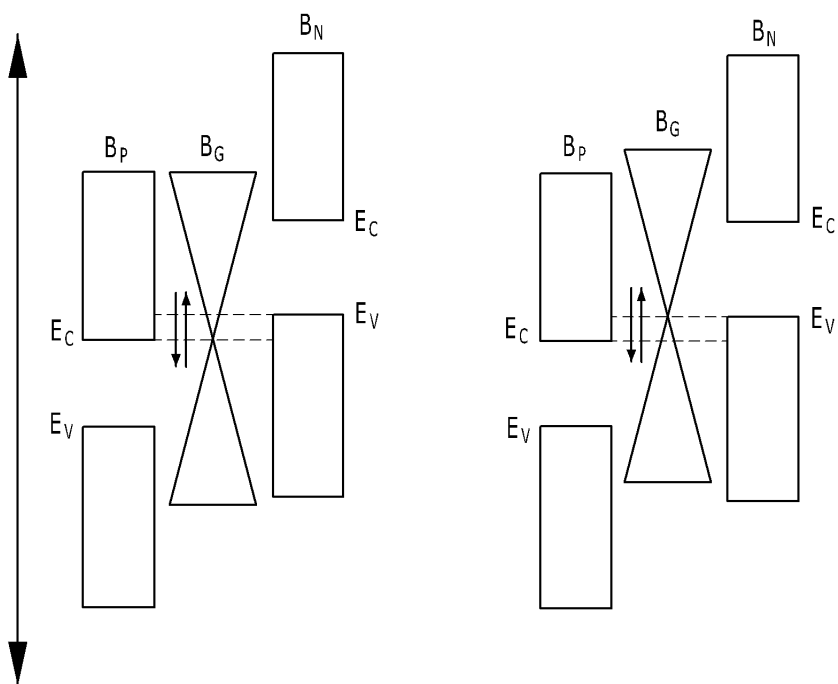
도면2



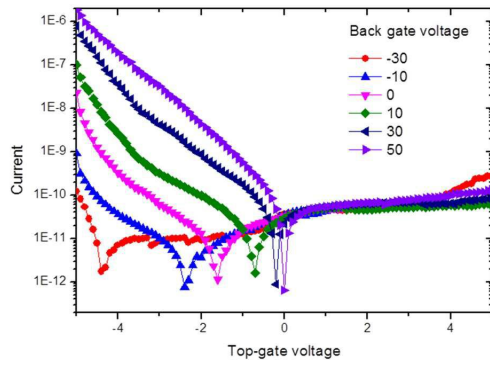
도면3



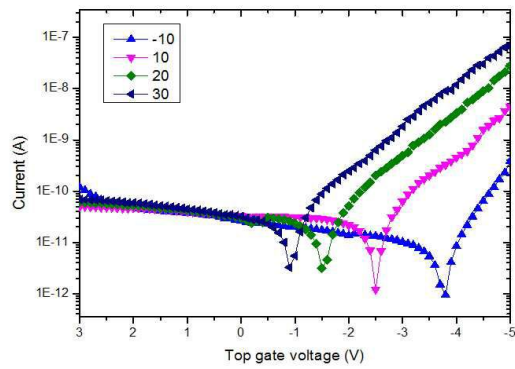
도면4



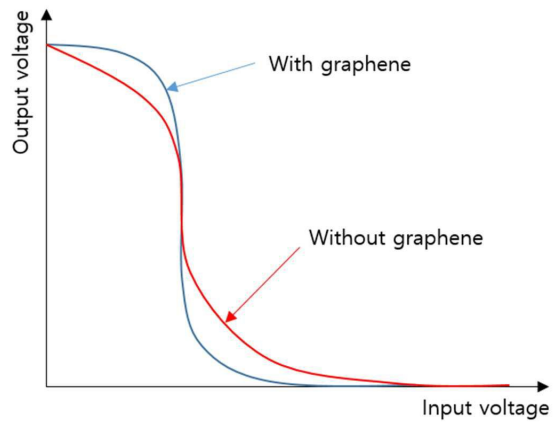
도면5



도면6



도면7



도면8

