



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0104819
(43) 공개일자 2018년09월27일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) H01L 43/08 (2006.01)
(52) CPC특허분류
G11C 11/1675 (2013.01)
G11C 11/161 (2013.01)
(21) 출원번호 10-2017-0031561
(22) 출원일자 2017년03월14일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
홍종일
서울특별시 강남구 압구정로39길 58, 62-803
윤홍일
서울특별시 서초구 서운로 197 102-304
(뒷면에 계속)
(74) 대리인
김선중

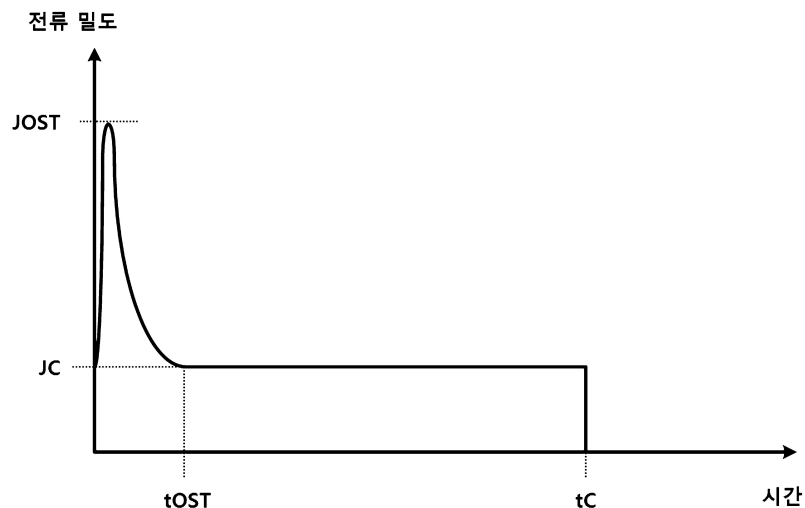
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 쓰기 성능이 향상된 자기 메모리 장치 및 그 동작 방법

(57) 요약

본 발명의 일 실시예에 의한 자기 메모리 장치는 자기 소자; 자기 소자의 양단에 전기적으로 연결되어 쓰기 전류를 제공하는 쓰기 회로를 포함하되, 쓰기 회로는 쓰기 동작 시 제 1 시간동안 인가되는 제 1 피크를 가지는 제 1 전류와 제 1 시간보다 긴 제 2 시간 동안 상기 제 1 피크보다 작은 제 2 피크를 가지는 제 2 전류를 쓰기 전류로 제공한다.

대표도 - 도6



(52) CPC특허분류

H01L 43/08 (2013.01)

(72) 발명자

파닥사친

서울특별시 서대문구 성산로 384-20 (연희동) 302

조강욱

경기도 고양시 일산서구 성저로 121 1101-803

명세서

청구범위

청구항 1

자기 소자;

상기 자기 소자의 양단에 전기적으로 연결되어 쓰기 전류를 제공하는 쓰기 회로를 포함하되,

상기 쓰기 회로는 쓰기 동작 시 제 1 시간동안 인가되는 제 1 피크를 가지는 제 1 전류와 상기 제 1 시간보다 긴 제 2 시간 동안 상기 제 1 피크보다 작은 제 2 피크를 가지는 제 2 전류를 상기 쓰기 전류로 제공하는 자기 메모리 장치.

청구항 2

청구항 1에 있어서,

상기 자기 소자의 일단에 연결된 쓰기 라인,

소스 라인; 및

상기 쓰기 라인과 상기 소스 라인을 선택적으로 연결하는 스위치

를 더 포함하되,

상기 쓰기 회로는 상기 쓰기 라인과 상기 소스 라인을 통하여 상기 쓰기 전류를 제공하는 자기 메모리 장치.

청구항 3

청구항 2에 있어서, 상기 쓰기 전류는 상기 자기 소자를 관통하는 자기 메모리 장치.

청구항 4

청구항 2에 있어서, 상기 자기 소자와 상기 쓰기 라인 사이에 스핀 홀 효과 물질층을 더 포함하되, 상기 쓰기 전류는 상기 자기 소자에 수평인 방향으로 흐르는 수평 전류와 상기 자기 소자를 관통하는 수직 전류를 포함하는 자기 메모리 장치.

청구항 5

청구항 1에 있어서,

상기 자기 소자의 일단에 연결된 쓰기 라인,

소스 라인;

상기 쓰기 라인과 상기 소스 라인을 선택적으로 연결하는 스위치;

상기 자기 소자의 타단에 연결된 비트 라인; 및

상기 쓰기 라인과 상기 자기 소자 사이에 개재된 스핀홀 효과 물질층

을 더 포함하되,

상기 쓰기 회로는 상기 쓰기 라인과 상기 소스 라인을 통하여 상기 쓰기 전류를 제공하는 자기 메모리 장치.

청구항 6

청구항 1에 있어서, 상기 제 1 전류는 상기 제 1 시간 동안 펄스 형태의 파형을 가지는 자기 메모리 장치.

청구항 7

청구항 6에 있어서, 상기 펄스 형태는 사각파, 삼각파 또는 임펄스 형태인 자기 메모리 장치.

청구항 8

청구항 1에 있어서, 상기 제 1 피크는 상기 제 2 피크의 2배 이상인 자기 메모리 장치.

청구항 9

청구항 8에 있어서, 상기 제 1 피크는 상기 제 2 피크의 2.7배 이상인 자기 메모리 장치.

청구항 10

청구항 1에 있어서, 상기 제 1 시간은 400ps 이상인 자기 메모리 장치.

청구항 11

청구항 1에 있어서, 상기 쓰기 회로는

제 1 쓰기 회로 및 제 2 쓰기 회로를 포함하되,

상기 제 1 쓰기 회로와 상기 제 2 쓰기 회로 중 어느 하나는 상기 쓰기 전류를 소싱하고 상기 제 1 쓰기 회로와 상기 제 2 쓰기 회로 중 다른 하나는 상기 쓰기 전류를 싱크하는 자기 메모리 장치.

청구항 12

청구항 11에 있어서, 상기 제 1 쓰기 회로는

쓰기 동작 시 턴온되어 전류를 소싱하는 제 1 트랜지스터; 및

쓰기 동작 시 펄스 신호가 활성화되는 동안 턴온되어 전류를 소싱하는 제 2 트랜지스터

를 포함하되,

상기 제 1 전류는 상기 제 1 트랜지스터와 상기 제 2 트랜지스터에 의해 제공되고, 상기 제 2 전류는 상기 제 2 트랜지스터에 의해 제공되는 자기 메모리 장치.

청구항 13

청구항 12에 있어서, 상기 제 1 쓰기 회로는

상기 쓰기 동작 시 상기 제 1 트랜지스터와 상기 제 2 트랜지스터가 전류를 소싱하지 않는 경우 턴온되어 전류를 싱크하는 제 3 트랜지스터; 및

상기 제 3 트랜지스터가 턴온되고 상기 펄스 신호가 활성화되는 동안 턴온되어 전류를 싱크하는 제 4 트랜지스터

를 더 포함하는 자기 메모리 장치.

청구항 14

청구항 13에 있어서, 상기 제 1 쓰기 회로는

상기 쓰기 동작 시 상기 제 2 쓰기 회로와의 사이에서 전류를 전달하는 제 5 트랜지스터 및

상기 쓰기 동작 시 상기 펄스 신호가 활성화되는 동안 턴온되어 상기 제 2 쓰기 회로와의 사이에서 전류를 전달하는 제 6 트랜지스터

를 더 포함하는 자기 메모리 장치.

청구항 15

자기 소자에 쓰기 전류를 제공하는 쓰기 회로를 포함하는 자기 메모리 장치에서

상기 자기 소자에 제 1 시간동안 제 1 피크의 제 1 전류를 제공하는 단계; 및

상기 자기 소자에 상기 제 1 시간보다 긴 제 2 시간 동안 상기 제 1 피크보다 작은 제 2 피크의 제 2 전류를 제공하는 단계

를 포함하는 자기 메모리 장치의 동작 방법.

청구항 16

청구항 15에 있어서, 상기 제 1 전류는 상기 제 1 시간 동안 펄스 형태의 파형을 가지는 자기 메모리 장치의 동작 방법.

청구항 17

청구항 16에 있어서, 상기 펄스 형태는 사각파, 삼각파 또는 임펄스 형태인 자기 메모리 장치의 동작 방법.

청구항 18

청구항 15에 있어서, 상기 제 1 피크는 상기 제 2 피크의 2배 이상인 자기 메모리 장치의 동작 방법.

청구항 19

청구항 15에 있어서, 상기 제 1 시간은 400ps 이상인 자기 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 자기 메모리 장치에 관한 것으로서 보다 구체적으로는 쓰기 성능이 향상된 자기 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 자기 터널 접합(MTJ: Magnetic Tunnel Junction)을 포함한 스핀 전달 토크형 자기 메모리 장치(STT-MRAM: spin transfer torque Magnetic Random Access Memory)에 대한 연구가 활발히 진행되고 있다.

[0003] 특히 수직형 자기 터널 접합(pMTJ: perpendicular Magnetic Tunnel Junction) 소자를 구비한 스핀 전달 토크형 자기 메모리 장치의 경우 터널 자기 저항이 크고 열적 안정성이 높아 고집적 비휘발성 메모리 장치로서 주목을 받고 있다.

[0004] 이와 같이 STT 효과를 이용한 자기 메모리 장치 외에도 스핀 궤도 토크(SOT: Spin Orbit Torque) 효과를 이용한 자기 메모리 장치 및 두 효과를 모두 이용하는 자기 메모리 장치에 대해서도 연구가 진행되고 있다.

[0005] MTJ 소자에 대한 쓰기 동작은 쓰기 전류에 의해 생성되는 토크를 이용하여 MTJ 소자에 포함된 자유층의 자화 방향을 변경(CIMS: Current Induced Magnetization Switching)함으로써 달성된다.

[0006] 그러나 MTJ 소자에 포함되는 자유층의 자화 방향을 변경하기 위해서는 높은 밀도의 쓰기 전류를 필요로 한다.

[0007] 따라서 쓰기 시간을 줄이기 위하여 과도하게 높은 쓰기 전류를 인가하는 경우 전력 소비가 증가할 뿐만 아니라 MTJ 소자에 포함되는 장벽층에 손상이 발생할 가능성이 높아져 결국 메모리 장치의 수명이 단축되는 문제가 있다.

[0008] 이를 방지하기 위해 낮은 밀도의 전류를 오랜 시간 동안 인가함으로써 쓰기 동작을 수행할 수도 있으나 이 경우에는 메모리 장치의 쓰기 성능이 크게 저하되는 문제가 있다.

[0009] 이에 따라 자기 소자에 손상을 주지 않으면서도 쓰기 성능을 높이고 소비 전력량을 줄일 수 있는 자기 메모리 장치가 요구되고 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) KR 10-1433735 B1

(특허문헌 0002) KR 10-1497863 B1

발명의 내용

해결하려는 과제

[0011] 본 기술은 자기 소자에 손상을 주지 않으면서도 쓰기 성능을 높이고 소비 전력량을 줄일 수 있는 자기 메모리 장치 및 그 동작 방법을 제공한다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 의한 자기 메모리 장치는 자기 소자; 자기 소자의 양단에 전기적으로 연결되어 쓰기 전류를 제공하는 쓰기 회로를 포함하되, 쓰기 회로는 쓰기 동작 시 제 1 시간동안 인가되는 제 1 피크를 가지는 제 1 전류와 제 1 시간보다 긴 제 2 시간 동안 상기 제 1 피크보다 작은 제 2 피크를 가지는 제 2 전류를 쓰기 전류로 제공한다.

[0013] 본 발명의 일 실시예에 의한 자기 메모리 장치의 동작 방법은 자기 소자에 쓰기 전류를 제공하는 쓰기 회로를 포함하는 자기 메모리 장치에서 자기 소자에 제 1 시간동안 제 1 피크의 제 1 전류를 제공하는 단계; 및 자기 소자에 제 1 시간보다 긴 제 2 시간 동안 제 1 피크보다 작은 제 2 피크의 제 2 전류를 제공하는 단계를 포함한다.

발명의 효과

[0014] 본 기술은 쓰기 동작시 펄스 형태의 쓰기 전류와 이보다 낮은 수준의 쓰기 전류를 함께 인가하여 전체적인 쓰기 시간을 줄이는 동시에 소비 전력량을 감소시킨다.

[0015] 또한 본 기술에 의해 제공되는 펄스 형태의 전류는 매우 짧은 시간 동안 인가됨으로써 자기 저항 소자의 손상 가능성을 줄일 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 의한 자기 메모리 장치의 블록도.
 도 2는 STT 효과를 이용하는 자기 메모리 장치의 구조를 나타낸 도면.
 도 3은 SOT 효과를 이용하는 자기 메모리 장치의 구조를 나타낸 도면.
 도 4는 STT 효과와 SOT 효과를 이용하는 자기 메모리 장치의 구조를 나타낸 도면.
 도 5는 종래의 쓰기 회로에서 제공하는 쓰기 전류를 나타낸 파형도.
 도 6은 본 발명의 일 실시예에 의한 쓰기 회로에서 제공하는 쓰기 전류를 나타낸 파형도.
 도 7 내지 도 12는 시뮬레이션 결과를 나타낸 그래프.
 도 13은 도 1의 쓰기 회로의 상세 회로도.

발명을 실시하기 위한 구체적인 내용

[0017] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.

[0018] 도 1은 본 발명의 일 실시예에 의한 자기 메모리 장치를 나타낸 블록도이다.

[0019] 본 발명의 일 실시예에 의한 자기 메모리 장치는 자기 소자(10), 트랜지스터 스위치(20), 워드 라인(31), 소스 라인(32), 쓰기 라인(33) 및 쓰기 회로(100)를 포함한다.

[0020] 쓰기 라인(33)은 비트 라인일 수도 있고 비트 라인과 별도로 설치된 쓰기 라인일 수도 있다. 이에 대해서는 도 2 내지 4를 참조하여 설명한다.

[0021] 본 실시예에서 자기 소자(10)는 고정층(11), 장벽층(12), 및 자유층(13)을 포함한다.

- [0022] 본 실시예에서 자기 소자(10)로서 pMTJ 소자를 예로 들었으나 자기 소자는 면내 MTJ(In-plane MTJ) 소자일 수도 있다.
- [0023] 또한 자기 소자는 STT 효과를 이용하는 자기 소자뿐만 아니라 SOT 효과를 이용하는 자기 소자일 수도 있다.
- [0024] 또한 자기 소자는 STT 효과 및 SOT 효과를 모두 이용하는 자기 소자일 수 있다.
- [0025] 본 실시예에서 쓰기 회로(100)는 쓰기 동작 시 쓰기 전류를 제공하되, 쓰기 전류는 제 1 피크를 가지는 펄스 형태의 제 1 전류와 제 2 피크를 가지는 제 2 전류를 포함한다.
- [0026] 제 1 전류는 쓰기 동작 초기에 제 1 시간(t_{OST}) 동안만 제공되고 제 2 전류는 제 2 시간(t_C) 동안 제공된다.
- [0027] 제 1 전류는 제 1 피크가 일정 시간 유지되는 사각파 형태의 펄스일 수 있다.
- [0028] 제 1 피크가 일정하게 유지되는 시간으로 인한 자기 소자의 손상 가능성을 더욱 줄이기 위하여 제 1 피크가 일정하게 유지되는 시간을 줄일 수 있다.
- [0029] 이 경우 제 1 피크는 삼각파 또는 임펄스 형태의 파형을 가질 수 있다.
- [0030] 제 2 시간(t_C)은 쓰기 전류에 의해 자기 소자(10)가 스위칭 되는 스위칭 시간(t_{SW}) 이상이 되도록 설정되는 것이 바람직하다.
- [0031] 쓰기 회로(100)의 동작에 대해서는 이하에서 다시 설명한다.
- [0032] 도 2는 STT 효과를 이용하는 자기 메모리 장치의 구조를 나타낸 것이다.
- [0033] 도 2에서 자기 메모리 장치는 기판(1) 상부에 형성된 워드 라인(31), 워드 라인(31) 양측의 기판(1) 내에 형성된 드레인(21) 및 소스(22), 기판(1)과 워드라인(31) 사이에 형성된 게이트 절연층(23)을 포함한다.
- [0034] 또한 자기 메모리 장치는 드레인(21) 상부에 형성된 드레인 전극(2), 소스(22) 상부에 형성된 소스 전극(3), 드레인 전극(2) 상부에 순차적으로 형성된 금속층(4), 자기 소자(10), 전극(5) 및 쓰기 라인(33)을 포함하며, 소스 전극(3) 상부에 형성된 소스 라인(32)을 포함한다.
- [0035] 본 실시예에서 쓰기 라인(33)은 비트 라인에 대응한다.
- [0036] 공정에 따라 금속층(4)과 전극(5)은 생략될 수 있다.
- [0037] 자기 소자(10)는 고정층(11), 장벽층(12) 및 자유층(13)을 포함한다.
- [0038] STT 효과를 이용하는 경우 자기 소자(10)를 관통하는 쓰기 전류를 인가하여 자기 소자(10)의 자유층(13)의 스핀 방향을 조정함으로써 데이터를 기록하고, 자유층(13)의 스핀 방향에 따라 발생하는 저항 또는 전류 차이에 따라 데이터를 읽는다.
- [0039] 쓰기 회로(100)는 쓰기 동작시 쓰기 라인(33)과 소스 라인(32)의 사이에 쓰기 전류를 제공한다.
- [0040] 도 3은 SOT 효과를 이용하는 자기 메모리 장치의 구조를 나타낸 것이다.
- [0041] 도 3에서 자기 메모리 장치는 기판(1) 상부에 형성된 워드 라인(31), 워드 라인(31) 양측의 기판(1) 내에 형성된 드레인(21) 및 소스(22), 기판(1)과 워드라인(31) 사이에 형성된 게이트 절연층(23)을 포함한다.
- [0042] 또한 자기 메모리 장치는 드레인(21) 상부에 형성된 드레인 전극(2), 소스(22) 상부에 형성된 소스 전극(3), 드레인 전극(2)의 상부에 순차적으로 형성된 쓰기 라인(33), 자기 소자(10), 전극(5) 및 비트 라인(34)을 포함하며, 소스 전극(3) 상부에 형성된 소스 라인(32)을 포함한다.
- [0043] 본 실시예에서 쓰기 라인(33)은 비트 라인(34)과 구별된다. 아울러 비트 라인(34)은 쓰기 동작에는 관여하지 않고 읽기 동작에만 관여한다.
- [0044] 자기 소자(10)는 고정층(11), 장벽층(12) 및 자유층(13)을 포함한다.
- [0045] 자기 소자(10)의 자유층(13)과 인접하는 쓰기 라인(33) 상부에는 스핀홀 효과 물질층(40)이 형성된다.
- [0046] 공정에 따라 전극(5)은 생략될 수 있다.
- [0047] 쓰기 회로(100)는 쓰기 동작시 쓰기 라인(33)과 소스 라인(32) 사이에 쓰기 전류를 제공한다.
- [0048] 쓰기 라인(33)을 통해 자기 소자(10)의 자유층(13)에 수평으로 흐르는 전류에 의해 스핀홀 효과 물질층(40)에서

스핀홀 효과가 발생하고 이에 의해 자유층(13)의 스핀이 스위칭되어 쓰기 동작이 수행된다.

- [0049] 읽기 동작 시에는 비트 라인(34), 자기 소자(10) 및 소스 라인(32)을 통해 전류가 흐른다.
- [0050] 읽기 동작시 자유층(13)의 스핀 방향에 따라 발생하는 저항 또는 전류 차이에 따라 데이터를 식별한다.
- [0051] 도 4는 STT 및 SOT 효과를 모두 이용하는 자기 메모리 장치의 구조를 나타낸 것이다.
- [0052] 도 4에서 자기 메모리 장치는 기판(1) 상부에 형성된 워드 라인(31), 워드 라인(31) 양측의 기판(1) 내에 형성된 드레인(21) 및 소스(22), 기판(1)과 워드 라인(31) 사이에 형성된 게이트 절연층(23)을 포함한다.
- [0053] 본 실시예에 의한 자기 메모리 장치는 소스(22) 상부에 형성된 소스 전극(3)과 드레인(21) 상부에 형성된 드레인 전극(2)을 포함한다.
- [0054] 본 실시예에 의한 자기 메모리 장치는 드레인 전극(2) 상부에 순차적으로 형성된 금속층(8), 자기 소자(10) 및 쓰기 라인(33)을 포함하고, 소스 전극(3) 상부에 형성된 소스 라인(32)을 포함한다.
- [0055] 본 실시예에 의한 자기 메모리 장치는 쓰기 라인(33) 하부에 형성된 스핀 홀 효과 물질층(40)을 포함한다.
- [0056] 자기 소자(10)에서 자유층(13)은 스핀 홀 효과 물질층(40)과 인접하도록 형성되고, 고정층(11)은 금속층(8)과 인접하도록 형성된다.
- [0057] 본 실시예에서 쓰기 라인(33)은 비트 라인에 대응하며 읽기 동작 및 쓰기 동작에 모두 사용될 수 있다.
- [0058] 공정에 따라 금속층(8)은 생략될 수 있다.
- [0059] 쓰기 동작 시 쓰기 회로(100)는 쓰기 라인(33)과 소스 라인(32) 사이에 쓰기 전류를 인가한다.
- [0060] 도 4의 실시예에서 쓰기 전류는 자유층(13)에 평행한 수평 전류와 자유층(11)을 관통하는 수직 전류를 포함한다.
- [0061] 이때 수평 전류에 의한 스핀 궤도 토크와 수직 전류에 의한 스핀 전달 토크에 의해 자유층(11)의 스핀이 조정됨으로써 쓰기 동작이 수행될 수 있다.
- [0062] 이하에서는 도 2와 같은 STT 효과를 이용하는 자기 메모리 장치를 예로 들어 쓰기 회로의 동작을 설명한다.
- [0063] 도 5는 종래의 쓰기 회로에서 인가하는 쓰기 전류의 파형을 나타낸다.
- [0064] 종래의 쓰기 회로는 단순히 일정한 크기의 전류(JP)를 일정 시간(tP) 동안 인가하여 쓰기 동작을 수행하였다.
- [0065] 도 6은 본 발명의 일 실시예에 의한 쓰기 회로에서 인가하는 쓰기 전류의 파형을 나타낸 그래프이다.
- [0066] 전술한 바와 같이 본 실시예에서 쓰기 회로(100)는 쓰기 동작 시 쓰기 전류를 제공하며, 쓰기 전류는 제 1 피크(JOST)를 가지는 펄스 형태의 제 1 전류와 제 2 피크(JC)를 가지는 제 2 전류를 포함한다.
- [0067] 이때 제 2 피크(JC)는 제 1 피크(JOST)보다 더 낮은 수준이고, 제 1 전류는 쓰기 동작 초기에 매우 짧은 시간(tOST) 동안 제공된다.
- [0068] 이때 제 1 전류가 제공되는 시간(tOST)을 제 1 시간 또는 펄스 폭으로 지칭할 수 있다.
- [0069] 또한 자기 소자의 손상을 줄이기 위하여 펄스의 형태는 피크 지점에서 머무는 시간이 짧을수록 바람직하다. 즉 펄스의 형태는 임펄스에 가까운 것이 바람직하다.
- [0070] 발명자는 자유층의 두께는 1nm이고, 고정층의 두께는 2nm 이고, 반지름이 20 nm인 원기둥 형태의 pMTJ 소자를 사용하여 OOMF(Objected Oriented Micro-Magnetic Framwork) 틀에 의한 시뮬레이션을 수행하였다.
- [0071] 시뮬레이션에 사용한 기타 인자는 다음 표 1과 같다.

표 1

설명	수치
포화 자기화	1.1×10^6 (A/m)
자유층의 자기 이방성	9.3×10^5 (J/m ³)
고정층의 자기 이방성	$1.2 \times 10^6 \sim 2.4 \times 10^6$ (J/m ³)
유닛 셀	1nm x 1nm x 1nm

온도	OK
쓰기 펄스 폭	10ns
댐핑 계수	0.02
스핀 토크 효율	0.7

- [0073] 시뮬레이션 결과 제 1 전류가 제공되는 시간(t_{OST})과 제 1 피크(J_{OST})는 자유층의 자기 스위칭에 큰 영향을 미치는 것을 발견하였다.
- [0074] 실험 결과 도 6에서와 같이 제 1 전류와 함께 제 2 전류를 인가한 경우에 스위칭 시간이 80% 감소하고 총 소비 전력량이 9% 감소하는 것을 확인하였다.
- [0075] 이와 같은 효과는 제 1 전류에 의하여 발생하는 자유층의 스핀 세차에 의한 것으로 생각된다.
- [0076] 이하에서 실험 결과에 대해서 구체적으로 설명한다.
- [0077] 도 7, 도 8은 실험에 사용한 쓰기 전류의 다양한 파형을 나타낸다.
- [0078] 도 7은 도 6에서 제 1 전류가 제공되는 시간(t_{OST})을 600ps로 고정하고 제 1 피크의 크기를 다양하게 변경하는 경우의 쓰기 전류를 나타낸다.
- [0079] 이때 제 2 피크(J_C)는 $1.1 \times 10^{11} \text{ A/m}^2$ 이고 쓰기 전류가 제공되는 시간(t_C)은 10ns로 고정된다.
- [0080] 도 8은 제 1 피크의 크기를 $6.1 \times 10^{11} \text{ A/m}^2$ 로 고정하고 제 1 전류가 제공되는 시간(t_{OST})을 100ps에서 2000ps까지 변경하는 경우의 쓰기 전류를 나타낸다.
- [0081] 이때 제 2 피크(J_C)는 $1.1 \times 10^{11} \text{ A/m}^2$ 이고 쓰기 전류가 제공되는 시간(t_C)은 10ns로 고정된다.
- [0082] 실험 결과 종래의 도 5와 같이 일정하게 쓰기 전류를 인가하는 경우라면 $1.1 \times 10^{11} \text{ A/m}^2$ 의 전류를 인가하였을 때 스위칭 시간은 9.98 ns가 소요되었다(실험 1).
- [0083] 실험 결과 도 5와 같이 $2.5 \times 10^{11} \text{ A/m}^2$ 이상의 쓰기 전류를 일정하게 인가하는 경우 고정층에 교란이 발생하였다. 고정층에 교란이 발생하는 경우 자기 소자가 정상적으로 동작하지 못한다.
- [0084] 또한 도 6과 같이 제 1 전류를 600ps 동안 인가한 경우에는 $8.5 \times 10^{11} \text{ A/m}^2$ 이상에서 고정층에 교란이 발생하였다.
- [0085] 위의 실험 결과를 통해 본 발명에서 임펄스 형태의 제 1 전류를 인가함에 있어서 제 1 피크의 크기를 충분히 크게 하여도 자기 소자의 정상적인 동작을 보장할 수 있음을 확인하였다.
- [0086] 제 1 피크(J_{OST})가 $2.7 \times 10^{11} \text{ A/m}^2$ 인 제 1 전류를 600ps 동안 제공한 경우(실험 2) 스위칭 시간은 8.94ns로 측정되었는데 이는 제 1 전류가 없이 제 2 피크(J_C)가 $1.1 \times 10^{11} \text{ A/m}^2$ 의 쓰기 전류를 인가한 경우의 스위칭 시간인 9.98ns인 경우에 비하여 약 10% 정도의 쓰기 시간 감소 효과를 나타낸다.
- [0087] 그러나 이 경우 제 1 전류로 인하여 전력량이 3% 증가한 것으로 측정되었다.
- [0088] 또 다른 실험에서 제 1 전류를 제공하지 않고 제 2 피크의 크기를 $1.0 \times 10^{11} \text{ A/m}^2$ 로 줄여서 제 2 전류를 제공하였다(실험 3).
- [0089] 이 경우에는 스위칭 시간에는 큰 변동이 없으며 소비 전력량이 9% 감소함을 확인하였다.
- [0090] 다음 실험에서 제 1 시간(t_{OST})을 600ps로 고정하고 제 1 피크(J_{OST})를 $6.1 \times 10^{11} \text{ A/m}^2$ 로 증가시켰으며 나머지 조건은 그대로 유지하였다(실험 4).
- [0091] 이 경우 스위칭 시간이 80% 감소하고 소비 전력량이 9% 감소함을 확인하였다.
- [0092] 위의 실험을 통해 제 1 피크를 크게 함으로써 스위칭 시간을 현저하게 줄일 수 있으며 제 1 피크를 크게 제공하는 경우에 제 2 피크를 줄이는 것과 유사한 정도의 소비 전력량 감소 효과를 달성할 수 있음을 확인하였다.

[0093] 다음 표 2는 이상의 실험을 정리하면 다음 표 2와 같다.

표 2

[0094]

	실험 1(기준)	실험 2	실험 3	실험 4
JOST (10^{11} A/m ²)	-	2.7	2.7	6.1
tOST (ns)	-	600	600	600
JC (10^{11} A/m ²)	1.1	1.1	1.0	1.1
스위칭 시간 변화	-	-10%	-	-80%
스위칭 전력량 변화	-	+3%	-9%	-9%

[0095] 추가 실험에서는 제 1 피크(JOST)의 크기를 6.1×10^{11} A/m²로 고정하고 제 1 시간(tOST)을 다양하게 변경하였다.

[0096] 이때 제 2 피크(JC)의 크기는 1.1×10^{11} A/m²로 고정하였다.

[0097] 도 9는 제 1 피크의 크기를 고정하고 제 1 시간(tOST)을 다양하게 조절한 경우의 스위칭 시간을 나타낸 그래프이다.

[0098] 도식된 바와 같이 제 1 시간(tOST)이 매우 짧은 경우(예를 들어 100ps, 200ps, 300ps)에는 오히려 스위칭 시간의 감소폭이 작고, 제 1 시간(tOST)이 상대적으로 긴 경우(예를 들어 400ps ~ 1000ps)에는 스위칭 시간이 크게 감소하였다.

[0099] 이후 제 1 시간(tC)이 더욱 길어진 경우(예를 들어 2000ps)에는 스위칭 시간에는 거의 변화가 없음을 알 수 있다.

[0100] 도 10은 도 9의 경우에 있어서 제 1 시간(tOST)에 따른 스위칭 시간과 소비 전력량의 변화를 함께 표시한 그래프이다.

[0101] 도 9에서도 설명한 바와 같이 제 1 시간(tOST)이 증가할수록 스위칭 시간이 감소함을 알 수 있다.

[0102] 다만 제 1 시간(tOST)이 증가하는 경우 스위칭 전력량은 증가하는 경향을 나타낸다.

[0103] 이에 따라서 스위칭 시간을 줄이는 동시에 총 소비 전력량을 줄일 수 있도록 제 1 시간(tOST)을 선택하는 것이 바람직하다.

[0104] 예를 들어 제 1 시간(tOST)을 스위칭 시간이 대폭 줄어들기 시작한 400ps 이상으로 선택하는 경우 스위칭 시간을 줄이는 동시에 소비 전력량도 일정한 수준으로 줄일 수 있음을 예측할 수 있다.

[0105] 도 11은 제 1 전류의 제 1 피크(JOST)를 6.1×10^{11} A/m²로 고정하고 제 1 시간(tOST)을 600ps로 고정한 경우 제 2 피크(JC)에 따른 스위칭 시간을 나타낸 그래프이다.

[0106] 도 11에서 검은색 파형은 제 1 전류를 제공하지 않은 상태에서 제 2 피크(JC)를 1.1×10^{11} A/m²로 제공한 경우이다.

[0107] 이 경우는 전술한 바와 같이 9.98ns에서 스위칭이 수행된다.

[0108] 도식된 바와 같이 제 2 피크(JC)가 1.1×10^{11} A/m²에서 9.0×10^{10} A/m²로 감소할수록 스위칭 시간이 급격히 증가함을 알 수 있다.

[0109] 도 12는 도 11의 경우에 스위칭 시간과 소비 전력량을 나타낸 것이다.

[0110] 도식된 바와 같이 제 2 피크(JC)가 감소할수록 스위칭 시간은 급격히 증가하며 소비 전력량은 서서히 증가함을 알 수 있다.

[0111] 이는 전류의 감소보다는 스위칭 시간 증가로 인한 소비 전력량 증가가 더 큰 영향을 나타낸 것으로 이해할 수 있다.

[0112] 이상에서 개시한 바와 같이 자기 소자에 대한 쓰기 동작 시 제 2 전류를 제공하기에 앞서 펄스 형태의 제 1 전

류를 인가함으로써 종래에 비하여 스위칭 시간을 대폭 감소시키는 동시에 소비 전력량 또한 줄일 수 있음을 알 수 있다.

- [0113] 도 13은 도 1의 쓰기 회로(100)의 상세 회로도이다.
- [0114] 쓰기 회로(100)는 제 1 쓰기 회로(110)와 제 2 쓰기 회로(120)를 포함한다.
- [0115] 제 1 쓰기 회로(110)와 제 2 쓰기 회로(120)는 실질적으로 동일한 구성을 가진다.
- [0116] 데이터 신호(D)가 하이 레벨인 경우 제 1 쓰기 회로(110)는 전류를 소싱하고 제 2 쓰기 회로(120)는 쓰기 전류를 싱크한다.
- [0117] 이때 쓰기 전류는 쓰기 라인(32)에서 자기 소자(10)를 거쳐 소스 라인(33) 방향으로 흐른다.
- [0118] 반대로 데이터 신호(D)가 로우 레벨인 경우 제 2 쓰기 회로(120)는 전류를 소싱하고 제 1 쓰기 회로(110)는 쓰기 전류를 싱크한다.
- [0119] 이때 쓰기 전류는 소스 라인(33)에서 자기 소자(10)를 거쳐 쓰기 라인(33) 방향으로 흐른다.
- [0120] 쓰기 활성화 신호(WE)가 비활성화된 경우에는 펄스 신호(OST) 역시 비활성화된 상태이므로 쓰기 전류는 제공되지 않는다.
- [0121] 쓰기 활성화 신호(WE)가 활성화되면 제 1 전류를 제공하기 위하여 펄스 신호(OST)가 활성화되고 제 1 시간(tOST)이 경과한 후 비활성화된다.
- [0122] 먼저 데이터 신호(D)가 하이 레벨인 경우의 동작을 설명한다.
- [0123] PMOS 트랜지스터(111)는 펄스 신호(OST)에 관계없이 턴온 상태가 된다.
- [0124] 낸드 게이트(131)는 펄스 신호(OST)가 활성화된 동안 PMOS 트랜지스터(112)를 턴온한다.
- [0125] 이에 따라 PMOS 트랜지스터(111)는 제 2 피크(JC)의 전류를 제공하고, PMOS 트랜지스터(112)는 제 1 피크(JOST)와 제 2 피크(JC)의 차이에 해당하는 전류를 추가로 제공한다.
- [0126] 즉 펄스 신호(OST)가 활성화된 동안 PMOS 트랜지스터(111, 112)는 제 1 피크(JOST)의 전류를 제공하고, 펄스 신호(OST)가 비활성화된 동안 PMOS 트랜지스터(111)는 제 2 피크(JC)의 전류를 제공하게 된다.
- [0127] 이때 PMOS 트랜지스터(112)는 PMOS 트랜지스터(111)에 비하여 더 큰 전류를 제공할 수 있도록 더 크게 설계되는 것이 바람직하다.
- [0128] 데이터 신호(D)가 하이 레벨이므로 인버터(134)의 출력은 로우 레벨이 된다.
- [0129] 이에 따라 스위칭 트랜지스터(113, 114)는 모두 턴오프된 상태이다.
- [0130] 스위칭 트랜지스터(115, 125)는 펄스 신호(OST)에 관계없이 쓰기 활성화 신호(WE)에 의해 턴온 상태이다.
- [0131] 스위칭 트랜지스터(116, 126)는 펄스 신호(OST)가 활성화되는 동안 턴온된다.
- [0132] 스위칭 트랜지스터(116, 126)는 더 큰 쓰기 전류를 흐르게 할 수 있도록 스위칭 트랜지스터(115, 125)에 비하여 더 크게 설계되는 것이 바람직하다.
- [0133] 데이터 신호(D)가 하이 레벨이므로 인버터(132)의 출력은 펄스 신호(OST)가 하이 레벨인 구간에서 하이 레벨이 된다.
- [0134] 이에 따라 스위칭 트랜지스터(123)은 턴온 상태가 되고, 스위칭 트랜지스터(124)는 펄스 신호(OST)가 활성화되는 구간에서만 턴온된다.
- [0135] 마찬가지로 스위칭 트랜지스터(124)는 더 큰 쓰기 전류를 흐르게 할 수 있도록 스위칭 트랜지스터(123)에 비하여 더 크게 설계되는 것이 바람직하다.
- [0136] 다음으로 데이터 신호(D)가 로우 레벨인 경우의 동작을 설명한다.
- [0137] PMOS 트랜지스터(121)는 펄스 신호(OST)에 관계없이 턴온 상태가 된다.
- [0138] 낸드 게이트(133)는 펄스 신호(OST)가 활성화된 동안 PMOS 트랜지스터(122)를 턴온한다.

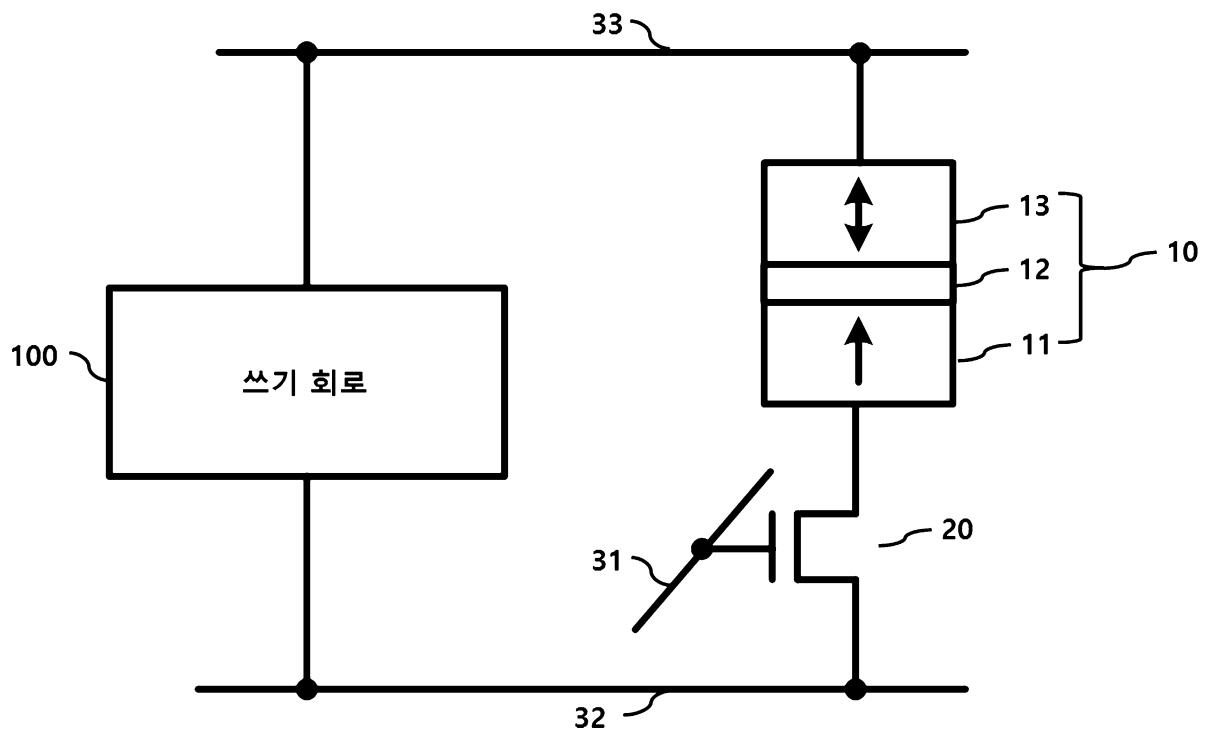
- [0139] 이에 따라 PMOS 트랜지스터(121)는 제 2 피크(JC)를 가지는 전류를 제공하고, PMOS 트랜지스터(122)는 제 1 피크(JOST)와 제 2 피크(JC)의 차이에 해당하는 전류를 추가로 제공한다.
- [0140] 즉 펄스 신호(OST)가 활성화된 동안 PMOS 트랜지스터(121, 122)는 제 1 피크(JOST)의 전류를 제공하고, 펄스 신호(OST)가 비활성화된 동안 PMOS 트랜지스터(121)는 제 2 피크(JC)의 전류를 제공하게 된다.
- [0141] 이때 PMOS 트랜지스터(122)는 PMOS 트랜지스터(121)에 비하여 더 큰 전류를 제공할 수 있도록 더 크게 설계되는 것이 바람직하다.
- [0142] 데이터 신호(D)가 로우 레벨이므로 인버터(132)의 출력은 로우 레벨이 된다.
- [0143] 이에 따라 스위칭 트랜지스터(123, 124)는 모두 턴오프된 상태이다.
- [0144] 스위칭 트랜지스터(115, 125)는 펄스 신호(OST)에 관계없이 쓰기 활성화 신호(WE)에 의해 턴온 상태이다.
- [0145] 스위칭 트랜지스터(116, 126)는 펄스 신호(OST)가 활성화되는 동안 턴온된다.
- [0146] 스위칭 트랜지스터(116, 126)는 더 큰 쓰기 전류를 흐르게 할 수 있도록 스위칭 트랜지스터(115, 125)에 비하여 더 크게 설계되는 것이 바람직하다.
- [0147] 데이터 신호(D)가 로우 레벨이므로 인버터(134)의 출력은 펄스 신호(OST)가 하이 레벨인 구간에서만 하이 레벨이 된다.
- [0148] 이에 따라 스위칭 트랜지스터(113)는 턴온 상태가 되고, 스위칭 트랜지스터(114)는 펄스 신호(OST)가 활성화되는 구간에서만 턴온된다.
- [0149] 마찬가지로 스위칭 트랜지스터(114)는 더 큰 쓰기 전류를 흐르게 할 수 있도록 스위칭 트랜지스터(113)에 비하여 더 크게 설계되는 것이 바람직하다.
- [0150] 이상에서는 STT 효과를 이용하여 쓰기 동작이 수행되는 자기 메모리 장치에 대한 쓰기 동작을 예로 들어 본 발명을 개시하였다.
- [0151] 본 발명의 이러한 동작 원리는 SOT 효과를 이용하여 쓰기 동작을 수행하는 자기 메모리 장치는 물론 STT 효과와 SOT 효과를 함께 이용하여 쓰기 동작을 수행하는 자기 메모리 장치에도 마찬가지로 적용될 수 있다.
- [0152] 이상은 본 발명의 개시를 위한 것으로서 본 발명의 권리범위가 이상의 개시에 의해 한정되는 것은 아니다. 본 발명의 권리범위는 특허청구범위에 문언적으로 기재된 범위와 그 균등범위로 정해질 수 있다.

부호의 설명

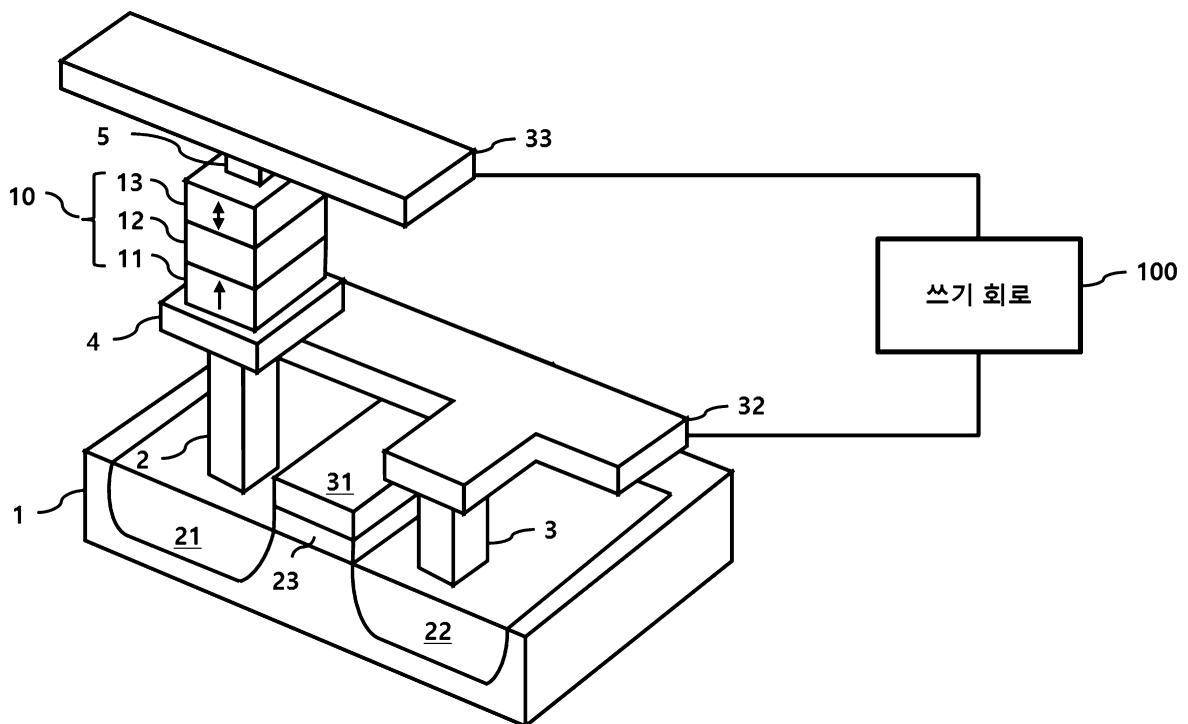
- [0153] 10: 자기 소자
- 11: 고정층
- 12: 장벽층
- 13: 자유층
- 20: 트랜지스터 스위치
- 21: 드레인
- 22: 소스
- 31: 워드라인
- 32: 소스 라인
- 33: 쓰기 라인
- 100: 쓰기 회로
- 110: 제 1 쓰기 회로
- 120: 제 2 쓰기 회로

도면

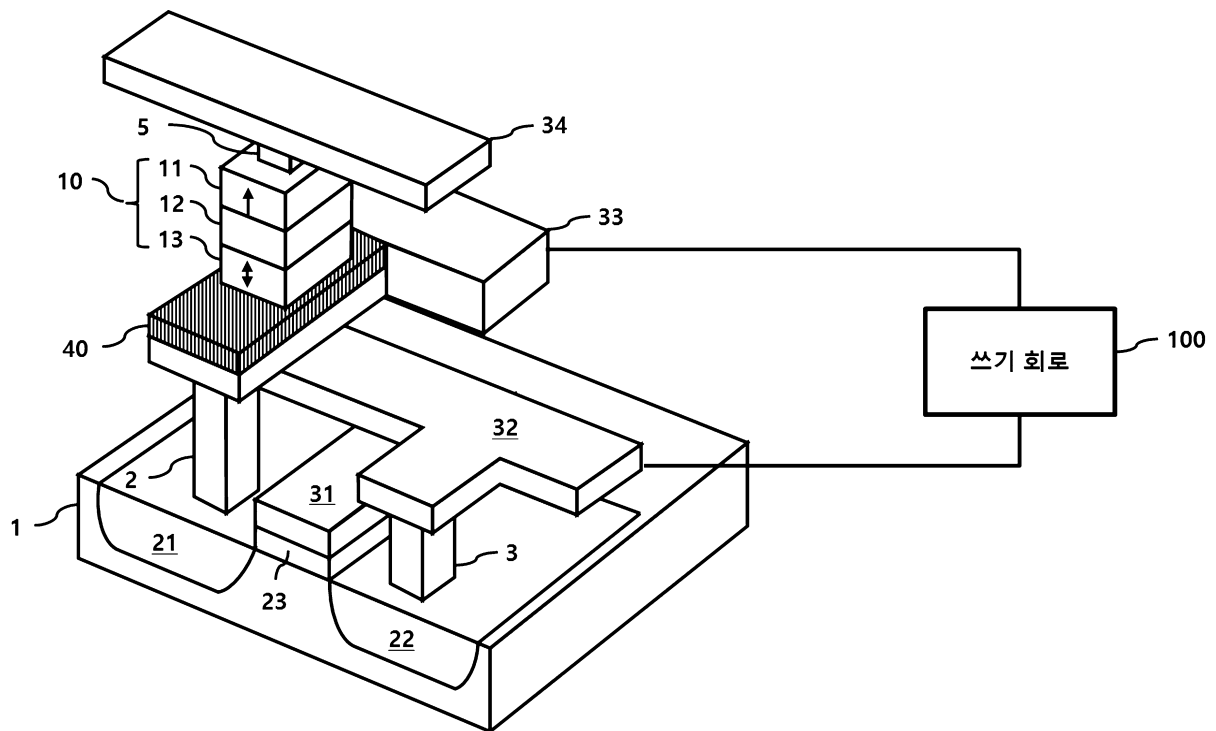
도면1



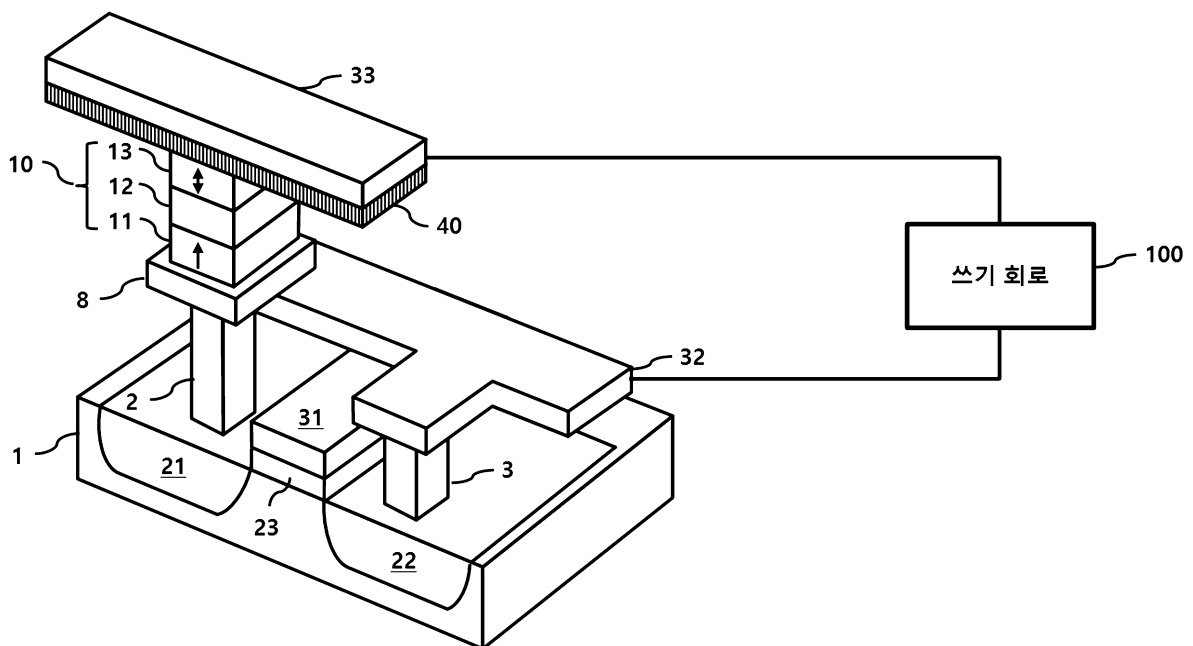
도면2



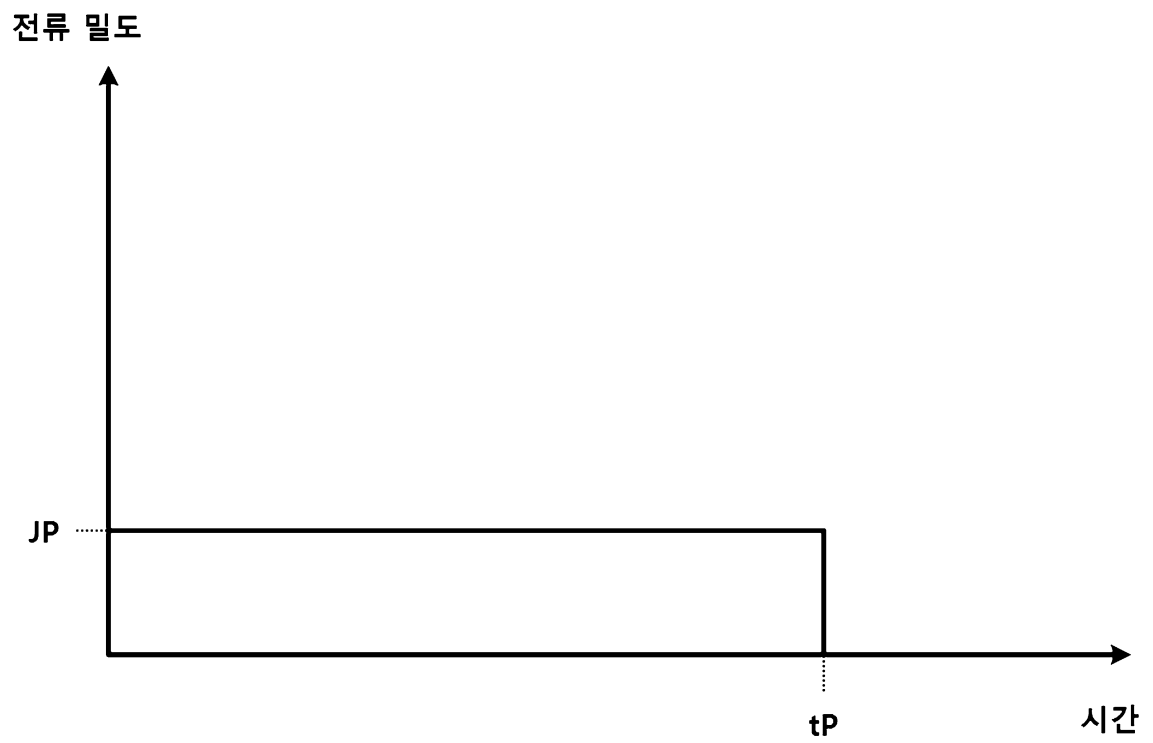
도면3



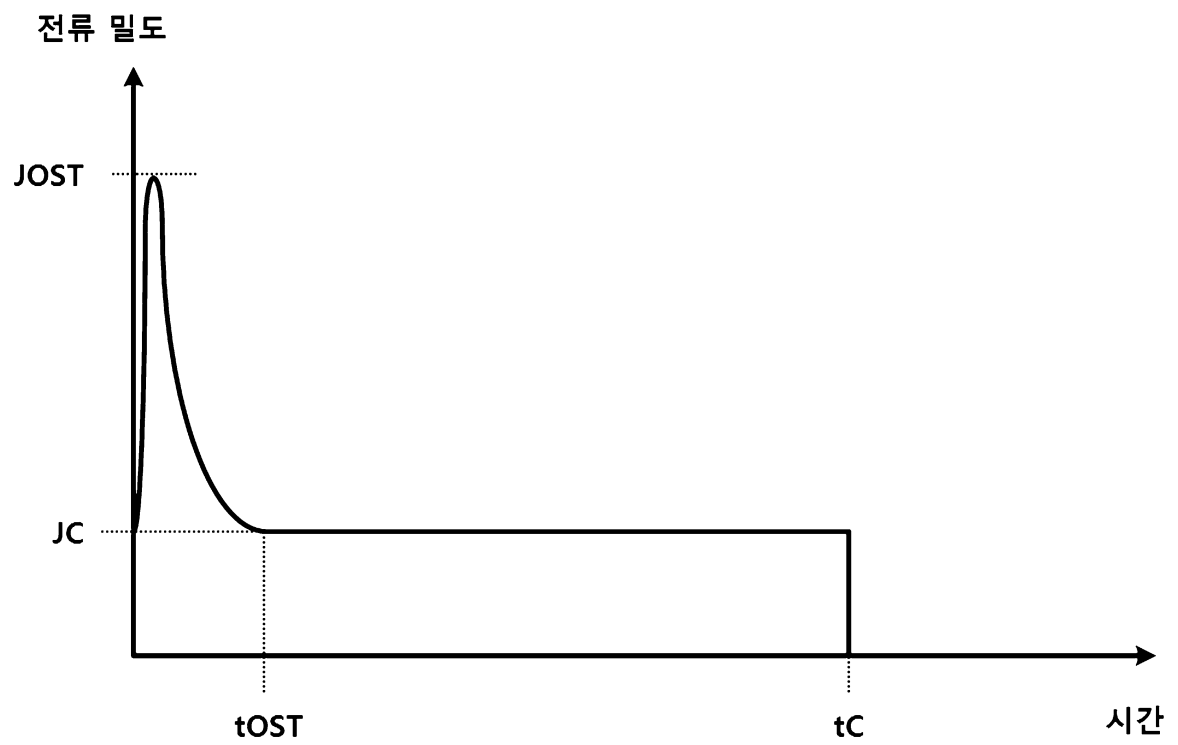
도면4



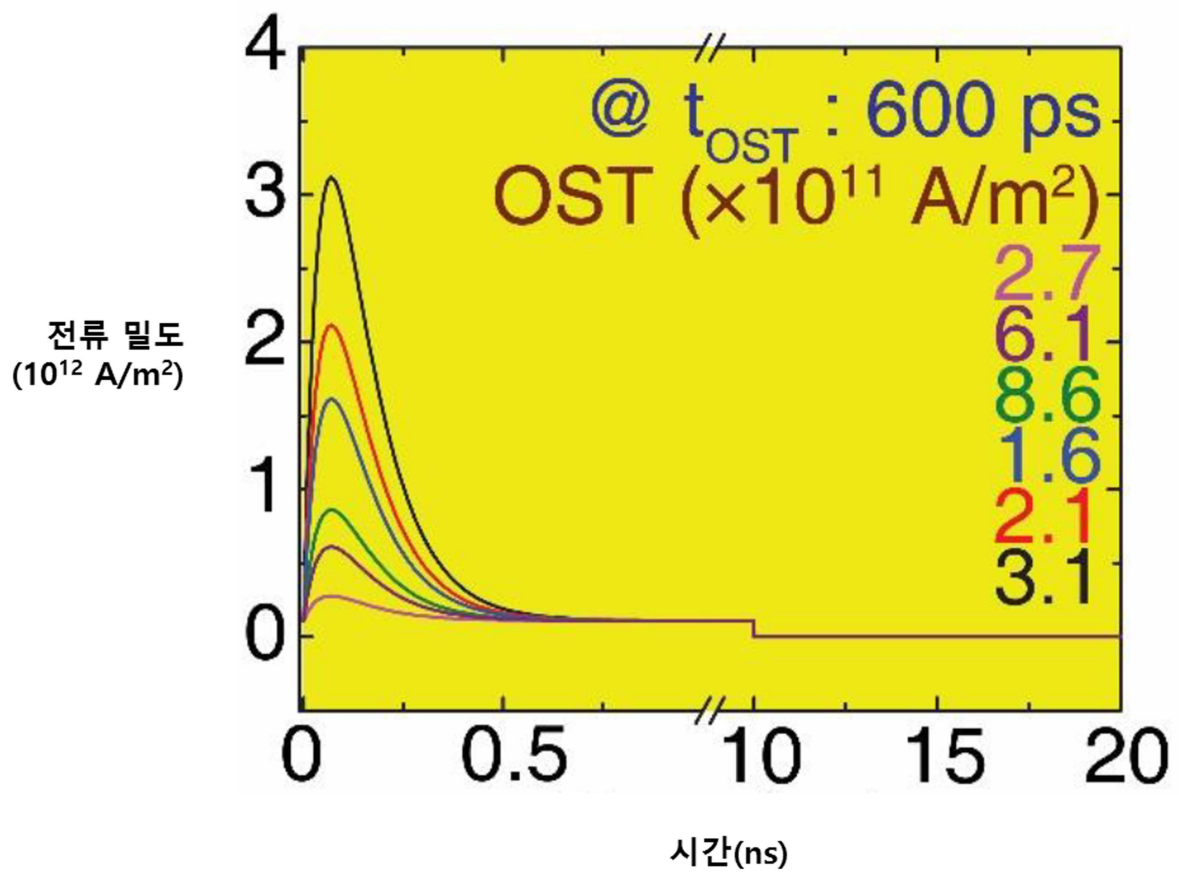
도면5



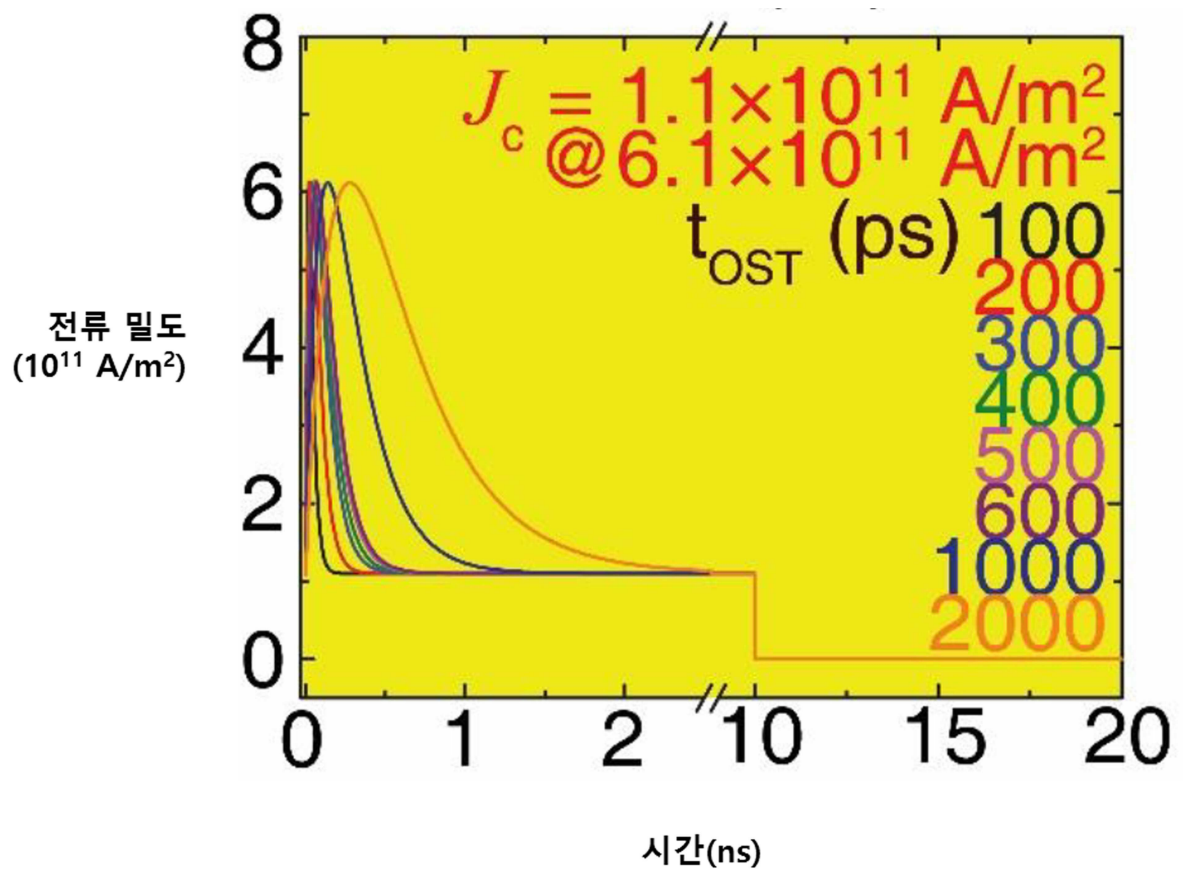
도면6



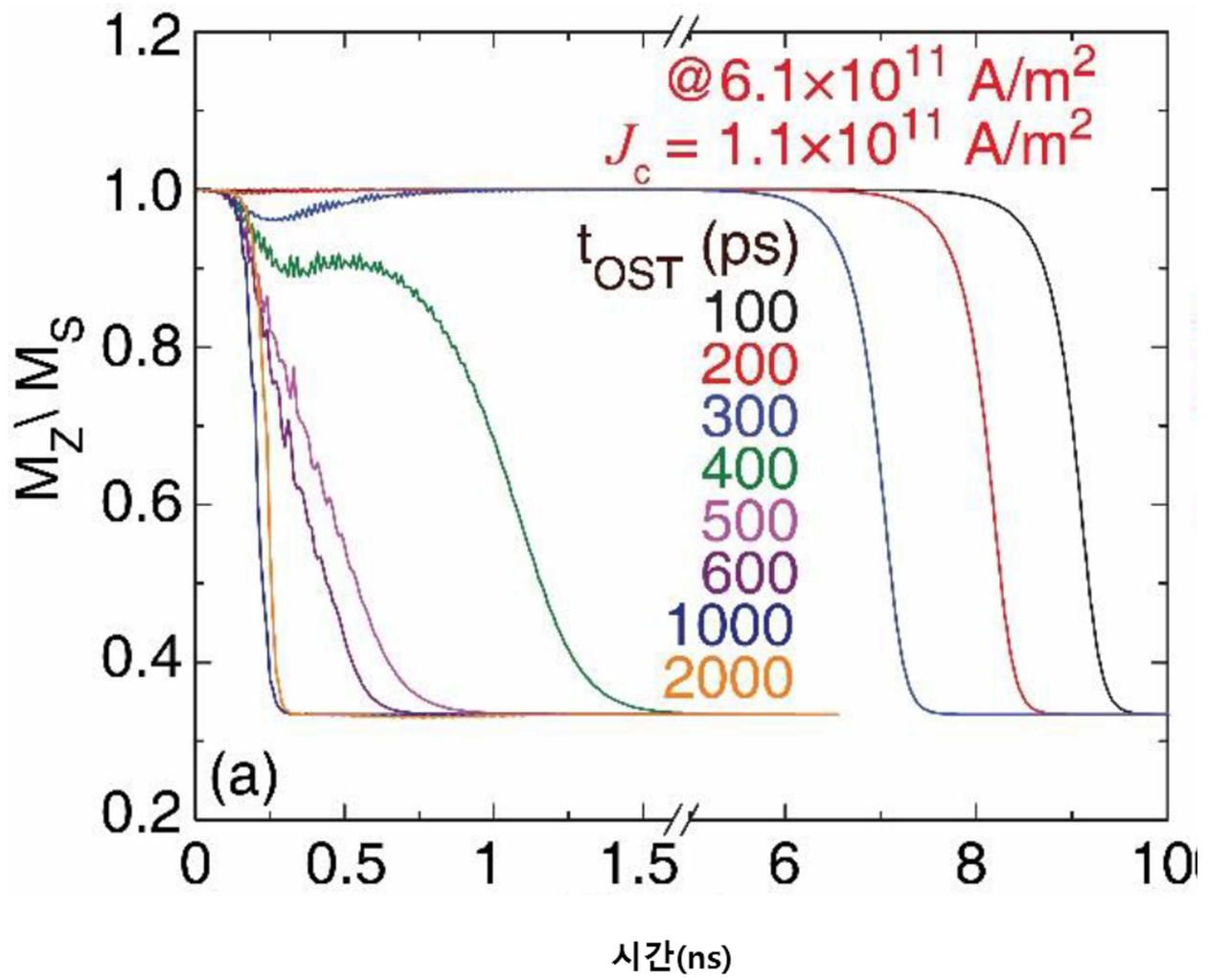
도면7



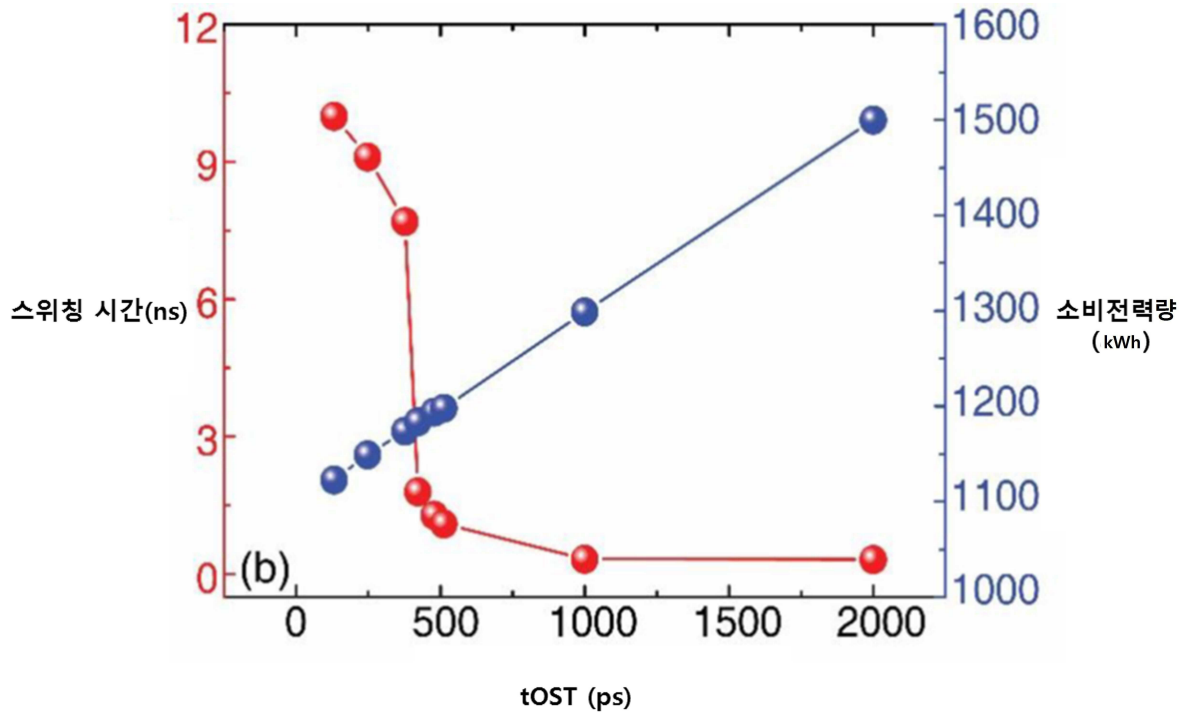
도면8



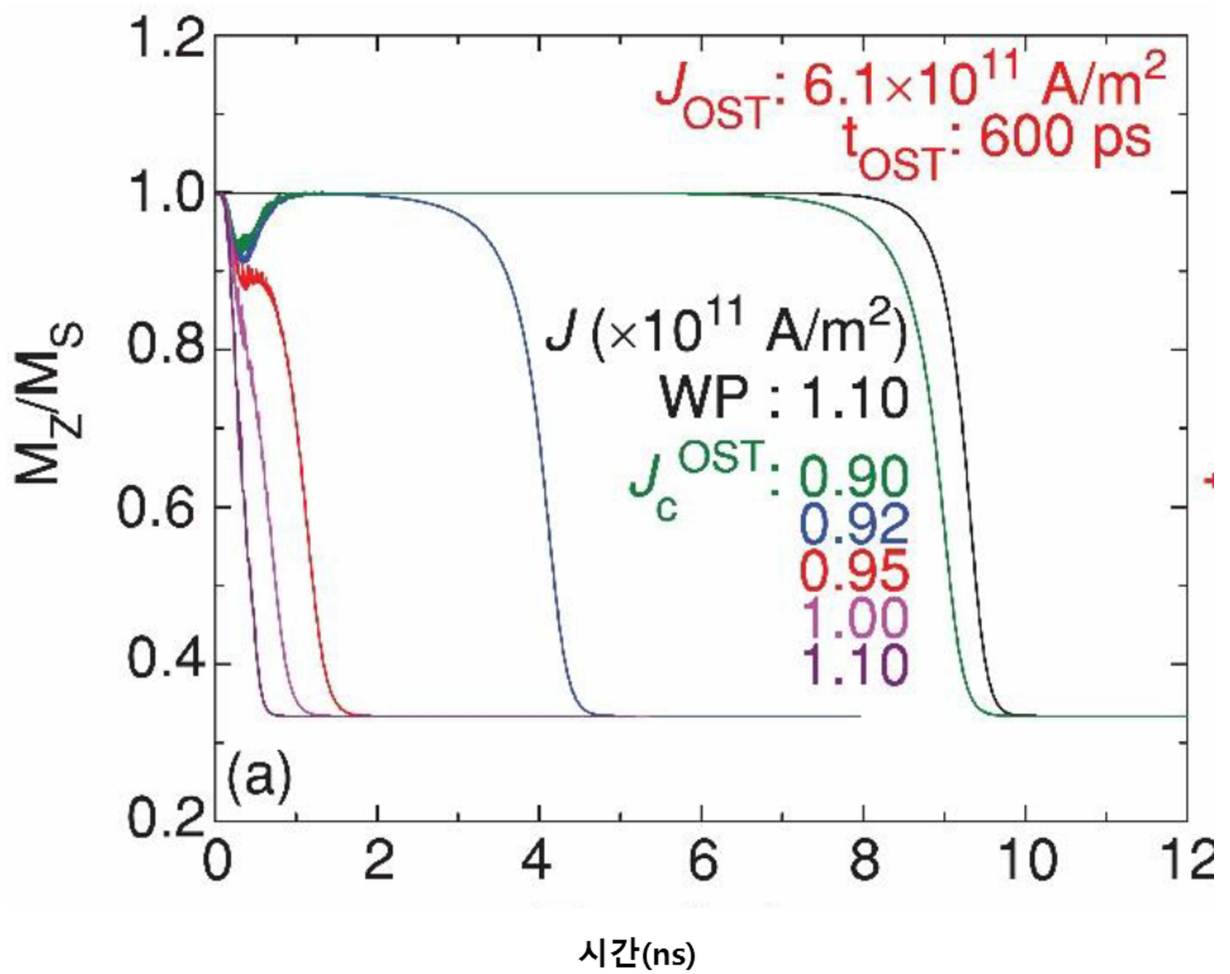
도면9



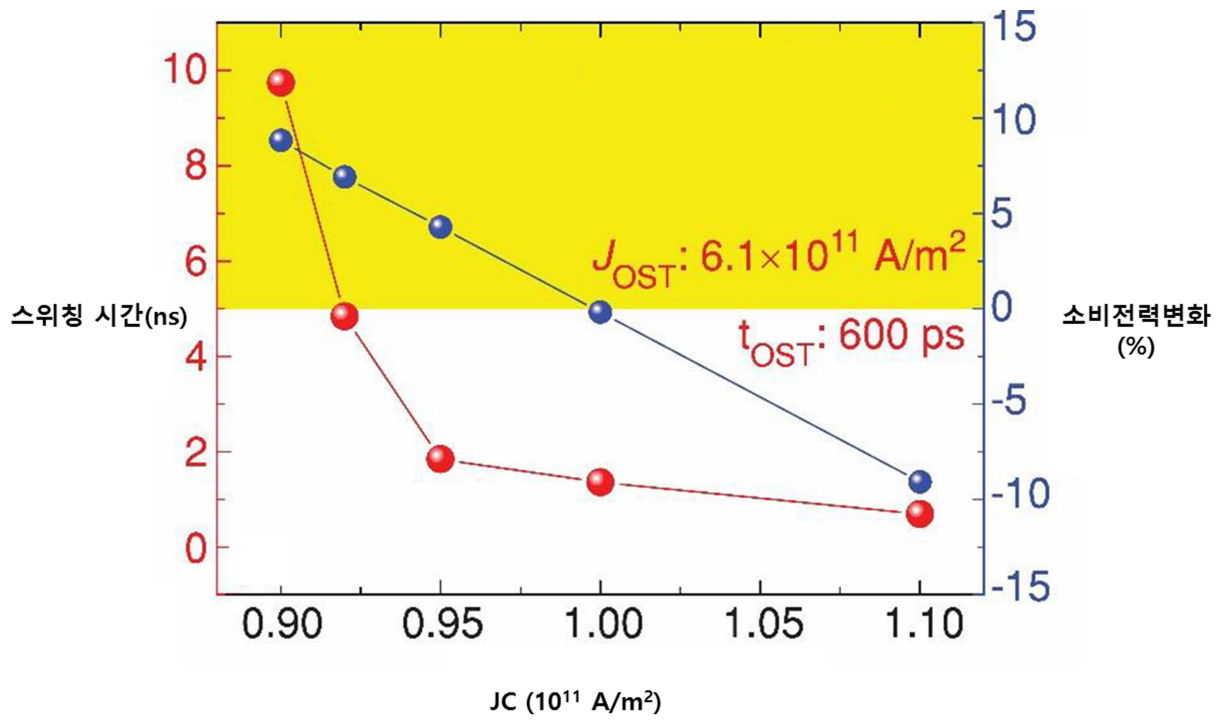
도면10



도면11



도면12



도면13

