



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0012266  
(43) 공개일자 2016년02월03일

(51) 국제특허분류(Int. Cl.)

H01L 21/8238 (2006.01) H01L 21/20 (2006.01)

H01L 21/31 (2006.01)

(21) 출원번호 10-2014-0093036

(22) 출원일자 2014년07월23일

심사청구일자 2014년07월23일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

고대홍

경기 고양시 일산서구 강선로 116, 203동 503호 (주엽동, 강선마을2단지아파트)

김병주

서울 서대문구 연희로26다길 51, 301호 (연희동, 휴팰리스)

(74) 대리인

이채형, 김승욱

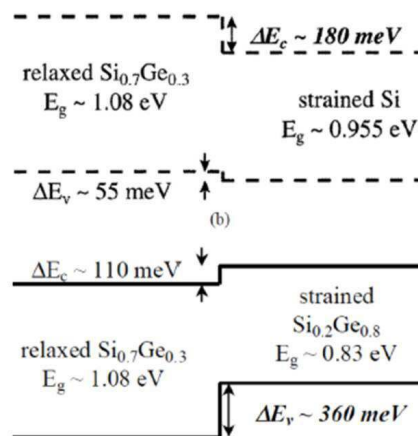
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 CMOS 소자 제조 방법 및 CMOS 소자

(57) 요약

본 발명의 한 가지 양태에 따라서, Si 기판 상에  $\text{Si}_{1-x}\text{Ge}_x$  조성의 응력 인가층을 형성하는 단계; 상기 응력 인가층 상에 활성 영역을 형성하는 단계; 상기 활성 영역에 각각 Si 에피층과 Ge 에피층을 형성하는 단계; 상기 Si 에피층과 Ge 에피층 상에 유전막을 형성하는 단계; 상기 유전막 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 형성 후, 각각의 활성 영역에 소스 전극과 드레인 전극을 형성하여, nMOS와 pMOS 소자를 형성하는 단계를 포함하고, 상기 응력 인가층으로 인하여 상기 Si 에피층과 Ge 에피층에는 각각 인장 응력과 압축 응력이 인가되어, 전자와 정공의 이동도를 증대시키는 것을 특징으로 하는 CMOS 소자 제조 방법이 제공된다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

Si 기판 상에  $\text{Si}_{1-x}\text{Ge}_x$  조성의 응력 인가층을 형성하는 단계;

상기 응력 인가층 상에 활성 영역을 형성하는 단계;

상기 활성 영역에 각각 Si 에피층과 Ge 에피층을 형성하는 단계;

상기 Si 에피층과 Ge 에피층 상에 유전막을 형성하는 단계;

상기 유전막 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 형성 후, 각각의 활성 영역에 소스 전극과 드레인 전극을 형성하여, nMOS와 pMOS 소자를 형성하는 단계

를 포함하고, 상기 응력 인가층으로 인하여 상기 Si 에피층과 Ge 에피층에는 각각 인장 응력과 압축 응력이 인가되어, 전자와 정공의 이동도를 증대시키는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 2

청구항 1에 있어서, 상기 응력 인가층은 상기 Si 에피층과 Ge 에피층의 격자상수 사이의 고유의 격자상수 크기를 갖도록 소정의 두께로 형성하는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 3

청구항 2에 있어서, 상기 응력 인가층은 1  $\mu\text{m}$  이상의 두께로 형성하는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 4

청구항 2에 있어서, 상기 Si 에피층과 Ge 에피층은 상기 응력 인가층으로 인하여 야기되는 응력의 영향을 받을 수 있는 두께로 형성하는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 5

청구항 4에 있어서, 상기 Si 에피층과 Ge 에피층은 50 nm 이하의 두께로 형성하는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 6

청구항 1 내지 청구항 5 중 어느 한 항에 있어서, 상기 응력 인가층은 그 두께 방향으로 조성이 일정한 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 7

청구항 1 내지 청구항 5 중 어느 한 항에 있어서, 상기 응력 인가층은 그 두께 방향으로 조성에 구배가 있는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 8

청구항 7에 있어서, 상기 응력 인가층은 상기 Si 기판에 가까운 곳에서는 Si이 풍부하고 Si 기판에서 멀어질수록 Ge이 풍부한 조성 구배를 갖는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 9

청구항 8에 있어서, 상기 응력 인가층 형성시 초기에  $\text{SiH}_4$   $\text{SiH}_4$  가스를 투입하고, 점차  $\text{GeH}_4$ 의 가스량을 증가시

키커, 상기 응력 인가층이 조성 구배를 갖도록 하는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 10

청구항 1 내지 청구항 5 중 어느 한 항에 있어서, 상기 Si 기판과 응력 인가층 사이에 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 CMOS 소자 제조 방법.

#### 청구항 11

Si 기판 상에 형성된  $Si_{1-x}Ge_x$  조성의 응력 인가층;

상기 응력 인가층 상의 활성 영역에 각각 형성된 각각 Si 에피층과 Ge 에피층;

상기 Si 에피층과 Ge 에피층 상에 형성된 유전막;

상기 유전막 상에 형성된 게이트 전극;

상기 각각의 활성 영역에 형성된 소스 전극과 드레인 전극

을 포함하고, 상기 응력 인가층으로 인하여 상기 Si 에피층과 Ge 에피층에는 각각 인장 응력과 압축 응력이 인가되어, 전자와 정공의 이동도를 증대시키는 것을 특징으로 하는 CMOS 소자.

#### 청구항 12

청구항 11에 있어서, 상기 응력 인가층은 상기 Si 에피층과 Ge 에피층의 격자상수 사이의 고유의 격자상수 크기를 갖도록 소정의 두께로 형성되는 것을 특징으로 하는 CMOS 소자.

#### 청구항 13

청구항 12에 있어서, 상기 응력 인가층은 1  $\mu m$  이상의 두께로 형성되는 것을 특징으로 하는 CMOS 소자.

#### 청구항 14

청구항 12에 있어서, 상기 Si 에피층과 Ge 에피층은 상기 응력 인가층으로 인하여 야기되는 응력의 영향을 받을 수 있는 두께로 형성하는 것을 특징으로 하는 CMOS 소자.

#### 청구항 15

청구항 14에 있어서, 상기 Si 에피층과 Ge 에피층은 50 nm 이하의 두께로 형성하는 것을 특징으로 하는 CMOS 소자.

#### 청구항 16

청구항 11 내지 청구항 15 중 어느 한 항에 있어서, 상기 응력 인가층은 그 두께 방향으로 조성에 구배가 있는 것을 특징으로 하는 CMOS 소자.

#### 청구항 17

청구항 16에 있어서, 상기 응력 인가층은 상기 Si 기판에 가까운 곳에서는 Si이 풍부하고 Si 기판에서 멀어질수록 Ge이 풍부한 조성 구배를 갖는 것을 특징으로 하는 CMOS 소자.

#### 청구항 18

청구항 11 내지 청구항 15 중 어느 한 항에 있어서, 상기 Si 기판과 응력 인가층 사이에 산화막을 더 포함하는 것을 특징으로 하는 CMOS 소자.

### 발명의 설명

### 기술 분야

본 발명은 CMOS 소자 제조 방법에 관한 것으로서, 보다 구체적으로는 응력을 부여할 수 있는 수단이 구비된 CMOS 소자 제조 방법 및 소자에 관한 것이다.

[0001]

## 배경 기술

[0002] 최근의 반도체 산업은 무어의 법칙에 따라 마이크로칩에 저장할 수 있는 데이터의 양이 18개월마다 2배씩 증가하고 있으며, 이 방대한 데이터를 빠른 시간 내에 처리할 수 있도록 소자들의 속도 또한 비약적으로 증가하고 있다. 이러한 기술 발전에 부응하기 위해 많은 연구자들이 CMOS(Complementary Metal Oxide Semiconductor)의 고집적화, 고속동작화를 위한 새로운 물질 및 구조 개발에 노력하고 있다(예컨대, 공개 번호 제10-2003-26235호).

[0003] 한편, Si이 인장 응력을 받게 되면, 전도대 축퇴(conduction band degeneracy), 스캐터링 감소, 낮은 유효 질량을 갖는 서브-대역에서 전자 밀도 증가에 의해 전자의 이동도가 증가한다(Kern et al., IEEE Transaction on Electron Devices 47, 1406 (2000)). 반면에, Ge은 압축 응력을 받게 되면, 유효 질량 감소, 대역 내 포논 스캐터링(phonon scattering) 감소, 정공의 감금(confinement) 효과 증가에 의해 정공의 이동도 역시 증가한다(K. Sawano et al., Applied Physics Letters 87, 192102(2005)). 결과적으로, Si과 Ge은 각각 인장, 압축 응력이 인가될 경우, 전자나 정공의 이동도가 증가하여 고속 소자를 제작할 수 있게 된다.

[0004] 하나의 Si 기판 위에 인장 응력을 받는 Si 채널 층과 압축 응력을 받는 Ge 채널 층을 형성하기 위해서는 복잡한 공정을 거쳐야 하는 문제점이 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 상기한 종래 기술에서 나타나는 문제점을 감안하여 이루어진 것으로서, 그 한 가지 목적은 Si 기판 위에 인장 응력을 받는 Si 채널 층과 압축 응력을 받는 Ge 채널 층을 형성하여, 고속 CMOS 동작을 구현할 수 있는 CMOS 소자 제조 방법 및 그 CMOS 소자를 제공하는 것이다.

### 과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여, 본 발명의 한 가지 양태에 따라서, Si 기판 상에  $Si_{1-x}Ge_x$  조성의 응력 인가층을 형성하는 단계; 상기 응력 인가층 상에 활성 영역을 형성하는 단계; 상기 활성 영역에 각각 Si 에피층과 Ge 에피층을 형성하는 단계; 상기 Si 에피층과 Ge 에피층 상에 유전막을 형성하는 단계; 상기 유전막 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 형성 후, 각각의 활성 영역에 소스 전극과 드레인 전극을 형성하여, nMOS와 pMOS 소자를 형성하는 단계를 포함하고, 상기 응력 인가층으로 인하여 상기 Si 에피층과 Ge 에피층에는 각각 인장 응력과 압축 응력이 인가되어, 전자와 정공의 이동도를 증대시키는 것을 특징으로 하는 CMOS 소자 제조 방법이 제공된다.

[0007] 한 가지 실시예에 있어서, 상기 응력 인가층은 상기 Si 에피층과 Ge 에피층의 격자상수 사이의 고유의 격자상수 크기를 갖도록 소정의 두께로 형성할 수 있고, 바람직하게는 1  $\mu m$  이상의 두께로 형성할 수 있다.

[0008] 한 가지 실시예에 있어서, 상기 Si 에피층과 Ge 에피층은 상기 응력 인가층으로 인하여 야기되는 응력의 영향을 받을 수 있는 두께로 형성할 수 있고, 바람직하게는 50 nm 이하의 두께로 형성할 수 있다.

[0009] 한 가지 실시예에 있어서, 상기 응력 인가층은 그 두께 방향으로 조성이 일정할 수 있다.

[0010] 한 가지 실시예에 있어서, 상기 응력 인가층은 그 두께 방향으로 조성에 구배를 가질 수 있다.

- [0011] 한 가지 실시예에 있어서, 상기 응력 인가층은 상기 Si 기판에 가까운 곳에서는 Si이 풍부하고 Si 기판에서 멀어질수록 Ge이 풍부한 조성 구배를 갖도록 형성할 수 있다.
- [0012] 한 가지 실시예에 있어서, 상기 응력 인가층 형성시 초기에  $\text{SiH}_4$   $\text{SiH}_4$  가스를 투입하고, 점차  $\text{GeH}_4$ 의 가스양을 증가시키며, 상기 응력 인가층이 조성 구배를 갖도록 형성할 수 있다.
- [0013] 한 가지 실시예에 있어서, 상기 방법은 상기 Si 기판과 응력 인가층 사이에 산화막을 형성하는 단계를 더 포함할 수 있다.
- [0014] 본 발명의 다른 양태에 따라서, Si 기판 상에 형성된  $\text{Si}_{1-x}\text{Ge}_x$  조성의 응력 인가층; 상기 응력 인가층 상의 활성 영역에 각각 형성된 각각 Si 에피층과 Ge 에피층; 상기 Si 에피층과 Ge 에피층 상에 형성된 유전막; 상기 유전막 상에 형성된 게이트 전극; 상기 각각의 활성 영역에 형성된 소스 전극과 드레인 전극을 포함하고, 상기 응력 인가층으로 인하여 상기 Si 에피층과 Ge 에피층에는 각각 인장 응력과 압축 응력이 인가되어, 전자와 정공의 이동도를 증대시키는 것을 특징으로 하는 CMOS 소자가 제공된다.
- [0015] 상기 CMOS 소자에 있어서, 상기 응력 인가층은 상기 Si 에피층과 Ge 에피층의 격자상수 사이의 고유의 격자상수 크기를 갖도록 소정의 두께로 형성될 수 있고, 예컨대 1  $\mu\text{m}$  이상의 두께를 가질 수 있다.
- [0016] 상기 CMOS 소자에 있어서, 상기 Si 에피층과 Ge 에피층은 상기 응력 인가층으로 인하여 야기되는 응력의 영향을 받을 수 있는 두께, 예컨대 50 nm 이하의 두께로 형성될 수 있다.
- [0017] 상기 CMOS 소자에 있어서, 상기 응력 인가층은 그 두께 방향으로 조성에 구배가 있을 수 있다.
- [0018] 상기 CMOS 소자에 있어서, 상기 응력 인가층은 상기 Si 기판에 가까운 곳에서는 Si이 풍부하고 Si 기판에서 멀어질수록 Ge이 풍부한 조성 구배를 가질 수 있다.
- [0019] 상기 CMOS 소자는 상기 Si 기판과 응력 인가층 사이에 산화막을 더 포함할 수 있다.

### 발명의 효과

- [0020] 본 발명에 따르면, Si 층은 인장응력을 받게 되고, Ge 층은 압축 응력을 받게 되어, 이동도를 향상시킬 수가 있어, 고속 이동도를 갖는 Si 기반의 nMOS와 Ge 기반의 pMOS를 Si 기판 위에 동시에 구현할 수 있다.

### 도면의 간단한 설명

- [0021] 도 1은 본 발명의 기술적 원리를 설명하기 위한 도면이다.
- 도 2는 본 발명의 한 가지 실시예에 따른 CMOS 소자의 구조를 개략적으로 보여주는 도면이다.
- 도 3은 본 발명의 변형예에 따른 CMOS 소자의 구조를 개략적으로 보여주는 도면이다.
- 도 4는 본 발명의 다른 변형예에 따른 CMOS 소자의 구조를 개략적으로 보여주는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 이하에서는, 첨부 도면을 참조하여, 본 발명의 실시예를 구체적으로 설명한다. 이하의 설명에 있어서, 당업계에 이미 널리 알려진 구성(예컨대, 박막 형성, 패터닝 등)에 대한 상세한 설명은 생략한다. 이러한 설명을 생

략하더라도, 당업자라면 이하의 설명을 통해 본 발명에서 제시하는 CMOS 소자의 구조 및 그 제조 방법의 특징적 구성을 쉽게 이해할 수 있을 것이다.

[0023] 본 발명에 따르면, Si 기판 위에 소정 조성의 응력 인가층을 형성하고 그 위에 선택적으로 Si 에피층과 Ge 에피층을 형성하여, Si, Ge에 각각 인장응력과 압축응력을 인가하게 되는 기술을 제시한다.

[0024] 본 발명의 기술적 원리를 개략적으로 설명하면 다음과 같다. Si 기판 상에  $Si_{1-x}Ge_x$  조성의 응력 인가층을 형성한 후, 그 위에 선택적으로 Si 층과 Ge 층을 형성하게 되면, 자연스럽게 Si 층에는 인장 응력이 Ge 층에는 압축 응력이 인가된다. 즉 Si와 Ge 격자 상수 크기의 중간 값을 갖도록 소정 두께로  $Si_{1-x}Ge_x$  을 증착하게 되면, 격자 상수가 작은 Si 층 성장시 자기보다 큰 격자 상수를 갖는  $Si_{1-x}Ge_x$ 을 따라 성장하게 되어 고유 격자상수보다 더 큰 격자상수를 갖게 되어 Si은 인장 응력을 받게 되지만, 격자 상수가 더 큰 Ge 층은 반대로 압축 응력을 받게 된다. 이러한 구조를 적용하면, 도 1에 도시한 것과 같이 band offset에 의해 전자와 정공이 채널 층에 감금될 수 있어, off-current를 감소시킬 수 있다. 예컨대, 도 1의 위쪽은  $Si_{0.7}Ge_{0.3}$  조성의 응력 인가층 위에 얇은 Si 층을 에피택시얼하게 성장시킨 경우의 밴드갭 에너지를 나타낸다. 이 경우, Si 층은 인장 응력을 받게 되고, conduction band edge가 응력 인가층의 그것보다 낮게 되어, 전자가 효율적으로 감금된다.

[0025] 반대로, 도 1의 아래쪽 그림과 같이 동일한 조성의 응력 인가층에 Ge 농도가 더 높은  $Si_{0.2}Ge_{0.8}$  조성의 층을 에피택시얼하게 성장시킬 경우,  $Si_{0.2}Ge_{0.8}$  조성의 층은 압축 응력을 받게 되고, valence band edge가 응력 인가층의 그것보다 높게 되어, 정공의 감금이 증대된다. 한편, 도 1에서는 Ge 층 대신에  $Si_{0.2}Ge_{0.8}$  조성의 층을 도시하였지만, Ge 층의 밴드갭은  $Si_{0.2}Ge_{0.8}$  층의 그것보다 작기 때문에, band offset은 증가하게 된다. 따라서, nMOS 영역이 될 곳에 Si 층을 형성하면 인장응력을 받으며 전자의 감금이 증가하고, pMOS 영역이 될 곳에 Ge 층을 형성하면, 압축 응력이 인가되어 정공의 감금이 증대하므로, 고속 이동도를 갖는 CMOS 소자를 제작할 수 있게 된다.

[0026] 이하, 구체적인 실시예를 참조하여 본 발명을 더욱 구체적으로 설명한다.

[0027] 도 2에는 본 발명의 한 가지 실시예에 따라 제조한 CMOS 소자의 단면 구조가 개략적으로 도시되어 있다.

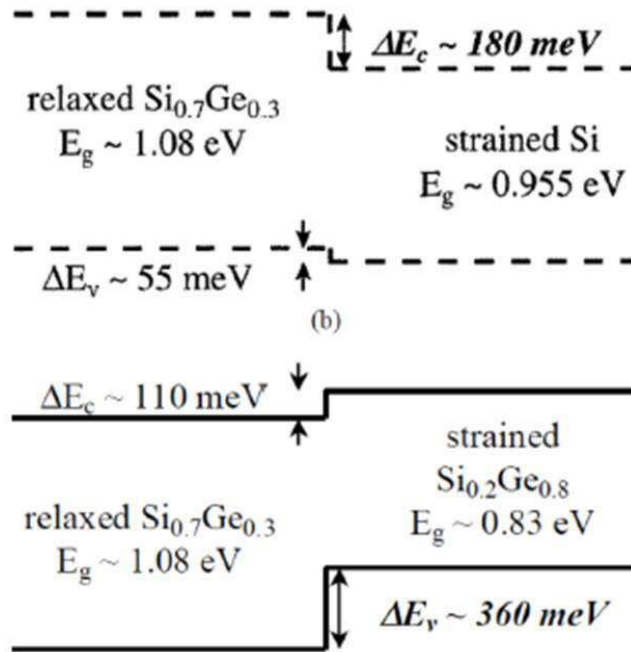
[0028] 도시한 바와 같이, 먼저 Si 단결정 기판 또는 산화막이 있는 Si 기판 상에  $Si_{1-x}Ge_x$  조성의 응력 인가층을 형성한다. 이때 응력 인가층은 Si와 Ge 사이의 격자 상수 크기를 갖는다. 그러나, 응력 인가층의 두께가 너무 얇을 경우(예컨대, nm 단위의 두께),  $Si_{1-x}Ge_x$  조성을 갖고 있음에도 불구하고 기판, 즉 Si 기판의 격자 상수 크기를 따라 형성되어, 고유의 격자상수 값을 갖지 못할 수가 있다. 따라서, 응력 인가층은 고유의 격자상수 크기를 갖도록 충분한 두께, 예컨대 1  $\mu m$  이상의 두께로 형성하는 것이 바람직하다. 그러나, 이러한 두께는 한 가지 실시예에 불과하고, 본 발명이 그러한 두께 범위로 한정되는 것은 아니다.

[0029] 이어서, 도시한 바와 같이, nMOS와 pMOS가 구현될 영역에 활성 영역을 형성하고 각각 Si와 Ge을 에피택시얼하게 증착한다. 이때, 응력 인가층과는 반대로, Si와 Ge이 너무 두껍게 형성되면, Si와 Ge이 각각 고유의 격자 상수를 가진 채 성장하게 되어, 응력인가층에 의해 야기될 수 있는 응력이 인가되지 않는다. 본 발명의 실시예에서는, 반도체 공정에서 채널 층으로 사용하기에 적당한 50 nm 이하의 두께를 갖도록 Si, Ge 층을 형성한다. 이후, Si, Ge 층 상에 유전막을 형성하고, 그 유전막 상에 게이트 전극을 형성한 후, 소스와 드레인 전극을 형성하면 된다. 이러한 nMOS와 pMOS 영역의 제조 과정은 일반적인 반도체 공정으로서, 이미 공지된 구성이므로, 그 상세한 설명은 생략한다.

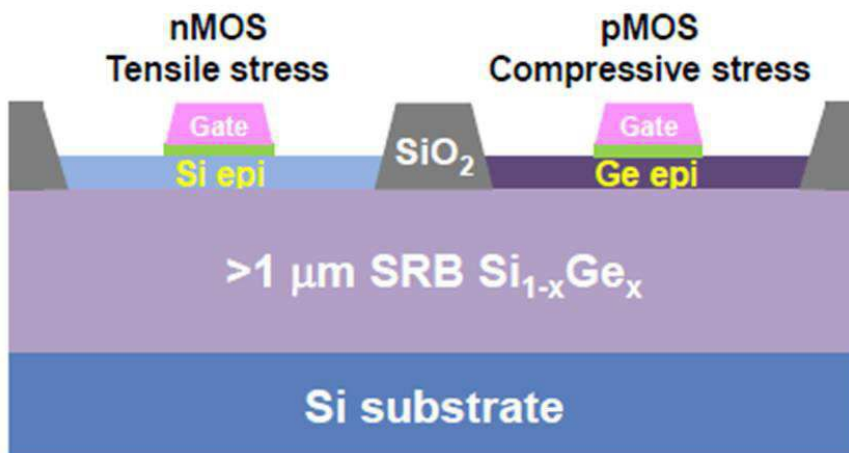
- [0030] 도시한 것과 같이 Si, Ge 층을 형성하게 되면, 도 1을 참조하여 설명한 바와 같이, Si 층은 인장응력을 받게 되고, Ge 층은 압축 응력을 받게 되어, 각각 전자 및 정공의 감금이 증대되어, 이동도를 향상시킬 수가 있게 된다. 이처럼, 본 발명에 따르면 고속 이동도를 갖는 Si 기반의 nMOS와 Ge 기반의 pMOS를 Si 기판 위에 동시에 구현할 수 있어, 고속 이동도의 CMOS를 간단하게 제작할 수 있다.
- [0031] 한편, 본 발명은 상기 실시예에 제한되지 않으며, 본 발명의 범위 내에서 다양하게 변형 및 수정할 수 있다.
- [0032] 예컨대, 도 2에 도시한 실시예에 따르면, 응력 인가층은 그 두께 방향으로 일정한 조성을 갖고 있다. 그러나, 도 3에 도시한 바와 같이, 응력 인가층이 조성과 관련하여 구배(gradient)를 갖도록 형성할 수도 있다. 예컨대, Si 기판과 접촉하는 부분에서는 Si이 풍부하게 Si 기판과 멀어질수록 Ge이 풍부하도록 응력 인가층의 조성에 구배를 부여할 수 있다. 이는 응력 인가층 형성시 초기에는  $\text{SiH}_4$  가스를 많이 투입하고, 점차  $\text{GeH}_4$ 의 가스를 증가시키는 방식으로 응력 인가층을 형성하는 방법에 의해 달성될 수 있다. 이와 같은 방식으로 응력 인가층을 형성하게 되면, Si 기판과 응력 인가층 사이의 격자상수가 급변하는 것이 최대한 방지되어, 격자상수 차이에서 비롯되는 결함을 줄일 수 있게 된다.
- [0033] 또한, 도 4에 도시한 바와 같이, 응력 인가층과 Si 기판 사이에 산화막을 개재시킬 수도 있다. 이러한 변형예에 따르면, Si 기판과 응력 인가층 사이의 격자 상수 차이로 인해 발생하는 결함이 존재하지 않아, 소자의 성능 향상을 기대할 수 있다.
- [0034] 이처럼, 본 발명은 후술하는 특허청구범위 내에서 상기 실시예를 다양하게 변형 및 수정할 수 있으며, 이들은 모두 본 발명의 범위 내에 속하는 것이다. 따라서, 본 발명은 특허청구범위 및 그 균등물에 의해서만 제한된다.

도면

도면1

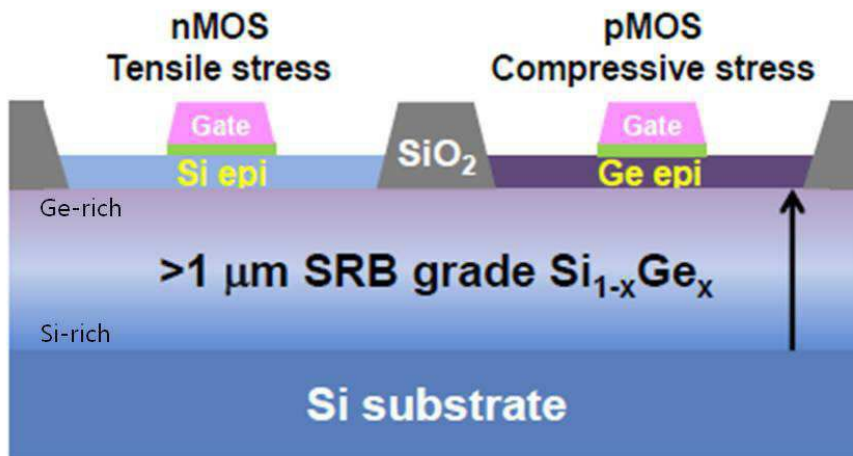


도면2





도면3



도면4

