



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0082799
(43) 공개일자 2016년07월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G02F 1/1333 (2006.01)
G09G 3/32 (2016.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2014-0192184
(22) 출원일자 2014년12월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김정한
서울특별시 강남구 삼성로 150 101동 902호 (대치동, 미도아파트)
채기성
인천광역시 연수구 해송로 143 108동 1101호 (송도동, 송도웰카운티1단지아파트)
(74) 대리인
김은구, 송해모

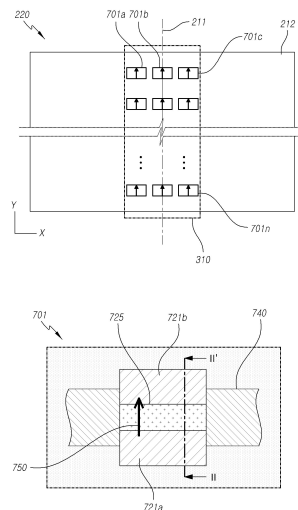
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 폴딩 가능한 어레이 기판 및 표시장치

(57) 요약

본 발명은 폴딩 가능한 어레이 기판 및 표시장치에 관한 것으로 일 측면에서 일 측면에서, 본 발명은 폴딩 영역과 비폴딩 영역의 박막 트랜지스터의 배치 구조를 달리 하는 어레이 기판과 표시장치를 제공한다.

대표도 - 도7



(72) 발명자

남보애

경기도 과주시 월롱면 엘씨디로 201 105동 219호
(덕은리, 정다운마을)

윤일구

서울특별시 강남구 삼성로 150 206동 505호 (대치
동, 미도아파트)

이상명

서울특별시 서대문구 신촌로7길 49-29 303호 (창
천동, 그랜드빌라)

신동석

서울특별시 종로구 진흥로23길 16 2층 (구기동)

명세서

청구범위

청구항 1

제1군의 화소들이 배치된 폴딩 영역;

제2군의 화소들이 배치된 비폴딩 영역; 및

상기 폴딩 영역에 배치되어 상기 제1군의 화소들을 제어하며, 소스, 반도체층 및 드레인에 의해 정의되는 직선 백터는 동일한 방향으로 배치된 다수의 박막 트랜지스터를 포함하는 어레이 기판.

청구항 2

제1항에 있어서,

상기 폴딩 영역은 제1기준선을 축으로 폴딩하며,

상기 백터가 상기 제1기준선과 평행하도록 상기 박막 트랜지스터가 배치된 어레이 기판.

청구항 3

제1항에 있어서,

상기 폴딩 영역은 제2기준선을 기준으로 폴딩하며,

상기 백터가 상기 제2기준선과 수직을 이루도록 상기 박막 트랜지스터가 배치된 어레이 기판.

청구항 4

제1항에 있어서,

상기 폴딩 영역의 박막 트랜지스터의 소스 및 드레인에 의해 정의되는 채널 영역에서의 소스-드레인 간격은 상기 비폴딩 영역의 박막 트랜지스터의 채널 영역에서의 소스-드레인 간격보다 더 긴, 어레이 기판.

청구항 5

제 1항에 있어서,

상기 폴딩 영역의 박막 트랜지스터의 소스 및 드레인에 의해 정의되는 채널 영역의 폭은 상기 비폴딩 영역의 박막 트랜지스터의 채널 영역의 폭보다 짧은, 어레이 기판.

청구항 6

제1군의 화소들이 배치되며, 상기 제1군의 화소들을 제어하는 제1군의 박막 트랜지스터가 배치된 폴딩 영역; 및 제2군의 화소들이 배치되며, 상기 제2군의 화소들을 제어하는 제2군의 박막 트랜지스터가 배치된 비폴딩 영역을 포함하며,

상기 제1군의 박막 트랜지스터 각각의 소스, 반도체층 및 드레인에 의해 정의되는 직선 백터들 간의 편차는 상기 제2군의 박막 트랜지스터 각각의 소스, 반도체층 및 드레인에 의해 정의되는 직선 백터들 간의 편차보다 작은, 어레이 기판.

청구항 7

제6항에 있어서,
상기 폴딩 영역은 제1기준선을 축으로 폴딩하며,
상기 제1군의 박막 트랜지스터의 백터는 상기 제1기준선과 평행하게 배치된 어레이 기판.

청구항 8

제6항에 있어서,
상기 폴딩 영역은 제2기준선을 기준으로 폴딩하며,
상기 제1군의 박막 트랜지스터의 백터는 상기 제1기준선과 수직으로 배치된 어레이 기판.

청구항 9

제6항에 있어서,
상기 제1군의 박막 트랜지스터의 소스 및 드레인에 의해 정의되는 채널 영역에서의 소스-드레인 간격은 상기 제2군의 박막 트랜지스터의 채널 영역에서의 소스-드레인 간격보다 더 긴, 어레이 기판.

청구항 10

제1군의 화소들이 배치된 폴딩 영역과, 제2군의 화소들이 배치된 비폴딩 영역과, 상기 폴딩 영역 및 상기 비폴딩 영역에 배치되는 제1배선 및 제2배선과, 상기 제1배선 및 상기 제2배선에 인가된 신호에 의해 제어되며, 상기 폴딩 영역에 배치되어 상기 제1군의 화소들을 제어하며, 소스, 반도체층 및 드레인에 의해 정의되는 직선 백터는 동일한 방향으로 배치된 다수의 박막 트랜지스터가 배치된 어레이 기판을 포함하는 표시패널; 및
상기 제1배선 및 상기 제2배선을 제어하는 제어부를 포함하는 표시장치.

청구항 11

제10항에 있어서,
상기 폴딩 영역은 제1기준선을 기준으로 폴딩하며,
상기 백터가 상기 제1기준선과 평행하도록 상기 박막 트랜지스터가 배치된 표시장치.

청구항 12

제10항에 있어서,
상기 폴딩 영역은 제2기준선을 기준으로 폴딩하며,
상기 백터가 상기 제2기준선과 수직을 이루도록 상기 박막 트랜지스터가 배치된 표시장치.

발명의 설명

기술 분야

본 발명은 폴딩 가능한 어레이 기판 및 표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 다양한 표시장치가 활용되고 있다. 이러한 다양한 표시장치에는, 그에 맞는 표시패널이 포함된다.
- [0003] 한편, 최근 휘거나 접힐 수 있는, 즉 폴딩 가능한 표시패널과 표시장치에 대한 연구가 증가하고 있다. 그러나 폴딩은 박막 트랜지스터와 이에 연관된 액정, 유기발광 소자 등의 열화를 발생시킬 수 있다. 특히 박막 트랜지스터를 구성하는 소스와 드레인, 그리고 반도체층이 폴딩에 의해 이격할 경우, 신호가 전달되지 못하는 문제가 발생하므로, 이를 방지하는 기술이 필요하다.

발명의 내용

해결하려는 과제

- [0004] 이러한 배경에서, 본 발명의 목적은 폴딩 영역에 배치된 박막 트랜지스터가 폴딩에 의해 열화되지 않는 표시장치와 어레이 기판을 제공하는 데 있다.
- [0005] 본 발명의 다른 목적은 폴딩 영역에 배치된 박막 트랜지스터가 폴딩 시 균일하게 폴딩에 의한 영향을 받도록 하여 폴딩 영역의 화소들이 균일한 화질을 제공하는 데 있다.
- [0006] 본 발명의 또다른 목적은 폴딩 영역에 배치된 화소와 비폴딩 영역에 배치된 화소 간에 화질의 차이가 없도록 균일한 화질을 제공하는 표시장치와 어레이 기판을 제공하는 데 있다.

과제의 해결 수단

- [0007] 진술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은 폴딩 영역과 비폴딩 영역의 박막 트랜지스터의 배치 구조를 달리 하는 어레이 기판과 표시장치를 제공한다.
- [0008] 다른 측면에서 본 발명은 폴딩 영역의 박막 트랜지스터가 동일한 방향으로 배치되는 어레이 기판과 표시장치를 제공한다.
- [0009] 또다른 측면에서 본 발명은 폴딩 영역의 박막 트랜지스터가 폴딩 축을 기준으로 수직 또는 수평으로 배치되는 어레이 기판과 표시장치를 제공한다.
- [0010] 또다른 측면에서 본 발명은 폴딩 영역의 박막 트랜지스터의 배치 방향의 편차는 비폴딩 영역의 박막 트랜지스터의 배치 방향의 편차 보다 작도록 구성된 어레이 기판과 표시장치를 제공한다.

발명의 효과

- [0011] 이상에서 설명한 바와 같이 본 발명에 의하면, 누적된 폴딩에 의한 영향이 폴딩 영역의 박막 트랜지스터에 균일하게 가해지도록 폴딩 영역의 박막 트랜지스터를 일정한 방향으로 배치하여 폴딩이 누적되어도 박막 트랜지스터와 이에 의해 구동되는 화소의 화질이 유지되는 효과가 있다.
- [0012] 본 발명에 의하면, 누적된 폴딩에 의한 박막 트랜지스터의 소스-반도체층-드레인의 휘어짐이 폴딩에 의한 영향을 받지 않도록 박막 트랜지스터를 배치하여 폴딩이 누적되어도 박막 트랜지스터와 이에 의해 구동되는 화소의 화질이 유지되는 효과가 있다.
- [0013] 본 발명에 의하면, 폴딩 영역의 박막 트랜지스터의 배치 방향의 편차는 비폴딩 영역의 박막 트랜지스터의 배치 방향의 편차 보다 작도록 배치되어 폴딩이 누적되어도 박막 트랜지스터와 이에 의해 구동되는 화소의 화질이 유지되는 효과가 있다.

도면의 간단한 설명

- [0014] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.
- 도 2는 본 발명의 일 실시예가 적용되는 폴딩 방향을 보여주는 도면이다.
- 도 3은 본 발명의 일 실시예에 의한 폴딩이 가능한 표시패널에서 폴딩 영역과 비폴딩 영역을 보여주는

도면이다.

도 4 내지 도 6은 본 발명의 일 실시예에 의한 폴딩 영역에 배치되는 박막 트랜지스터의 구조를 보여주는 도면이다.

도 7 내지 도 9는 본 발명의 다른 실시예에 의한 폴딩 영역에 배치되는 박막 트랜지스터의 구조를 보여주는 도면이다.

도 10은 본 발명의 일 실시예에 의한 폴딩 영역과 비폴딩 영역이 도시된 어레이 기판을 보여주는 도면이다.

도 11은 본 발명의 일 실시예에 의한 비폴딩 영역의 박막 트랜지스터들의 배터 편차를 보여주는 도면이다.

도 12 및 도 13은 본 발명의 일 실시예에 의한 폴딩 영역의 박막 트랜지스터들의 배터 편차를 보여주는 도면이다.

도 14는 본 발명의 다른 실시예에 의한 폴딩 영역의 박막 트랜지스터들의 배터 편차를 보여주는 도면이다.

도 15는 바텀 게이트 방식의 스테거드 BCE 구조인 박막 트랜지스터에 본 발명이 적용된 예를 보여주는 도면이다.

도 16은 탑 게이트 방식의 코플래너 구조인 박막 트랜지스터에 본 발명이 적용된 예를 보여주는 도면이다.

도 17은 탑게이트 방식의 스테거드 구조인 박막 트랜지스터에 본 발명이 적용된 예를 보여주는 도면이다.

도 18은 본 발명의 일 실시예에 의한 폴딩 영역에 박막 트랜지스터를 단일하지 않게 배치할 경우, 박막 트랜지스터의 차이를 보여주는 도면이다.

도 19는 본 발명의 일 실시예에 의한 채널의 폭과 길이에 따라 폴딩 시 발생하는 열화의 정도를 보여주는 도면이다.

도 20은 본 발명의 일 실시예에 의한 어레이 기판의 모든 영역이 폴딩 영역인 경우, 폴딩 영역에 배치되는 박막 트랜지스터의 방향을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0016] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0017] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.

[0018] 도 1을 참조하면, 실시예들에 따른 표시장치(100)는, 특정한 방향(예: 수직방향)으로 다수의 제1라인(VL1~VLm)이 형성되고, 전술한 제1라인과는 다른 방향(예: 수평방향)으로 다수의 제2라인(HL1~HLn)이 형성되는 표시패널(110)과, 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하는 제1구동부(120)와, 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하는 제2구동부(130)와, 제1구동부(120) 및 제2구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다. 제1구동부(120) 및 제2구동부(130)와 타이밍 컨트롤러(140)의 기능을 모두 통합하는 장치로 제어부가 있으며, 본 발명은 이러한 기능이 하나 또는 다수의 부속하는 구성 요소로 나뉘어지거나 통합하여 구현되는 것에 모두 적용된다. 이하 본 발명에서의 제어부는 타이밍 컨트롤러(140)의 기능을 제공하거나, 또는 제1구동부(120) 및 제2구동부(130)의 기능을 제공하는 모든 구성 요소를 포함하는 전체로서의 제어부가 될 수도 있고, 이들 구성 요소의 개별적인 부분을 지칭할 수도 있다.

[0019] 표시패널(110)에는, 특정한 방향(예: 수직방향)으로 형성된 다수의 제1라인(VL1~VLm)과 전술한 제1라인과는 다른 방향(예: 수평방향)으로 형성된 다수의 제2라인(HL1~HLn)의 교차에 따라 다수의 화소(P: Pixel)가 정의된다.

- [0020] 전술한 제1구동부(120) 및 제2구동부(130) 각각은, 영상 표시를 위한 신호를 출력하는 적어도 하나의 구동 집적 회로(Driver IC)를 포함할 수 있다.
- [0021] 표시패널(110)에 특정한 방향으로 형성된 다수의 제1라인(VL1~VLm)은, 일 예로, 수직방향으로 형성되어 수직방향의 화소 열로 데이터 전압(제1신호)을 전달하는 데이터 배선일 수 있으며, 제1구동부(120)는 데이터 배선으로 데이터 전압을 공급하는 데이터 구동부일 수 있다.
- [0022] 또한, 표시패널(110)에 전술한 제1라인과는 다른 방향으로 형성된 다수의 제2라인(HL1~HLn)은 수평방향으로 형성되어 수평방향의 화소 열로 스캔 신호(제2신호)를 전달하는 게이트 배선일 수 있으며, 제2구동부(130)는 게이트 배선으로 스캔 신호를 공급하는 게이트 구동부일 수 있다.
- [0023] 또한, 제1구동부(120)와 제2구동부(130)와 접속하기 위해 표시패널(110)에는 패드가 구성된다. 패드는 제1구동부(120)에서 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하면 이를 표시패널(110)로 전달하며, 마찬가지로 제2구동부(130)에서 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하면 이를 표시패널(110)로 전달한다.
- [0024] 각 화소 영역에는 하나 이상의 박막 트랜지스터가 형성된다. 박막 트랜지스터는 소스/드레인 전극과 반도체층(액티브층), 그리고 게이트로 이루어지는데, 이 중에서 산화물계 반도체를 액티브층으로 사용할 경우 산화물 박막 트랜지스터(Oxide TFT)라고 지칭한다. 액티브층을 사용하는 산화물계 물질로는 IGZO가 될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 산화물 박막 트랜지스터는 액정표시장치와 유기발광표시장치(유기전계발광 디스플레이)를 포함하는 표시장치에 적용될 수 있다. 산화물 반도체의 실시예로는 아연 산화물(ZnO) 반도체, 인듐 아연 산화물(Indium zinc oxide, IZO) 반도체, 인듐 알루미늄 아연 산화물(Indium aluminium zinc oxide, IAZO) 반도체, 인듐 갈륨 아연 산화물(Indium gallium zinc oxide, IGZO) 반도체, 또는 인듐 틴 아연 산화물(Indium tin zinc oxide, ITZO) 반도체 중 어느 하나가 될 수 있으나 이에 한정되지는 않는다.
- [0025] 즉, 본 발명이 적용되는 박막 트랜지스터는 Si 계열, 산화물 계열, 또는 화합물 계열과 유기물 계열의 반도체층을 포함하는 박막 트랜지스터 모두에 적용될 수 있으며, 액정표시장치와 유기발광표시장치 등 다양한 표시장치에 적용할 수 있다.
- [0026] 한편 표시장치를 폴딩(folding, 또는 Flexible)하는 구조를 적용할 경우, 폴딩이 일어나는 영역(폴딩 영역)은 박막 트랜지스터의 구조를 폴딩하는 방향에 평행하게 배치하느냐 또는 폴딩하는 방향에 직각으로 배치하느냐에 따라 박막 트랜지스터를 구성하는 부분의 간격 혹은 휨이 달라질 수 있다. 따라서, 본 발명에서는 폴딩은 평면을 유지하지 않으며 휘어지거나 접히는 모든 표시패널의 상태를 지시한다. 본 발명의 실시예는 이와 같이 폴딩하는 영역에서 박막 트랜지스터들이 일정한 방향성을 가지고 배치되도록 하며, 폴딩 과정에서의 스트레스에 의한 열화를 방지한다.
- [0027] 이하, 폴딩하는 방향은 어레이 기판을 포함하는 표시패널 또는 표시장치가 폴딩 시 축이 되는 기준선을 기준으로 하여 양측이 폴딩하는 것을 의미한다. 표시장치 또는 표시패널이 폴딩된다는 것은 어레이 기판/표시패널/표시장치가 평면이 아닌 상태를 유지하거나, 혹은 평면이 아닌 상태와 평면인 상태인 두 가지 상태를 모두 유지 또는 변경할 수 있는 구조를 의미한다. 또한, 폴딩하는 방향 역시 평면을 기준으로 예각 또는 둔각 등 다양한 상태로 폴딩할 수 있으며, 폴딩한 결과 어레이 기판/표시패널/표시장치의 끝단이 서로 닿는 구조(양 면이 접히는 구조) 역시 폴딩의 일 실시예이다.
- [0028] 도 2는 본 발명의 일 실시예가 적용되는 폴딩 방향을 보여주는 도면이다. 3차원 구조로 X, Y, Z축이 표시되어 있으며, 212는 표시패널(110)을 구성하는 어레이 기판을 보여준다. 212는 가상의 기준선(211)을 기준으로 215a, 215b의 방향으로 폴딩할 수 있다. 도 2에서 가상의 기준선(211)은 Y축으로 확장된다. 폴딩한 예를 살펴보면, 220 및 230이다. 220은 어레이 기판(212)의 양 끝이 기준선(211)을 기준으로 아래로 향하도록 휘어진 구조이며, 230은 어레이 기판(212)의 양 끝이 기준선(211)을 기준으로 위로 향하도록 휘어진 구조이다. 어레이 기판(212)이 폴딩하지 않은 상태인 210에서는 X-Y 평면으로 어레이 기판의 모든 부분들이 평면 상태를 유지한다. 그러나 어레이 기판(212)이 폴딩한 상태인 220 및 230에서는 X-Y 평면으로 평면이 아닌 폴딩된 영역이 존재한다. 도 2의 구조에서 220을 중심으로 폴딩 영역과 비폴딩 영역을 살펴보면 도 3과 같다.
- [0029] 도 3은 본 발명의 일 실시예에 의한 폴딩이 가능한 어레이 기판에서 폴딩 영역과 비폴딩 영역을 보여주는 도면이다. 310과 같은 폴딩 영역은 가상의 기준선(211)(예를 들어 Y축으로 확장된)을 축으로 휘어지는 영역을 포함한다. 폴딩 영역(310)은 폴딩 시 휘어지거나 접힌 상태를 유지하므로 평면을 유지하지 않는 부분이다. 한편, 320과 같은 비폴딩 영역은 기준선(211)을 벗어나서 일정한 거리를 가진 영역으로 폴딩 시 휘어지거나 접혀지지 않고 평면을 유지하는 부분이다. 폴딩 영역(310)과 비폴딩 영역(320) 모두 화소들이 배치되며, 각 화소들을 제

어하는 박막 트랜지스터들이 하나 이상 배치된다. 어레이 기판에 따라 폴딩 영역이 다수 배치될 수 있으며 비폴딩 영역이 없이 폴딩 영역만 있는 어레이 기판도 존재할 수 있다. 이에 대해서는 도 20에서 보다 자세히 살펴본다.

[0030] 어레이 기판을 폴딩할 경우 폴딩 영역(310)에 배치된 박막 트랜지스터들 역시 휘어지게 된다. 또한, 박막 트랜지스터를 구성하는 각각의 층(layer)들도 휘어지게 된다. 그런데, 박막 트랜지스터의 구조가 폴딩하는 영역에서 상이하게 배치될 경우, 소스/드레인 또는 채널을 구성하는 활성화층이 균일하지 않게 휘어질 수 있다. 예를 들어, 폴딩 영역(310)의 박막 트랜지스터들 중 일부는 폴딩하는 방향과 직각으로 배치되고, 다른 박막 트랜지스터들은 폴딩하는 방향에 평행하게 배치될 경우, 폴딩으로 인해 휘어지는 부분이 박막 트랜지스터를 구성하는 소스/드레인이 이격되거나 가까와지도록 할 수 있고, 반대로 소스/드레인이 전체적으로 휘어질 수 있다. 이러한 휨의 방향과 박막 트랜지스터의 배치가 각각의 화소 별로 상이할 경우, 폴딩에 의해 열화가 발생할 경우, 화소들 간의 차가 상이하여 화질의 균일성이 저하된다.

[0031] 이하, 본 발명에서는 폴딩하는 축을 기준으로 박막 트랜지스터가 폴딩 영역 내에서는 하나의 단일한 방향으로 배치되도록 하여 화소간에 폴딩으로 인한 영향의 편차를 줄인다. 또한, 폴딩한 결과 박막 트랜지스터의 열화를 보다 줄일 수 있도록 박막 트랜지스터를 배치한다. 본 발명에서 폴딩 영역 내에서 박막 트랜지스터의 배치가 단일한 방향이라는 것은 박막 트랜지스터의 소스-반도체층-드레인 방향으로 형성된 벡터가 일정한 방향을 가지는 것을 의미하며, 정확하게 동일한 각도를 가질 것을 요하지 않으며, 박막 트랜지스터의 전체 길이와 크기에 비례하며 폴딩 영역 내의 모든 박막 트랜지스터의 벡터 간의 편차가 크지 않은 구조를 의미한다. 예를 들어, 박막 트랜지스터의 벡터 간의 편차가 최대 10도 이하인 경우, 단일한 방향으로 볼 수 있다. 이러한 벡터 간의 편차는 비폴딩 영역의 박막 트랜지스터의 벡터 간의 편차와 비교하여 작은 것을 의미한다. 본 발명에서 정의하는 벡터는 소스와 드레인, 그리고 반도체를 잇는 가상의 벡터로, 소스와 반도체층이 접합하는 부분에 수직이며, 드레인 과 반도체층이 접합하는 부분에 수직으로, 반도체층의 채널 영역의 길이 방향을 벡터의 일 실시예로 한다.

[0032] 본 발명이 적용될 수 있는 반도체의 구조의 일 실시예로는 바텀 게이트(Bottom Gate) 방식의 스테거드(staggered) 방식이 될 수 있으며, 이 중에서 ESL(Etch Stopper Layer) 구조와 BCE(Back Channel Etch) 구조에도 적용 가능하다. 또한 탑 게이트(Top Gate) 방식의 코플라나(Coplanar) 구조와 스테거드(staggered) 구조에도 적용 가능하다. 그러나, 본 발명은 특정한 반도체의 구조에 한정되지는 않는다. 본 발명은 소스와 드레인, 그리고 반도체층을 포함하는 박막 트랜지스터에 모두 적용 가능하다. 일 실시예로 반도체층을 구성하는 물질의 특성에 따라, 아연 산화물(ZnO) 반도체, 인듐 아연 산화물(Indium zinc oxide, IZO) 반도체, 인듐 알루미늄 아연 산화물(Indium aluminium zinc oxide, IAZO) 반도체, 인듐 갈륨 아연 산화물(Indium gallium zinc oxide, IGZO) 반도체, 또는 인듐 틴 아연 산화물(Indium tin zinc oxide, ITZO) 반도체에 적용될 수 있으나 본 발명이 이에 한정되는 것은 아니다. 즉, 반도체층을 구성하는 물질로는 Si 계열, 산화물(oxide) 계열, 화합물 계열, 유기물 계열 등 다양하게 적용할 수 있다.

[0033] 도 4 내지 도 6은 본 발명의 일 실시예에 의한 폴딩 영역에 배치되는 박막 트랜지스터의 구조를 보여주는 도면이다. 도 4에서는 박막 트랜지스터의 소스-반도체층-드레인에 의해 정의되는 직선인 벡터(450)가 폴딩 시 기준이 되는 기준선(211)(예를 들어 Y축으로 연장됨)과 수직을 이룬다. 도 3에서 휘어지는 폴딩 영역(310)에는 다수 개의 박막 트랜지스터(401a, 401b, 410c, ..., 401n)가 위치한다. 각 박막 트랜지스터 내의 화살표는 소스-반도체층-드레인을 잇는 벡터를 나타내며 전술한 450을 일 실시예로 한다. 확대된 영역의 박막 트랜지스터의 구조를 확대하면 평면의 구조는 401과 같으며, 401의 단면 I과 I'의 단면의 구조를 포함한 3차원의 구조가 휘어진 형상은 도 5 및 도 6에 제시되어 있다. 401 및 도 5를 중심으로 살펴보면, 박막 트랜지스터의 소스-반도체층-드레인을 잇는 벡터(450)는 폴딩 영역(310)에 배치된 모든 박막 트랜지스터들(401a, 401b, 410c, ..., 401n)에서 동일한 방향을 가진다. 박막 트랜지스터의 구조를 살펴보면, 소스(421a)와 드레인(421b)이 있으며 그 사이에 에치 스톱퍼(425)가 위치한다. 에치 스톱퍼(425) 아래에는 반도체층(430)과 절연층(435), 그리고 게이트(440)와 어레이 기판(445)이 배치된다. 절연층(435)의 일 실시예는 게이트 절연막(gate insulator)이다. 여기서 에치 스톱퍼(425)는 선택적으로 배치될 수 있는데, 앞서 살펴본 ESL(Etch Stopper Layer) 구조를 보여준다. 그러나 본 발명은 이에 한정되지 않으며, 소스(421a)와 드레인(421b)이 반도체층(430)과 접촉하며, 반도체층(430)은 게이트(440)와 절연하여 위치하는 박막 트랜지스터의 구조에 적용 가능하다.

[0034] 도 6은 도 2의 230에서 지시된 바와 같이 기준선(211)을 기준으로 양끝이 위로 휘어진 구조에서 폴딩 영역의 모든 박막 트랜지스터들의 휘어진 상태를 보여주는 도면이다. 폴딩 영역은 도 4에서 지시된 부분과 동일하다.

[0035] 도 4의 401에 상술된 바와 같이 폴딩 영역(310) 내의 모든 박막 트랜지스터들(401a, 401b, 410c, ..., 401n)의

벡터(450)는 폴딩 축이 되는 기준선(211)과 수직하게 배치되며, 그 결과 해당 폴딩 영역(310)의 모든 박막 트랜지스터들의 소스(421a), 드레인(421b)과 반도체층(430)이 동일한 방향으로 폴딩하므로 박막 트랜지스터들에 폴딩으로 인해 미치는 영향이 동일하며 해당 박막 트랜지스터들이 제어하는 화소에 미치는 영향이 동일하여 폴딩 영역의 화소의 품질의 균일성을 보장할 수 있다. 또한, 폴딩 영역과 비폴딩 영역을 설계함에 있어서, 박막 트랜지스터들의 배치가 동일한 방향으로 되어 있으므로, 폴딩으로 인한 영향을 동일하게 받게 되며, 폴딩 영역의 박막 트랜지스터를 설계할 경우 비폴딩 영역의 박막 트랜지스터와 비교하여 열화에 의한 내성을 가지도록 설계할 수 있다.

[0036] 예를 들어, 박막 트랜지스터의 소스와 드레인, 그리고 반도체층에 있어서 소스와 드레인으로 정의되는 채널(channel) 영역의 폭을 폴딩 영역과 비폴딩 영역을 달리 설정할 수 있다. 즉, 폴딩에 의한 열화가 TFT의 채널 영역의 폭(width, W)와 소스-드레인 간 거리인 길이(length, L)에 따라 다르므로, 열화를 고려하여 폴딩 영역의 박막 트랜지스터의 채널 영역의 폭 및 길이를 설계할 수 있다. 여기서, 폴딩 영역의 박막 트랜지스터의 채널 영역의 폭 및 길이는 비폴딩 영역의 그것과 상이하도록 설계하여 폴딩 영역의 화질이 누적된 폴딩에 의해 열화되는 것을 방지하여, 폴딩 영역과 비폴딩 영역의 화질의 균일성을 보장한다.

[0037] 도 7 내지 도 9는 본 발명의 다른 실시예에 의한 폴딩 영역에 배치되는 박막 트랜지스터의 구조를 보여주는 도면이다. 도 7에서는 박막 트랜지스터의 소스-반도체층-드레인을 잇는 벡터(750)가 폴딩 시 기준이 되는 기준선(211)(예를 들어 Y축)과 수평을 이룬다. 도 3에서 휘어지는 폴딩 영역(310)에는 다수 개의 박막 트랜지스터(701a, 701b, 710c, ..., 701n)들이 배치되어 있다. 확대된 영역의 박막 트랜지스터의 구조를 확대하면 평면의 구조는 701과 같으며, 701의 단면 II과 II'의 단면의 구조는 도 8과 도 9에 나타난다.

[0038] 701의 II-II' 및 도 8, 9을 중심으로 살펴보면, 박막 트랜지스터의 소스-반도체층-드레인에 의해 정의되는 벡터(750)는 모두 동일한 방향을 가진다. 박막 트랜지스터의 구조를 살펴보면, 소스(721a)와 드레인(721b)이 있으며 그 사이에 에치 스톱퍼(725)가 위치한다. 에치 스톱퍼(725) 아래에는 반도체층(730)과 절연층(735), 그리고 게이트(740)와 어레이 기관(745)이 배치된다. 여기서 에치 스톱퍼(725)는 선택적으로 배치될 수 있는데, 이는 앞서 살펴본 ESL(Etch Stopper Layer) 구조를 보여준다. 그러나 본 발명은 이에 한정되지 않으며, 소스(721a)와 드레인(721b)이 반도체층(730)과 접촉하며, 반도체층(730)은 게이트(740)와 절연하여 위치하는 구조에 적용 가능하다.

[0039] 도 8과 도 9에서 살펴볼 때 소스(721a)-반도체층(730)-드레인(721b)이 접하는 영역에서 휘어짐을 알 수 있다. 소스(721a)-반도체층(730), 또는 반도체층(730)-드레인(721b)이 접하는 부분인 폭 방향으로 폴딩하므로, 폴딩으로 인한 반도체층(730)과 소스(721a)/드레인(721b)의 이격이 발생하지 않으므로, 폴딩에 의한 소자 열화를 방지할 수 있다.

[0040] 도 10은 본 발명의 일 실시예에 의한 폴딩 영역과 비폴딩 영역이 도시된 어레이 기관을 보여주는 도면이다.

[0041] 어레이 기관(1000)은 제1군의 화소들이 배치되는 폴딩 영역(1030)과 제2군의 화소들이 배치되는 비폴딩영역(1005a, 1005b)를 포함한다. 폴딩의 축이 되는 기준선(1011)을 기준으로 형성되는 폴딩 영역에는 제1군의 화소들을 제어하는 제1군의 박막 트랜지스터들이 형성되어 있다. 물론, 비폴딩 영역에는 제2군의 화소들을 제어하는 제2군의 박막 트랜지스터들이 형성되어 있다. 이 중에서 제1군의 박막 트랜지스터들의 세부적인 구성을 살펴보면, 각각의 박막 트랜지스터에 있어서 소스, 반도체층, 그리고 드레인을 잇는 벡터는 폴딩 영역 내에서 모두 동일한 방향으로 배치된다. 동일한 방향이란 벡터의 오차가 일정 범위 내에 있는 것을 포함한다.

[0042] 다른 실시예로 제1군의 박막 트랜지스터들 각각의 소스, 반도체층, 그리고 드레인을 잇는 벡터의 편차는 제2군의 박막 트랜지스터들 각각의 소스-반도체층-드레인을 잇는 벡터의 편차보다 작도록 구성될 수 있다. 이는 도 11 및 도 12, 13에서 비교한다.

[0043] 도 11은 본 발명의 일 실시예에 의한 비폴딩 영역의 박막 트랜지스터들의 벡터 편차를 보여주는 도면이다. 도 10의 1005a 또는 1005b와 같은 비폴딩 영역에 형성되는 각 박막 트랜지스터들(1101a~1101n)은 다양한 방향으로 배치되어 있다. 그 결과, 박막 트랜지스터들(1101a~1101n)의 소스-반도체층-드레인을 잇는 벡터(도면에 화살표)들의 편차가 90도이다. 즉, 도 11과 같이 비폴딩 영역의 박막 트랜지스터는 폴딩의 열화를 방지하도록 설계될 필요가 없으므로, 전술한 도 4 내지 도 9와 같이 박막 트랜지스터를 동일한, 또는 유사한 방향이 되도록 배치하지 않아도 된다.

[0044] 도 12 및 도 13은 본 발명의 일 실시예에 의한 폴딩 영역의 박막 트랜지스터들의 벡터 편차를 보여주는 도면이다. 도 10의 1030과 같은 폴딩 영역에 형성되는 각 박막 트랜지스터들(1201a~1201n, 1301a~1301n)은 단일한 방

향으로 배치되어 있다. 그 결과, 박막 트랜지스터들(1201a~1201n, 1301a~1301n)의 소스-반도체층-드레인을 잇는 벡터(도면에 화살표)들의 편차는 도 11의 90도보다 훨씬 작게 된다. 예를 들어 공정 상에서 혹은 설계의 이유로 폴딩 영역의 박막 트랜지스터들이 절대적으로 동일한 방향으로 향하도록 배치하지는 않을 경우라도, 비폴딩 영역의 박막 트랜지스터들의 벡터 편차보다 작은 편차를 가지도록 폴딩 영역의 박막 트랜지스터들을 배치할 수 있다.

[0045] 도 14는 본 발명의 다른 실시예에 의한 폴딩 영역의 박막 트랜지스터들의 벡터 편차를 보여주는 도면이다. 도 10의 1030과 같은 폴딩 영역에 형성되는 각 박막 트랜지스터들(1401a~1401n)은 단일하지는 않다. 1401b의 박막 트랜지스터의 벡터와 1401c의 박막 트랜지스터의 벡터의 편차가 가장 크지만 이는 도 11의 편차인 90도 보다 작게 배치되므로 폴딩영역에서 화소의 열화를 방지하거나, 또는 화소에 폴딩이 미치는 영향이 단일하도록 구성할 수 있다.

[0046] 도 10 내지 도 14에서 살펴본 바와 같이 비폴딩 영역과 폴딩 영역에서 박막 트랜지스터가 배치되는 방향의 편차에 있어서, 폴딩 영역의 편차가 비폴딩 영역의 편차보다 작도록 배치하여 폴딩 영역에서의 박막 트랜지스터의 열화를 줄이거나, 혹은 폴딩 영역의 박막 트랜지스터가 균일하게 폴딩에 의한 힘을 받도록 하여 화질의 균일성을 유지할 수 있다.

[0047] 이하, 다양한 반도체 구조에 본 발명의 일 실시예를 적용한 구성을 살펴본다. 폴딩 영역의 박막 트랜지스터가 폴딩 시 휘어진 구조를 보여주는 도면이다. 앞서 도 7과 같이 폴딩하는 축인 기준선에 수평인 벡터의 박막 트랜지스터가 휘어진 경우를 보여준다.

[0048] 도 15는 바텀 게이트 방식의 스테거드 BCE 구조인 박막 트랜지스터에 본 발명이 적용된 예를 보여주는 도면이다. 소스(1521a)와 드레인(1521b), 그리고 반도체층(1530), 게이트 절연막을 일 실시예로 하는 절연층(1535)와 게이트(1540), 그리고 기판(1545)으로 구성된다.

[0049] 도 16은 탑 게이트 방식의 코플래너 구조인 박막 트랜지스터에 본 발명이 적용된 예를 보여주는 도면이다. 소스(1621a)와 드레인(1621b), 층간 절연막(Inter Layer Dialect, 1628), 그리고 반도체층(1630), 게이트 절연막을 일 실시예로 하는 절연층(1635)와 게이트(1640), 그리고 기판(1645)으로 구성된다.

[0050] 도 17은 탑게이트 방식의 스테거드 구조인 박막 트랜지스터에 본 발명이 적용된 예를 보여주는 도면이다. 소스(1721a)와 드레인(1721b), 버퍼층(Buffer Layer, 1743), 그리고 반도체층(1730), 게이트 절연막을 일 실시예로 하는 절연층(1735)와 게이트(1740), 그리고 기판(1745)으로 구성된다.

[0051] 도 15 내지 도 17 모두 벡터 방향은 750으로 도 7의 701a ~ 701n의 박막 트랜지스터에 적용하였을 때 폴딩한 형태를 보여준다. 전술한 바와 같이 박막 트랜지스터의 벡터 방향(소스-반도체층-드레인)이 750과 같으며, 폴딩하는 축인 기준선과 수평으로, 폴딩으로 인한 열화에 강한 구조이다.

[0052] 본 발명을 적용할 경우 어레이 기판을 휘게 하거나 혹은 폴딩할 경우에도 화질 저하를 방지할 수 있다. 즉, 폴딩 영역의 박막 트랜지스터(TFT)가 폴딩에 대해 단일한 특성을 가지도록 TFT의 벡터가 단일하거나 작은 편차 내에 배치되도록 한다. 그 결과 도 7에서 살펴본 바와 같이, 폴딩하는 축(211)과 박막 트랜지스터의 벡터(소스-반도체층-드레인)이 평행하게 배치되도록 하여 박막 트랜지스터의 열화가 발생하지 않도록 설계할 수 있다. 다른 실시예로 도 4 또는 도 12 및 도 14와 같이 폴딩 영역에서는 박막 트랜지스터의 벡터(소스-반도체층-드레인)이 단일한 방향으로 배치되도록 하여, 박막 트랜지스터가 폴딩에 의한 영향을 균일하게 받도록 하여 화질에 영향을 주지 않도록 박막 트랜지스터를 설계할 수 있다. 이 경우 폴딩 영역의 박막 트랜지스터는 열화를 보상할 수 있도록 채널의 길이와 폭을 비폴딩 영역과 다르게 설계한다. 그 결과 폴딩 영역의 박막 트랜지스터는 비폴딩 영역의 박막 트랜지스터 보다 열화에 강한 구조를 가진다.

[0053] 전술한 본 발명의 실시예를 적용할 경우, 폴딩 영역의 박막 트랜지스터 열화를 방지하도록 수평하게 배치하건, 혹은 균일하게 보상 설계가 가능하도록 단일한 방향으로 배치함으로써, 폴딩 시 박막 트랜지스터의 열화를 방지하여 화질의 저하를 방지할 수 있다. 만약, 본 발명과 달리 비폴딩 영역과 폴딩 영역을 구별하지 않고 박막 트랜지스터를 배치할 경우, 폴딩 되는 영역에서 박막 트랜지스터의 열화가 급격히 발생하며, 그 결과 폴딩 영역에서의 화질 저하가 발생한다.

[0054] 도 18은 본 발명의 일 실시예에 의한 폴딩 영역에 박막 트랜지스터를 단일하지 않게 배치할 경우, 박막 트랜지스터의 차이를 보여주는 도면이다. 열화가 많이 발생한 박막 트랜지스터와 열화가 적게 발생한 박막 트랜지스터의 편차가 크다.

- [0055] 1801은 폴딩 영역에서 가장 폴딩에 의한 열화에 취약하게 배치된 박막 트랜지스터가 최초(initial), 1000번 폴딩한 경우(1k Bending), 5000번 폴딩한 경우(5k Bending)의 소스-드레인 간의 전류($I_{DS}(A)$)와 게이트-소스간 전압($V_{GS}(V)$)의 관계를 보여준다. 폴딩이 증가할수록 동일 전압 대비 전류가 낮아짐을 알 수 있다. 한편 1802는 폴딩 영역에서 가장 폴딩에 의한 열화에 강하게 배치된 박막 트랜지스터가 최초(initial), 1000번 폴딩한 경우(1k Bending), 5000번 폴딩한 경우(5k Bending), 1만번 벤딩한 경우(10k Bending)의 소스-드레인 간의 전류($I_{DS}(A)$)와 게이트-소스간 전압($V_{GS}(V)$)의 관계를 보여준다. 가장 열화에 강하게 배치된 박막 트랜지스터는 폴딩이 반복되어도 동일 전압 대비 전류의 하강이나 변화가 크지 않다. 즉, 1801과 1802를 비교할 경우, 폴딩 영역에 박막 트랜지스터를 상이한 방향으로 배치할 경우, 화소간의 열화의 특징이 달라져서 폴딩이 잦아질 경우, 화질의 저하가 급격히 높아질 수 있다. 이는 폴딩에 의한 박막 트랜지스터의 열화가 채널의 방향 및 폭(width, W)과 길이(length, L)에 따라 달라질 수 있으며, 그 결과 박막 트랜지스터가 상이한 화질을 나타낼 수 있다. 즉, 폴딩에 의한 박막 트랜지스터의 열화는 기계적 스트레스(mechanical stress)에 의해 생기는 문제 (micro, macro)와 관련 있으며, 폴딩 시 채널 부위에 가해지는 스트레스는 채널의 방향과 폴딩하는 방향에 따라 달라지므로 박막 트랜지스터가 상이한 방향으로 배치될 경우, 폴딩의 영향이 상이하게 박막 트랜지스터에게 미치게 되므로 채널을 형성하는 반도체층, 게이트 절연층, 그리고 인터페이스에 대한 열화 정도가 상이하게 되는 문제가 있어왔다.
- [0056] 따라서, 도 18과 같이 폴딩 영역에서의 박막 트랜지스터들의 균일한 화질을 제공하기 위해 본 발명에서는 단일한 방향으로 박막 트랜지스터들이 배치될 수 있도록 제안하였다. 단일한 방향의 일 실시예로 폴딩 영역의 박막 트랜지스터들의 벡터가 모두 동일한 방향이 되도록 배치할 수 있다. 다른 실시예로 폴딩 영역의 박막 트랜지스터들의 벡터들의 편차는 비폴딩 영역의 박막 트랜지스터들의 벡터들의 편차 보다 작은 값을 가지도록 폴딩 영역의 박막 트랜지스터들을 배치하여, 폴딩 영역에서 균일한 화질을 가지도록 한다.
- [0057] 또한, 폴딩에 의한 열화가 박막 트랜지스터의 폭과 길이에 따라 다르므로, 폴딩 영역의 박막 트랜지스터의 채널의 폭과 길이는 비폴딩 영역과 상이하게 설계할 수 있다. 예를 들어, 채널의 폭을 작게 하고, 길이를 길게 하여 폴딩 영역에서의 열화를 방지할 수 있다.
- [0058] 도 19는 본 발명의 일 실시예에 의한 채널의 폭과 길이에 따라 폴딩 시 발생하는 열화의 정도를 보여주는 도면이다. 1901은 폭이 $16\mu m$ 이고, 길이가 $8\mu m$ 인 박막 트랜지스터가 폴딩이 반복될 경우 최초(initial), 1000번 폴딩한 경우(1k Bending), 5000번 폴딩한 경우(5k Bending)의 소스-드레인 간의 전류($I_{DS}(A)$)와 게이트-소스간 전압($V_{GS}(V)$)의 관계를 보여준다.
- [0059] 1902는 폭이 폭이 $16\mu m$ 이고, 길이가 $16\mu m$ 인 박막 트랜지스터가 폴딩이 반복될 경우 최초(initial), 1000번 폴딩한 경우(1k Bending), 5000번 폴딩한 경우(5k Bending), 1만번 벤딩한 경우(10k Bending)의 소스-드레인 간의 전류($I_{DS}(A)$)와 게이트-소스간 전압($V_{GS}(V)$)의 관계를 보여준다. 1901에서는 1000번의 폴딩과 5000번의 폴딩 사이에 급격한 차이가 발생함을 알 수 있다. 그러나 1902에서는 5천번의 폴딩과 1만번의 폴딩 사이의 차이가 크지 않음을 알 수 있다. 즉, 폴딩 영역에서는 박막 트랜지스터의 채널의 길이(소스-드레인의 간격)를 길게 형성하여 폴딩이 누적되어도 박막 트랜지스터의 열화 정도를 낮출 수 있다. 이는 본 발명의 일 실시예에 의한 폴딩 영역의 박막 트랜지스터를 단일한 방향으로, 혹은 적은 편차의 벡터 값을 가지도록 유사한 방향으로 박막 트랜지스터를 배치할 경우 가능하다.
- [0060] 추가적으로 도 10의 구성에서 어레이 기관의 특성에 따라, 전체 어레이 기관이 휘어질 경우, 폴딩 영역만으로 이루어질 수 있다. 즉, 평면을 유지하는 부분이 어레이 기관에 없는 경우, 폴딩 영역에 배치되는 박막 트랜지스터의 벡터가 폴딩하는 축을 기준으로 다양하게 구성될 수 있다. 이에 대해서 도 20에서 살펴본다.
- [0061] 도 20은 본 발명의 일 실시예에 의한 어레이 기관의 모든 영역이 폴딩 영역인 경우, 폴딩 영역에 배치되는 박막 트랜지스터의 방향을 보여주는 도면이다.
- [0062] 어레이 기관(2000)은 모든 영역이 휘어지거나 폴딩하므로 어레이 기관(2000)의 모든 영역이 폴딩 영역(2030a, 2030b, 2030c)이다. 2011은 폴딩하는 축을 나타내는 기준선이다. 폴딩 영역마다 폴딩 시 휘어지는 강도가 달라질 수 있으며, 전체 어레이 기관의 집적도를 고려하여 폴딩 영역에 따라 박막 트랜지스터가 달리 배치되도록 할 수 있다. 일 실시예로, 2030a인 폴딩 영역에 배치되는 박막 트랜지스터의 벡터는 2011과 수직을 이루도록 할 수 있다. 2030b인 폴딩 영역에 배치되는 박막 트랜지스터의 벡터는 2011과 평행을 이루도록 할 수 있다.

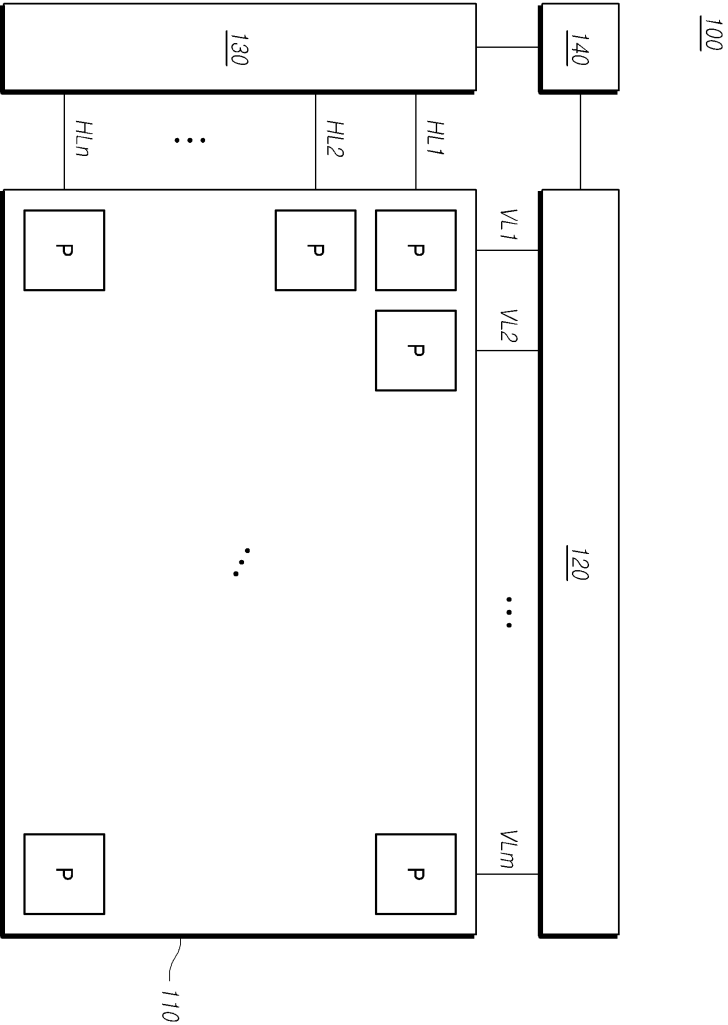
- [0063] 도 20과 같이 어레이 기관(2000)이 모두 폴딩 영역인 경우, 폴딩되는 강도와 위치 등에 따라 박막 트랜지스터의 벡터를 균일하게 영역별로 나누어 배치할 수 있다.
- [0064] 본 발명을 적용할 경우, 별도의 공정 또는 비용의 부담 없이 폴딩 영역에 박막 트랜지스터가 균일한 방향으로 배치되도록 설계하여 폴딩에 의한 화질 저하를 방지하고 소자의 신뢰성을 향상시킨다. 그 결과 폴딩에 의한 박막 트랜지스터의 영향이 폴딩 영역 내에 균일성을 가지도록 하여 박막 트랜지스터에 대한 신뢰성을 높일 수 있다. 특히 열화를 방지하기 위해 폴딩하는 축과 박막 트랜지스터의 벡터(소스-반도체층-드레인을 잇는 벡터)가 수평이 되도록 박막 트랜지스터를 배치할 경우 폴딩 영역에서의 박막 트랜지스터의 신뢰성을 향상시킬 수 있으며, 어레이기관/표시패널/표시장치의 구동의 안정성을 제공할 수 있다.
- [0065] 전술한 실시예에서 폴딩 영역에서의 박막 트랜지스터는 동일한 방향으로 배치되거나, 혹은 폴딩 영역 내의 박막 트랜지스터의 벡터의 편차가 일정한 범위 내에 속하도록 할 수 있다. 일 실시예로 박막 트랜지스터를 폴딩하는 축을 기준으로 수직 또는 수평과 같이 동일하게 배치할 수 있고, 폴딩하는 축과 일정한 각도를 가지도록 배치할 수도 있다. 이때 일정한 각도란 소스-반도체층-드레인이 폴딩에 의한 열화가 없거나 혹은 열화의 발생을 최소화시키는 각도가 될 수 있다. 도 18 및 도 19에서 살펴본 바와 같이 폴딩 영역의 박막 트랜지스터의 채널의 폭과 길이가 폴딩에 의한 열화에 영향을 미치므로, 폴딩 영역과 비폴딩 영역의 박막 트랜지스터의 채널의 폭 또는 길이를 상이하게 설계할 수 있다. 일 실시예로 폭은 10 ~ 100 μm 이고, 길이는 2 ~ 20 μm 가 될 수 있다.
- [0066] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

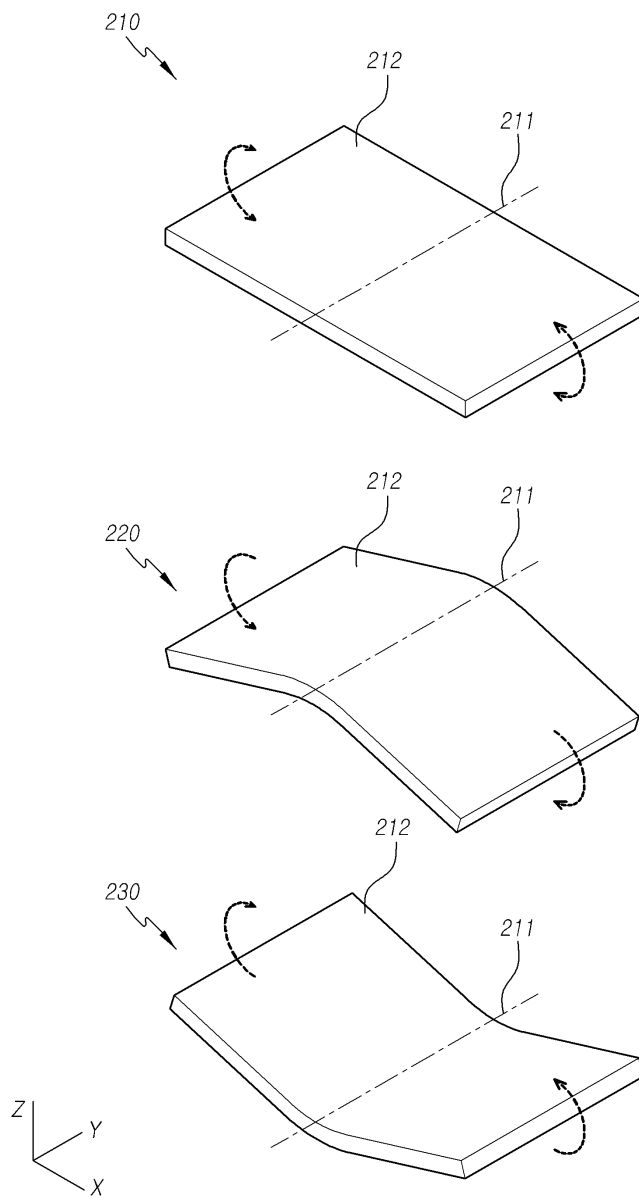
- [0067] 100: 표시장치 110: 표시패널
120: 제1구동부 130: 제2구동부
140: 타이밍 컨트롤러 212: 어레이 기관
200: 기관 211, 1011: 기준선
450, 750: 벡터 310, 1030, 2030: 폴딩 영역
1005: 비폴딩 영역

도면

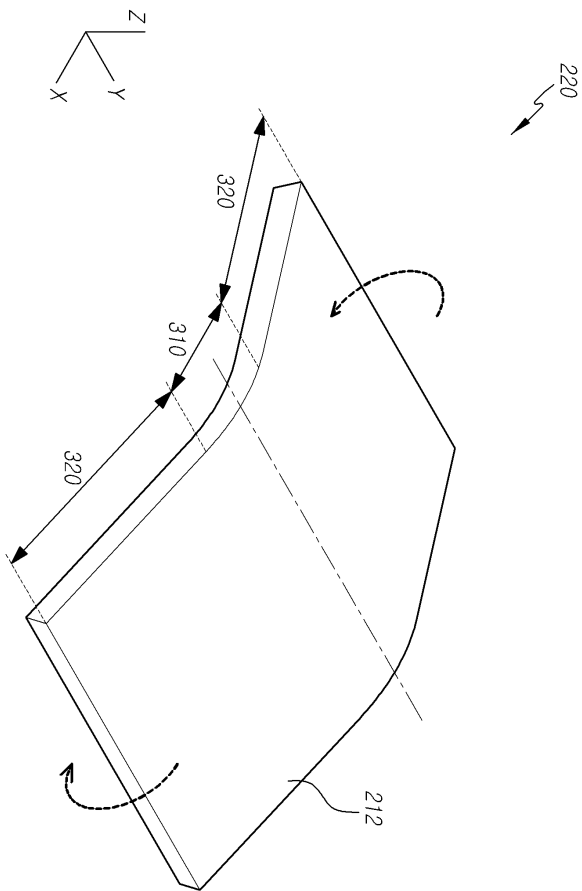
도면1



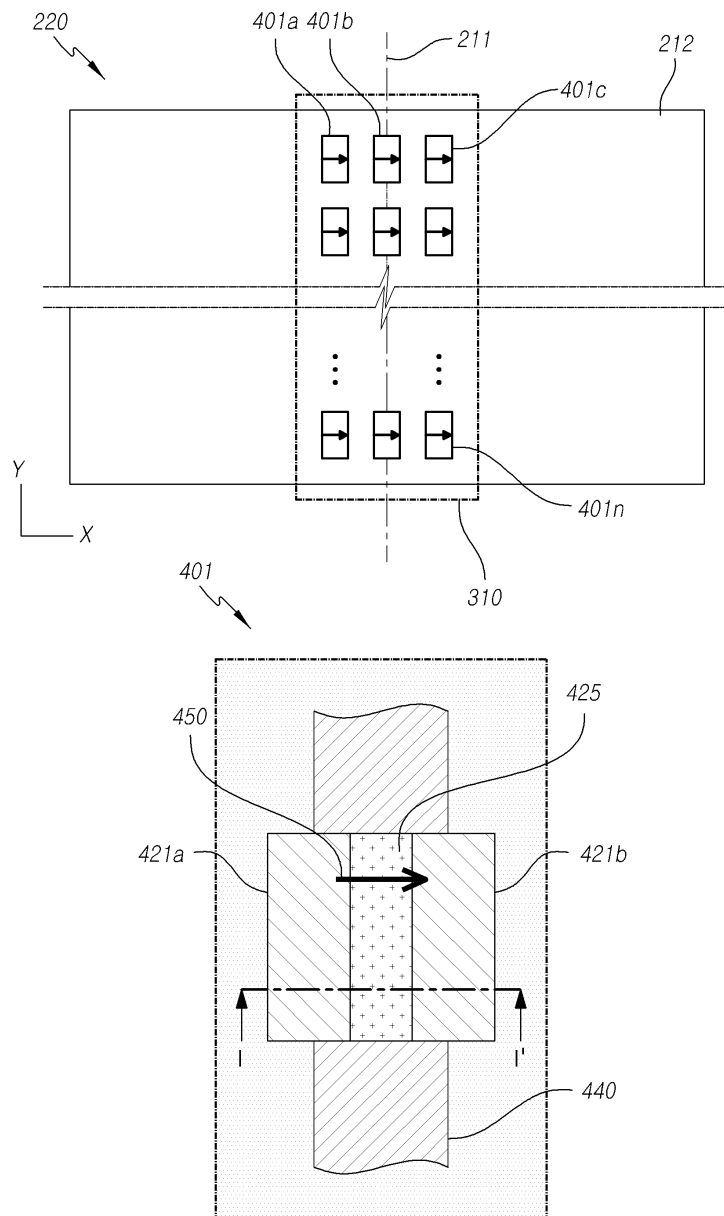
도면2



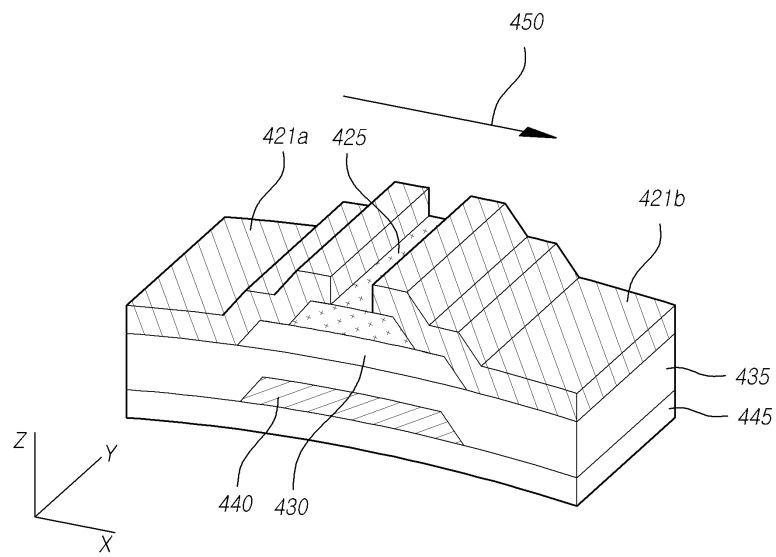
도면3



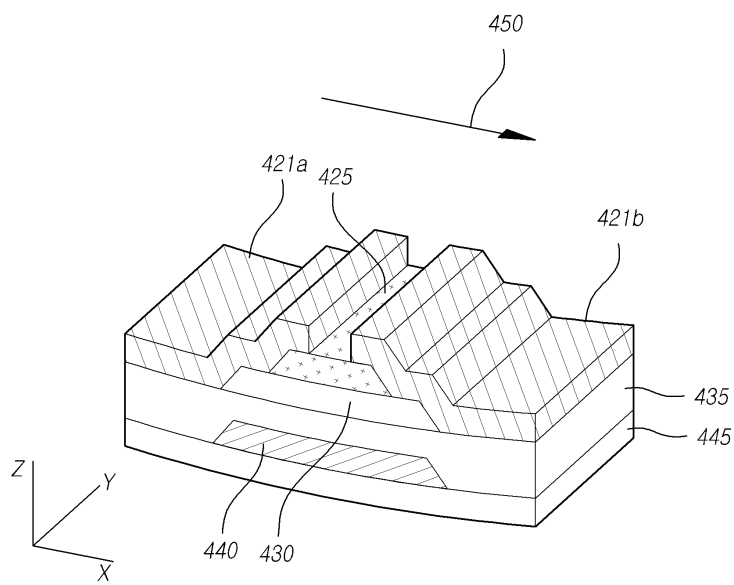
도면4



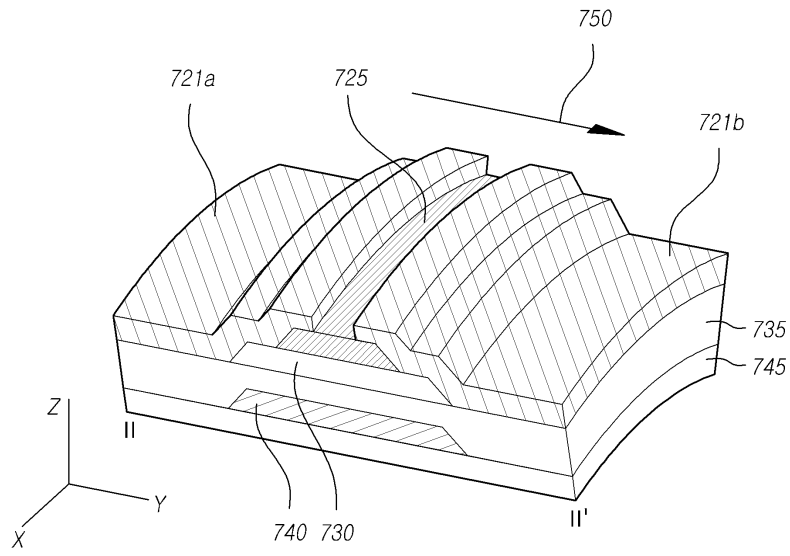
도면5



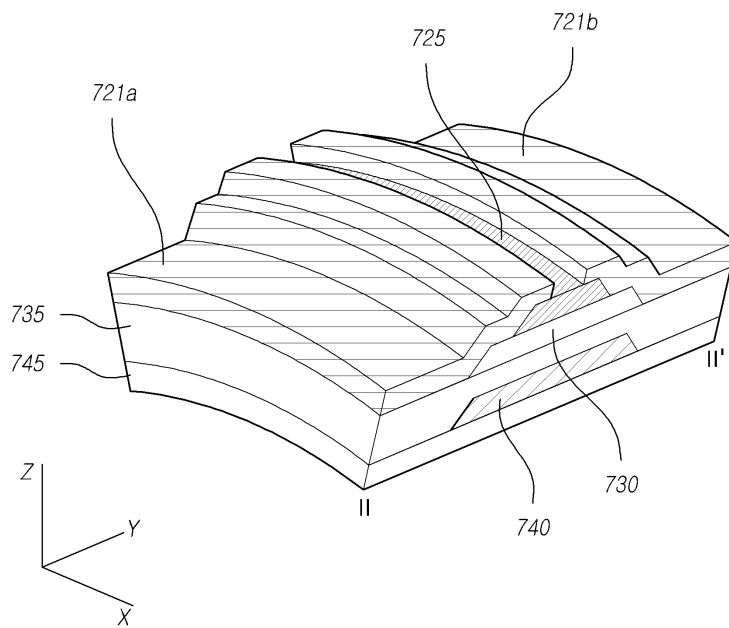
도면6



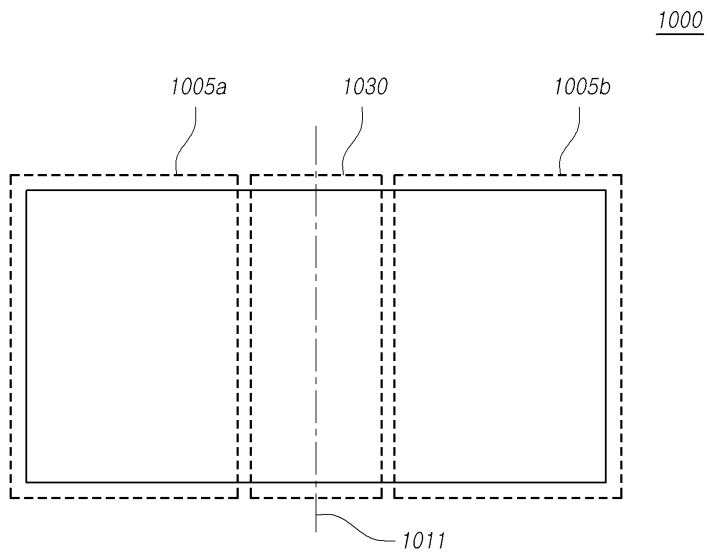
도면8



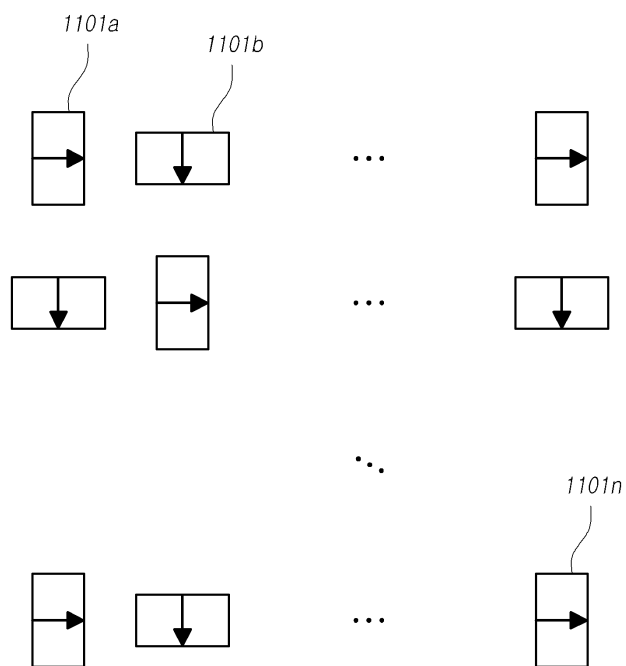
도면9



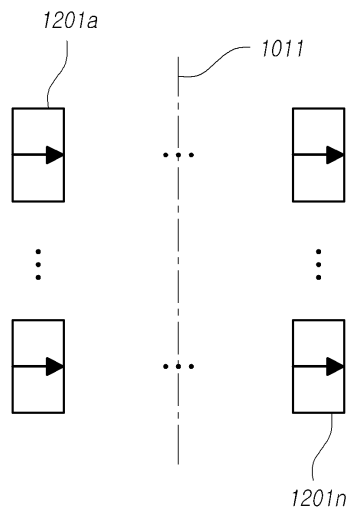
도면10



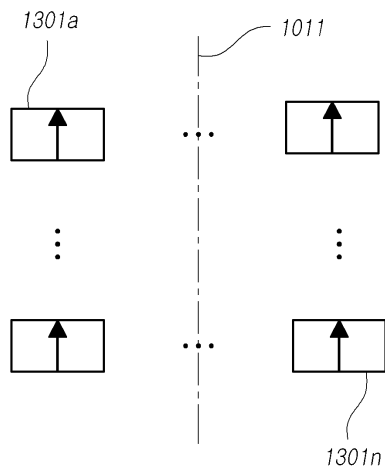
도면11



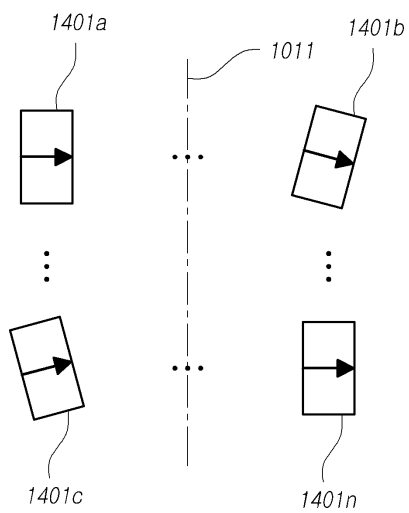
도면12



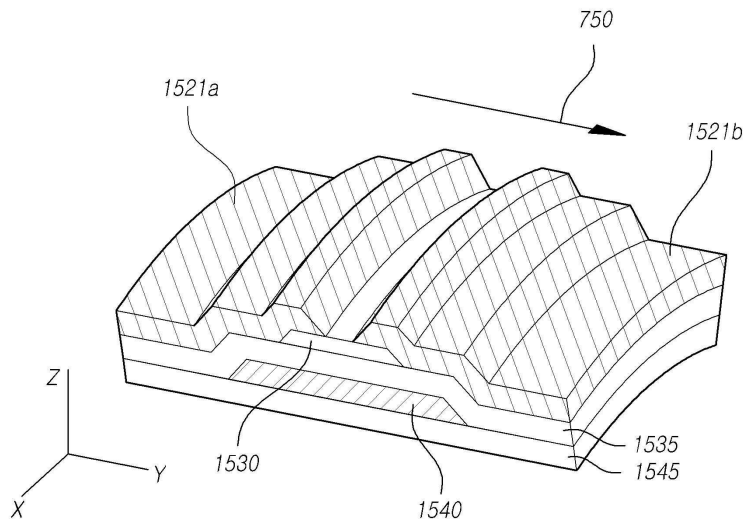
도면13



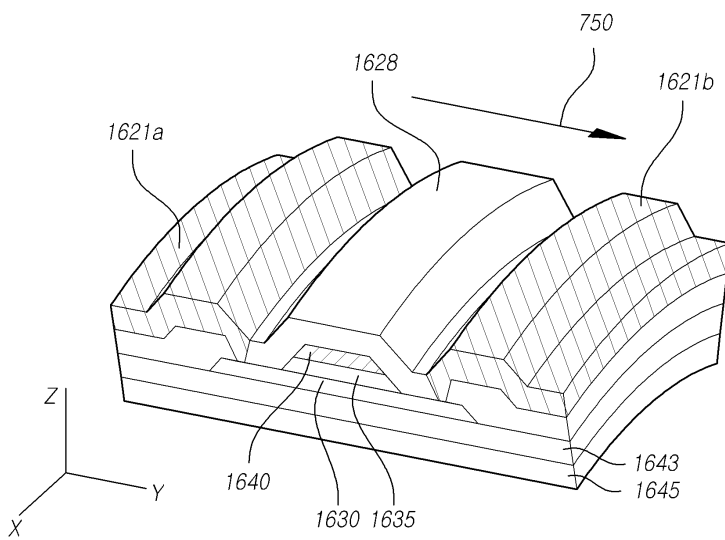
도면14



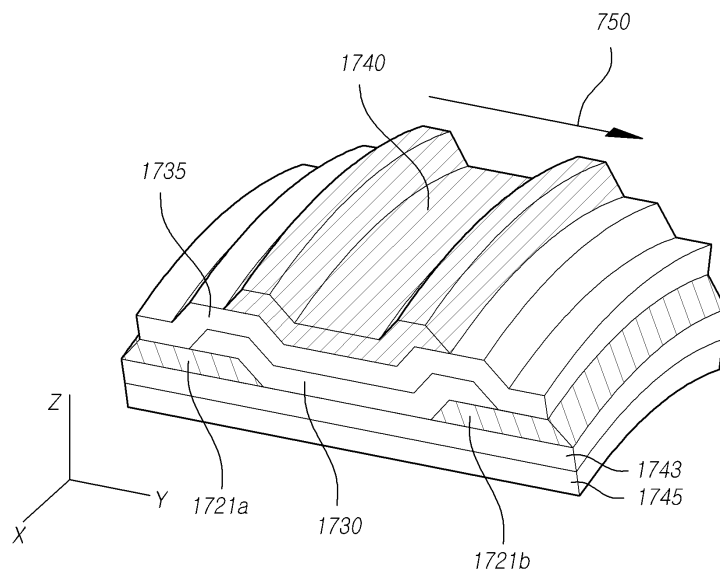
도면15



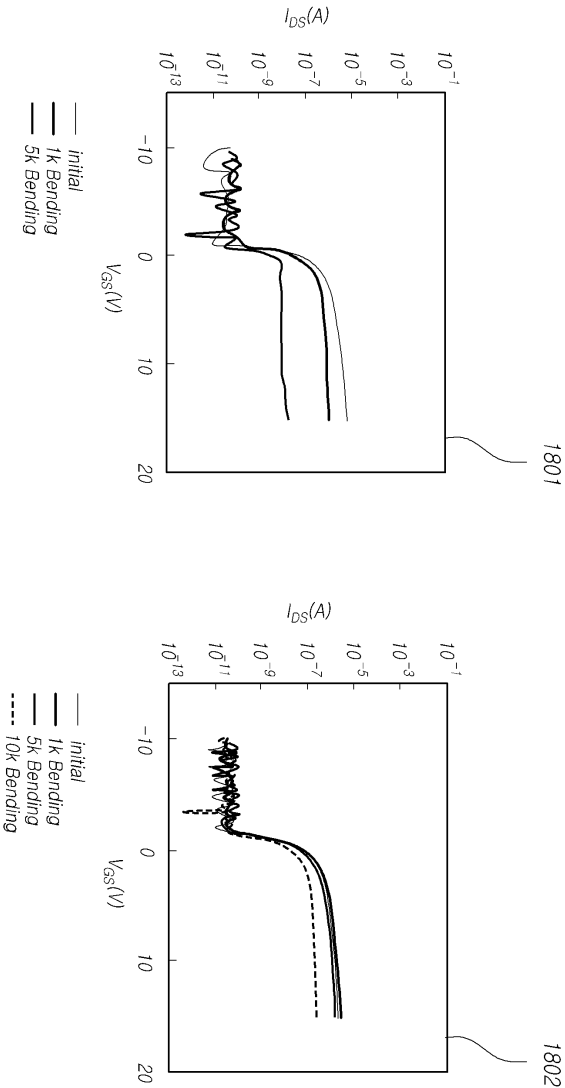
도면16



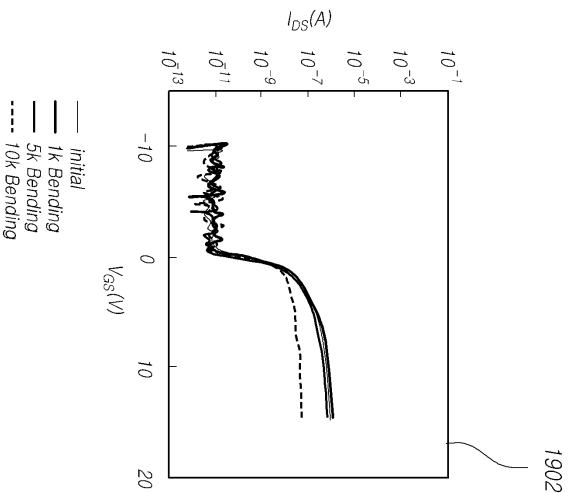
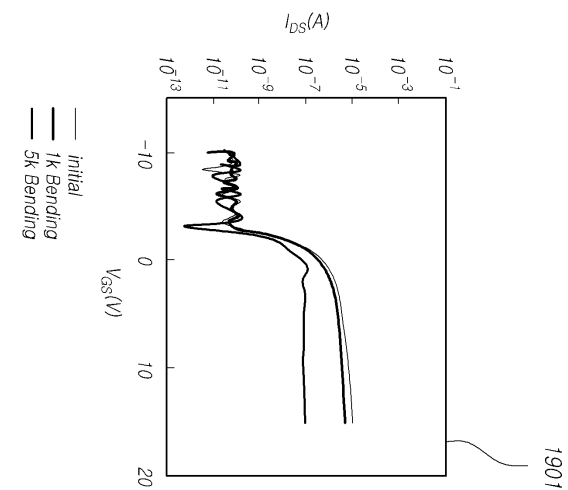
도면17



도면18



도면19



도면20

2000

