



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0019594

(43) 공개일자 2016년02월22일

(51) 국제특허분류(Int. Cl.)

G11C 11/413 (2006.01)

(21) 출원번호 10-2014-0103762

(22) 출원일자 2014년08월11일

심사청구일자 없음

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

임우진

서울 성북구 송인로2길 61, 117동 1602호 (길음동, 동부센트레빌아파트)

송태중

경기 성남시 분당구 내정로 186, 102동 802호 (수내동, 파크타운대림아파트)

(뒷면에 계속)

(74) 대리인

특허법인 고려

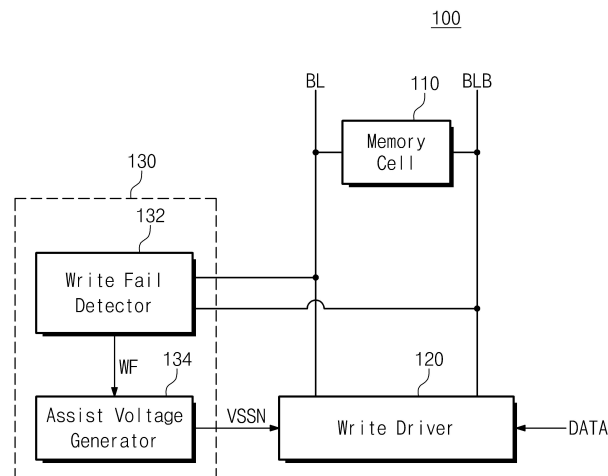
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 쓰기 보조 회로를 포함하는 스택틱 랜덤 액세스 메모리 장치

### (57) 요약

본 발명에 따른 스택틱 랜덤 액세스 메모리 장치는, 데이터 신호의 로직 상태에 응답하여 메모리 셀과 연결된 제 1 비트 라인 및 제 2 비트 라인 중 하나를 플로팅 시키고 다른 하나의 비트 라인에는 쓰기 전압을 인가하는 쓰기 드라이버, 상기 플로팅된 비트 라인의 전압을 입력받아 쓰기 실패 신호를 출력하는 쓰기 실패 감지부, 그리고 상기 쓰기 실패 신호에 응답하여 쓰기 보조 전압을 생성하는 보조 전압 생성부를 포함하되, 상기 쓰기 드라이버는 상기 쓰기 보조 전압을 상기 쓰기 전압을 인가한 비트 라인에 추가로 공급한다.

대표도 - 도1



(72) 발명자

**김규홍**

서울 서초구 서운로 62, 11동 1002호 (서초동, 우성아파트)

**정성욱**

서울 서대문구 연세로 50, 제2공학관 B725 (신촌동, 연세대학교)

**정한울**

서울 서대문구 연세로 50, 제2공학관 B726 (신촌동, 연세대학교)

## 명세서

### 청구범위

#### 청구항 1

데이터 신호의 로직 상태에 응답하여 메모리 셀과 연결된 제 1 비트 라인 및 제 2 비트 라인 중 하나를 플로팅 시키고, 다른 하나의 비트 라인에는 쓰기 전압을 인가하는 쓰기 드라이버;

상기 플로팅된 비트 라인의 전압을 입력받아 쓰기 실패 신호를 출력하는 쓰기 실패 감지부; 그리고,

상기 쓰기 실패 신호에 응답하여 쓰기 보조 전압을 생성하는 보조 전압 생성부를 포함하되,

상기 쓰기 드라이버는 상기 쓰기 보조 전압을 상기 쓰기 전압을 인가한 비트 라인에 추가로 공급하는 스택틱 랜덤 액세스 메모리 장치.

#### 청구항 2

제 1 항에 있어서,

상기 플로팅된 비트 라인의 전압은 로직 하이 상태 전압이고, 상기 쓰기 전압은 로직 로우 상태 전압인 스택틱 랜덤 액세스 메모리 장치.

#### 청구항 3

제 2 항에 있어서,

상기 쓰기 보조 전압은 상기 쓰기 전압보다 낮은 음의 전압인 스택틱 랜덤 액세스 메모리 장치.

#### 청구항 4

제 3 항에 있어서,

상기 쓰기 드라이버는:

상기 데이터 신호를 입력받아 반전하여 출력하는 제 1 인버터;

일단이 상기 제 1 비트 라인과 연결되고 타단이 상기 보조 전압 생성부의 출력단과 연결되며 상기 제 1 인버터의 출력 신호에 응답하여 턴 온 또는 턴 오프되는 제 1 쓰기 트랜지스터; 그리고

일단이 상기 제 2 비트 라인과 연결되고 타단이 상기 보조 전압 생성부의 출력단과 연결되며 상기 데이터 신호에 응답하여 턴 온 또는 턴 오프되는 제 2 쓰기 트랜지스터를 포함하고,

상기 제 1 쓰기 트랜지스터 및 상기 제 2 쓰기 트랜지스터의 턴 온/오프 동작은 서로 상보적인 스택틱 랜덤 액세스 메모리 장치.

#### 청구항 5

제 4 항에 있어서,

상기 쓰기 실패 감지부는:

상기 데이터 신호에 응답하여 상기 제 1 비트 라인의 전압을 제 1 선택 신호로 출력하는 제 1 선택 트랜지스터;

상기 제 1 인버터의 출력 신호에 응답하여 제 2 비트 라인의 전압을 제 2 선택 신호로 출력하는 제 2 선택 트랜지스터; 그리고

상기 제 1 선택 신호 또는 제 2 선택 신호를 제 1 입력 신호로 입력받고, 쓰기 동작 동안 로직 로우 상태 전압을 유지하는 쓰기 인에이블 신호를 제 2 입력 신호로 입력받아 논리 연산하여 쓰기 실패 신호를 출력하는 논리 게이트를 포함하되,

상기 제 1 입력 신호는 상기 플로팅된 비트 라인의 전압인 스택틱 랜덤 액세스 메모리 장치.

## 청구항 6

제 3 항에 있어서,

상기 보조 전압 생성부는:

상기 쓰기 실패 신호를 입력받아 반전하여 보조 전압 제어 신호를 출력하는, 제 1 내지 제 3 인버터들이 직렬로 연결된 인버터 체인;

일단이 상기 인버터 체인의 출력단에 연결되고 타단이 상기 보조 전압 생성부의 출력단에 연결되어 상기 보조 전압 제어 신호에 응답하여 상기 쓰기 보조 전압을 출력하는 커패시터; 그리고

일단이 접지 전압에 연결되고 타단이 상기 보조 전압 생성부의 출력단에 연결되어 상기 제 1 인버터의 출력 신호에 응답하여 접지 전압을 출력하는 풀다운 트랜지스터를 포함하는 스테틱 랜덤 액세스 메모리 장치.

## 청구항 7

워드 라인들 그리고 비트 라인 쌍들과 각각 연결되는 메모리 셀들;

어드레스 신호에 응답하여 상기 메모리 셀들 중 어느 한 메모리 셀을 선택하기 위한 어드레스 디코더;

상기 어드레스 디코더에 의해 선택된 메모리 셀과 연결된 비트 라인 쌍 중 어느 하나를 플로팅 시키고, 다른 하나의 비트 라인에는 쓰기 전압을 인가하는 쓰기 드라이버;

상기 플로팅된 비트 라인의 전압 레벨의 변화를 감지하여 쓰기 실패 신호를 출력하는 쓰기 실패 감지부; 그리고

상기 쓰기 실패 신호에 응답하여 쓰기 보조 전압을 출력하는 보조 전압 생성부를 포함하되,

상기 쓰기 실패 감지부는 상기 플로팅된 비트 라인의 전압 레벨의 로직 상태가 변하는 경우 쓰기 동작 실패에 대응하는 쓰기 실패 신호를 출력하며, 상기 쓰기 드라이버는 상기 쓰기 보조 전압을 상기 쓰기 전압이 인가된 비트 라인에 추가로 공급하는 스테틱 랜덤 액세스 메모리 장치.

## 청구항 8

제 7 항에 있어서,

상기 쓰기 드라이버는 상기 데이터 신호가 로직 하이인 경우 상기 비트 라인 쌍 중 제 1 비트 라인은 플로팅 시키고 상기 제 2 비트 라인에는 상기 쓰기 전압을 인가하며, 상기 데이터 신호가 로직 로우인 경우 상기 제 1 비트 라인에는 상기 쓰기 전압을 인가하고 상기 제 2 비트 라인을 플로팅 시키는 스테틱 랜덤 액세스 메모리 장치.

## 청구항 9

제 8 항에 있어서,

상기 플로팅된 비트 라인의 전압 레벨은 프리차지 전압 레벨이며, 상기 쓰기 전압 레벨은 접지 전압 레벨인 스테틱 랜덤 액세스 메모리 장치.

## 청구항 10

제 9 항에 있어서,

상기 쓰기 보조 전압 생성부는 상기 쓰기 실패 신호에 응답하여 상기 쓰기 전압보다 낮은 음의 전압인 쓰기 보조 전압을 출력하는 스테틱 랜덤 액세스 메모리 장치.

## 발명의 설명

### 기술 분야

본 발명은 스테틱 랜덤 액세스 메모리 장치에 관한 것으로, 좀 더 구체적으로는 쓰기 보조 회로를 포함하는 스테틱 랜덤 액세스 메모리 장치에 관한 것이다.

[0001]

## 배경 기술

- [0002] 스테틱 랜덤 액세스 메모리 장치의 메모리 셀은 공정 과정에서 생길 수 있는 불확실성(Process Variation)으로 인해 안정적인 쓰기 동작을 보장하지 못할 수 있다. 따라서, 스테틱 랜덤 액세스 메모리 장치는 일반적으로 쓰기 동작을 보조하는 쓰기 보조 회로를 필요로 한다. 이와 같은 쓰기 보조 회로는 쓰기 동작시 메모리 셀에 인가되는 전압을 일시적으로 쓰기 동작에 보다 유리하도록 조절한다.
- [0003] 스테틱 랜덤 액세스 메모리 장치의 메모리 셀들 중에서 쓰기 보조 동작을 필요로 하는 메모리 셀은 소수이다. 하지만, 쓰기 보조 동작은 전체 메모리 셀 들을 대상으로 수행되었다. 즉, 쓰기 보조 동작이 필요없는 대다수의 메모리 셀 들에 대해서도 쓰기 보조 동작이 수행됨으로 인해 불필요한 전력이 많이 소모되었다.

## 발명의 내용

### 해결하려는 과제

- [0004] 본 발명의 목적은 쓰기 동작이 실패한 경우에만 쓰기 보조 동작을 수행하여 쓰기 동작에서 소모되는 전력을 감소시킬 수 있는 스테틱 랜덤 액세스 메모리 장치를 제공하는 데 있다.

### 과제의 해결 수단

- [0005] 상기 목적을 달성하기 위한 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치는, 데이터 신호의 로직 상태에 응답하여 메모리 셀과 연결된 제 1 비트 라인 및 제 2 비트 라인 중 하나를 플로팅 시키고 다른 하나의 비트 라인에는 쓰기 전압을 인가하는 쓰기 드라이버, 상기 플로팅된 비트 라인의 전압을 입력받아 쓰기 실패 신호를 출력하는 쓰기 실패 감지부, 그리고 상기 쓰기 실패 신호에 응답하여 쓰기 보조 전압을 생성하는 보조 전압 생성부를 포함하되, 상기 쓰기 드라이버는 상기 쓰기 보조 전압을 상기 쓰기 전압을 인가한 비트 라인에 추가로 공급한다.
- [0006] 상기 목적을 달성하기 위한 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치는, 워드 라인들 그리고 비트 라인 쌍들과 각각 연결되는 메모리 셀들, 어드레스 신호에 응답하여 상기 메모리 셀들 중 어느 한 메모리 셀을 선택하기 위한 행 디코더와 열 디코더, 상기 행 디코더와 열 디코더에 의해 선택된 메모리 셀과 연결된 비트 라인 쌍 중 어느 하나를 플로팅 시키고 다른 하나의 비트 라인에는 쓰기 전압을 인가하는 쓰기 드라이버, 상기 플로팅된 비트 라인의 전압 레벨의 변화를 감지하여 쓰기 실패 신호를 출력하는 쓰기 실패 감지부, 그리고 상기 쓰기 실패 신호에 응답하여 쓰기 보조 전압을 출력하는 보조 전압 생성부를 포함하되, 상기 쓰기 실패 감지부는 상기 플로팅된 비트 라인의 전압 레벨의 로직 상태가 변하는 경우 쓰기 동작 실패에 대응하는 쓰기 실패 신호를 출력하며, 상기 쓰기 드라이버는 상기 쓰기 보조 전압을 상기 쓰기 전압이 인가된 비트 라인에 추가로 공급한다.

### 발명의 효과

- [0007] 이상과 같은 본 발명의 실시 예에 따르면, 쓰기 동작시 플로팅된 비트 라인의 전압 레벨의 변화를 이용하여 쓰기 동작의 실패를 감지하고, 쓰기 동작이 실패한 경우에만 쓰기 보조 동작을 수행함으로써, 쓰기 동작시 소모되는 전력을 감소시킬 수 있다.

### 도면의 간단한 설명

- [0008] 도 1은 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치를 보여주는 블록도이다.
- 도 2는 본 발명에 따른 쓰기 드라이버와 메모리 셀의 예시적인 회로도이다.
- 도 3A, B는 본 발명에 따른 쓰기 드라이버에 의한 쓰기 동작을 설명하기 위한 참고도이다.
- 도 4는 도 1에 따른 스테틱 랜덤 액세스 메모리 장치의 예시적인 회로도이다.
- 도 5는 도 4에 따른 보조 전압 생성부의 예시적인 회로도이다
- 도 6은 본 발명에 따른 쓰기 보조 동작을 설명하기 위한 참고도이다.
- 도 7은 본 발명의 다른 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치를 보여주는 블록도이다.

도 8은 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치의 쓰기 방법을 보여주는 순서도이다.

도 9는 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치를 포함하는 사용자 장치를 예시적으로 보여주는 블록도이다.

도 10은 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치를 포함하는 컴퓨터 시스템을 예시적으로 보여주는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0009] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.
- [0010] 이하에서는, 반도체 장치 또는 반도체 칩이 본 발명의 특징 및 기능을 설명하기 위한 단위의 예로서 사용될 것이다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.
- [0011] 도 1은 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치를 보여주는 블록도이다. 도 1을 참조하면, 스테틱 랜덤 액세스 메모리 장치(100)는 메모리 셀(110)과, 쓰기 드라이버(120), 그리고 쓰기 보조 회로(130)를 포함한다. 쓰기 드라이버(120)는 데이터 신호(DATA)에 따라 메모리 셀(110)에 데이터를 기입한다. 쓰기 보조 회로(130)는 쓰기 드라이버(120)에 의한 쓰기 동작의 실패를 감지하여 쓰기 실패 신호(WF)를 출력하는 쓰기 실패 감지부(132), 그리고 쓰기 동작이 실패하는 경우 쓰기 보조 전압(VSSN)을 출력하는 보조 전압 생성부(134)를 포함한다.
- [0012] 쓰기 드라이버(120)는 데이터 신호(DATA)에 응답하여 제 1 비트 라인(BL) 또는 제 2 비트 라인(BLB) 중 어느 한 비트 라인을 플로팅 시키고, 나머지 한 비트 라인에는 쓰기 전압을 인가한다. 예를 들어, 데이터 신호(DATA)가 로직 하이 상태 신호인 경우, 제 1 비트 라인(BL)을 플로팅 시키고 제 2 비트 라인(BLB)에는 쓰기 전압을 인가한다. 여기에서, 플로팅된 비트 라인의 전압 레벨은 로직 하이 상태 전압일 수 있고, 쓰기 전압 레벨은 로직 로우 상태 전압일 수 있다.
- [0013] 쓰기 실패 감지부(132)는 플로팅된 비트 라인의 전압 레벨의 변화에 응답하여 쓰기 실패 신호(WF)를 출력한다. 쓰기 실패 감지부(132)는 쓰기 동작 동안 플로팅된 비트 라인의 전압의 로직 상태가 변하는 경우 로직 하이 상태의 쓰기 실패 신호(WF)를 출력할 수 있다. 여기에서, 로직 하이 상태의 쓰기 실패 신호(WF)는 쓰기 동작이 실패하였음을 나타낼 수 있다.
- [0014] 보조 전압 생성부(134)는 쓰기 실패 신호(WF)에 응답하여 쓰기 보조 전압(VSSN)을 생성할 수 있다. 예를 들어, 쓰기 실패 신호(WF)가 로직 하이 상태 신호인 경우 보조 전압 생성부(134)는 쓰기 보조 전압(VSSN)을 생성할 수 있다. 여기에서, 쓰기 보조 전압(VSSN)은 로직 로우 상태인 쓰기 전압보다 낮은 음의 전압(negative voltage)일 수 있다. 생성된 쓰기 보조 전압(VSSN)은 쓰기 드라이버(120)를 통해 쓰기 전압이 인가된 비트 라인에 추가로 공급되어 쓰기 동작을 보조한다.
- [0015] 도 2는 본 발명에 따른 쓰기 드라이버와 메모리 셀의 예시적인 회로도이다. 도 2를 참조하면, 메모리 셀(110)은 인버터들(INV1, INV2)로 구성된 래치 회로(112)와 패스 게이트들(PG, PGB)을 포함한다. 또한, 쓰기 드라이버(120)는 비트 라인 쌍(BL, BLB) 중 어느 하나를 플로팅 시키고 다른 하나에 쓰기 전압을 인가하기 위한 쓰기 트랜지스터들(NM1, NM2)과 인버터(INV3)를 포함한다.
- [0016] 도 3A 및 도 3B는 본 발명에 따른 쓰기 드라이버를 통한 쓰기 동작을 설명하기 위한 타이밍도이다. 도 3A는 쓰기 동작이 성공하는 경우, 도 3B는 쓰기 동작이 실패한 경우를 각각 보여준다. 이하, 도 2, 도 3A, 그리고 도 3B를 참조하여 쓰기 동작을 보다 자세히 설명한다.
- [0017] 설명에 앞서, 메모리 셀(110)에 데이터를 쓰는 경우 제 1 데이터 노드(Q)에 저장되는 데이터 값을 기준으로 한다. 즉, 제 1 데이터 노드(Q)의 로직 상태가 로직 하이인 경우 메모리 셀(110)에 로직 하이 상태의 데이터가 저장되었다고 가정한다. 또한, 후술할 쓰기 동작은 메모리 셀(110)에 로직 하이 상태의 데이터를 기입하는 동작을

기준으로 설명한다. 따라서, 쓰기 동작 전 제 1 데이터 노드(Q)는 로직 로우 상태이며, 제 2 데이터 노드(QB)는 로직 하이 상태이다. 또한, 쓰기 동작 전 제 1 비트 라인(BL)과 제 2 비트 라인(BLB)은 프리차지 전압(VPRE)으로 프리차지 된다.

[0018] 먼저, 도 2 및 도 3A를 참조하여 쓰기 동작이 성공하는 경우를 설명한다.

[0019] 워드 라인(WL)에 워드 라인 전압(VWL)이 인가되면 제 1 패스 게이트(PG)와 제 2 패스 게이트(PGB)는 턴 온 된다. 따라서 제 1 비트 라인(BL)과 제 1 데이터 노드(Q), 그리고 제 2 비트 라인(BLB)과 제 2 데이터 노드(QB)가 각각 전기적으로 연결된다. 그 후, 쓰기 드라이버(120)는 로직 하이 상태의 데이터 신호(DATA)를 입력받는다. 제 2 쓰기 트랜지스터(NM2)는 데이터 신호(DATA)에 응답하여 턴 온 된다. 따라서 제 2 쓰기 트랜지스터(NM2)는 제 2 비트 라인(BLB)을 접지 전압(VSS)레벨로 구동한다. 이 후, 로직 하이 상태의 제 2 데이터 노드(QB)의 전압 레벨은 접지 전압(VSS) 레벨로 감소한다.

[0020] 반면에, 제 1 쓰기 트랜지스터(NM1)는 인버터(INV3)의 출력 신호에 응답하여 턴 오프 된다. 따라서, 제 1 비트 라인(BL)은 플로팅 된다. 제 1 비트 라인(BL)과 제 1 데이터 노드(Q)의 전압 차이에 의해 제 1 비트 라인(BL)에서 제 1 데이터 노드(Q)로 전류가 흐르며, 이는 제 1 비트 라인(BL)의 전압을 감소시킨다. 하지만, 제 2 데이터 노드(QB)의 전압이 접지 전압 레벨로 구동되는 제 2 비트 라인(BLB)의 전압과 같아지므로 제 1 데이터 노드(Q)의 전압 강하가 방지된다. 쓰기 동작이 성공하는 경우 각 비트 라인과 각 비트 라인에 연결된 데이터 노드의 전압 레벨이 같아져서 플로팅된 제 1 비트 라인(BL)의 전압 감소가 매우 작게 된다. 즉, 쓰기 동작이 성공하는 경우 플로팅된 비트 라인의 로직 상태가 변하지 않게 된다. 도 3A를 참조하면 쓰기 동작이 성공하는 경우 제 1 비트 라인(BL)의 전압의 감소가 매우 작은 것을 확인할 수 있다.

[0021] 다음으로, 도 2 및 도 3B를 참조하여 쓰기 동작이 실패하는 경우를 설명한다.

[0022] 쓰기 동작의 실패는 메모리 셀의 공정 과정에서 발생할 수 있는 불확실성(process variation)으로 메모리 셀의 동작 특성이 열화될 때 발생할 수 있다. 이는, 쓰기 드라이버가 비트 라인에 쓰고자 하는 로직 상태에 해당하는 전압을 인가하여도 메모리 셀의 데이터 노드의 로직 상태가 변하지 않는 경우 의미한다.

[0023] 상술한 바와 같이 쓰기 드라이버(120)는 제 1 비트 라인(BL)을 플로팅 시키고, 제 2 비트 라인(BLB)을 접지 전압(VSS)으로 구동한다. 하지만 메모리 셀의 동작 특성의 열화로 인해 제 1 데이터 노드(Q)와 제 2 데이터 노드(QB)의 로직 상태가 이전 로직 상태를 유지한다. 따라서, 제 1 데이터 노드(Q)는 로직 로우 상태 전압을 유지한다. 이로 인해 제 1 비트 라인(BL)으로부터 제 1 데이터 노드(Q)로 전압 차이에 의해 전류가 지속적으로 흐르며, 이는 제 1 비트 라인(BL)의 전압을 감소시킨다. 도 3B를 참조하면, 제 1 데이터 노드(Q)와 제 2 데이터 노드(QB)의 로직 상태는 변화가 없는 것을 확인할 수 있다. 또한, 제 1 비트 라인(BL)의 전압이 지속적으로 감소하여 로직 로우 상태 전압으로 변하는 것을 확인할 수 있다.

[0024] 상술한 바와 같이 쓰기 동작이 성공하는 경우에는 플로팅된 비트 라인의 전압 변화가 거의 없으나, 쓰기 동작이 실패하는 경우에는 전압 변화가 매우 크게 된다. 따라서 본 발명은 이러한 플로팅 비트 라인의 전압 변화를 이용하여 쓰기 동작의 실패 여부를 감지한다.

[0025] 도 4는 도 1에 따른 스테틱 랜덤 액세스 메모리 장치의 예시적인 회로도이다. 도 4를 참조하면, 스테틱 랜덤 액세스 메모리 장치(200)는 쓰기 드라이버(220), 쓰기 실패 감지부(232), 그리고 보조 전압 생성부(234)를 포함한다. 쓰기 드라이버(220)는 보조 전압 생성부(234)로부터 쓰기 보조 전압(VSSN) 또는 쓰기 전압(VW)을 공급받는다. 또한, 쓰기 실패 감지부(232)는 데이터 신호(DATA)에 응답하여 비트 라인 쌍(BL, BLB) 중 플로팅된 비트 라인의 전압 레벨을 선택적으로 입력받는다. 보조 전압 생성부(234)는 쓰기 실패 신호(WF)의 로직 상태에 응답하여 쓰기 보조 전압(VSSN) 또는 쓰기 전압(VW)을 출력한다.

[0026] 쓰기 드라이버(220)는 로직 하이 상태를 쓰고자 하는 쪽의 비트 라인을 플로팅 시키고, 로직 로우 상태를 쓰고자 하는 쪽의 비트 라인을 접지 전압으로 구동한다. 이를 위해 쓰기 드라이버는(220)는 제 1 쓰기 트랜지스터(NM1), 제 2 쓰기 트랜지스터(NM2), 그리고 인버터(INV3)를 포함한다.

[0027] 제 1 쓰기 트랜지스터(NM1)의 일단은 제 1 비트 라인(BL)과 연결된다. 제 1 쓰기 트랜지스터(NM1)의 타단은 보조 전압 생성부(234)의 출력단과 연결되고, 인버터(INV3)의 출력 신호에 응답하여 턴 온/오프 된다. 제 1 쓰기 트랜지스터(NM1)는 인버터(INV3)의 출력 신호에 응답하여 제 1 비트 라인(BL)을 플로팅 시키거나 또는 쓰기 전압을 인가한다.

[0028] 제 2 쓰기 트랜지스터(NM2)의 일단은 제 2 비트 라인(BLB)과 연결된다. 제 2 쓰기 트랜지스터(NM2)의 타단은 보



조 전압 생성부(234)의 출력단과 연결되고, 데이터 신호(DATA)에 응답하여 턴 온/오프 된다. 제 2 쓰기 트랜지스터(NM2)는 데이터 신호(DATA)에 응답하여 제 2 비트 라인(BLB)을 플로팅 시키거나 또는 쓰기 전압을 인가한다. 제 1 쓰기 트랜지스터(NM1)과 제 2 쓰기 트랜지스터(NM2)의 턴 온/오프 동작은 서로 상보적이다.

[0029] 쓰기 실패 감지부(232)는 제 1 선택 트랜지스터(NM3)와, 제 2 선택 트랜지스터(NM4), 그리고 논리 게이트(233)를 포함한다. 제 1 선택 트랜지스터(NM3) 및 제 2 선택 트랜지스터(NM4)는 플로팅된 비트 라인의 전압 레벨을 논리 게이트(233)로 선택적으로 입력한다. 논리 게이트(233)는 플로팅된 비트 라인의 전압 레벨과 쓰기 인에이블 신호를 논리 연산하여 쓰기 실패 신호(WF)를 출력한다.

[0030] 제 1 선택 게이트(NM3)의 일단은 제 1 비트 라인(BL)과 연결된다. 제 1 선택 게이트(NM3)의 타단은 논리 게이트(233)의 제 1 입력단자에 연결되고, 데이터 신호(DATA)에 응답하여 턴 온/오프 된다. 제 2 선택 게이트(NM4)의 일단은 제 2 비트 라인(BLB)과 연결된다. 제 2 선택 트랜지스터(NM4)의 타단은 논리 게이트(233)의 제 1 입력단자에 연결되고, 인버터(INV3)의 출력 신호에 응답하여 턴 온/오프 된다. 여기에서 데이터 신호(DATA)와 인버터(INV3)의 출력 신호는 서로 상보적인 신호이다. 따라서 제 1 선택 게이트(NM3)와 제 2 선택 게이트(NM4)는 플로팅된 비트 라인의 전압 레벨을 선택적으로 논리 게이트(233)로 인가하기 위한 멀티플렉서로서 동작한다.

[0031] 논리 게이트(233)는 플로팅된 비트 라인의 전압 레벨 신호를 제 1 입력 신호로 입력받고, 쓰기 인에이블 신호(/WEN)를 제 2 입력 신호로 입력받아 이를 논리 연산한다. 쓰기 인에이블 신호(/WEN)는 쓰기 동작 동안 로직 로우 상태를 유지하는 신호이다. 쓰기 동작이 실패하는 경우 플로팅된 비트 라인의 전압은 지속적으로 감소하여 로직 로우 상태 레벨이 될 것이다. 논리 게이트(233)가 NOR 논리 게이트인 경우, 제 1 입력 신호가 로직 로우 상태이고 제 2 입력 신호가 로직 로우 상태인 경우 로직 하이 상태의 신호를 출력한다. 즉, 본 발명에 따른 쓰기 실패 감지부(232)는 제 1 입력 신호와 제 2 입력 신호가 모두 로직 로우 상태인 경우에만 로직 하이 상태의 쓰기 실패 신호(WF)를 출력한다. 따라서, 로직 하이 상태의 쓰기 실패 신호(WF)는 쓰기 동작의 실패를 나타낸다.

[0032] 보조 전압 생성부(234)는 인버터 체인(235)과, 커패시터(C), 그리고 풀다운 트랜지스터(NM5)를 포함한다. 인버터들(INV4, INV5, INV6)이 직렬로 연결된, 인버터 체인(235)은 쓰기 실패 신호(WF)를 반전하여 출력한다. 커패시터(C)는 쓰기 실패 신호(WF)의 로직 상태에 따라 쓰기 보조 전압(VSSN)을 출력한다. 풀다운 트랜지스터(NM5)는 인버터(INV4)의 출력 신호에 응답하여 쓰기 전압(VW)을 출력한다. 이하, 도 5를 참조하여 보조 전압 생성부(234)의 동작을 보다 자세히 설명한다.

[0033] 도 5는 도 4에 따른 보조 전압 생성부(234)의 예시적인 회로도이다. 도 5를 참조하여 쓰기 실패 신호(WF)의 로직 상태에 따른 보조 전압 생성부(234)의 동작을 설명한다.

[0034] 먼저, 로직 로우 상태의 쓰기 실패 신호(WF)가 인버터(INV4)로 입력된다. 인버터(INV4)는 로직 하이 상태 신호를 출력 노드(N1)로 출력한다. 풀다운 트랜지스터(NM5)는 출력 노드(N1)의 로직 하이 상태 신호에 응답하여 턴 온 된다. 따라서 풀다운 트랜지스터(NM5)는 출력 노드(N4)를 접지 전압 레벨로 구동한다. 또한, 인버터(INV5)는 로직 로우 상태 신호를 출력 노드(N2)로 출력한다. 출력 노드(N2)의 로직 로우 상태 신호에 응답하여 인버터(INV6)의 풀업 트랜지스터(PU)는 턴 온 되고, 풀다운 트랜지스터(PD)는 턴 오프 된다. 따라서, 풀업 트랜지스터(PU)는 출력 노드(N3)를 전원 전압(VCC) 레벨로 구동한다. 커패시터(C)는 전원 전압(VCC) 레벨로 충전된다.

[0035] 다음으로, 쓰기 동작이 실패하여 로직 하이 상태의 쓰기 실패 신호(WF)가 인버터(INV)로 입력된다. 인버터(INV4)는 로직 로우 상태 신호를 출력 노드(N1)로 출력한다. 풀다운 트랜지스터(NM5)는 출력 노드(N1)의 로직 로우 상태 신호에 응답하여 턴 오프 된다. 또한, 인버터(INV5)는 로직 하이 상태 신호를 출력 노드(N2)로 출력한다. 출력 노드(N2)의 로직 하이 상태 신호에 응답하여 인버터(INV6)의 풀업 트랜지스터(PU)는 턴 오프 되고, 풀다운 트랜지스터(PD)는 턴 온 된다. 따라서, 풀다운 트랜지스터(PD)는 출력 노드(N3)를 접지 전압 레벨로 구동한다. 이때, 커패시터(C)는 전원 전압(VCC) 레벨로 충전이 되어 있는 상태이다. 출력 노드(N3)가 접지 전압 레벨로 구동됨에 따라 커패시터(C)는 보조 전압 생성부(234)의 출력 노드(N4)로 음의 전압을 출력한다. 즉, 출력 노드(N4)에는 -VCC 레벨의 전압이 출력된다. 결과적으로, 커패시터(C)는 쓰기 실패 신호(WF)가 로직 로우 상태이면 충전되고, 로직 로우 상태이면 음의 전압을 출력 노드(N4)로 출력한다.

[0036] 본 발명에 따른 보조 전압 생성부(234)는 음의 전압을 생성하기 위한 별도의 전압원의 사용 없이 상술한 바와 같은 커패시터의 커플링을 이용하여 일시적으로 음의 전압을 생성한다. 따라서 별도의 전압원의 사용에 따른 오버헤드(overhead)를 제거할 수 있다.

[0037] 도 6은 본 발명에 따른 쓰기 보조 동작을 설명하기 위한 참고도이다. 이하에서 도 2, 도 4, 그리고 도 6을 참조



하여 쓰기 동작이 실패하는 경우 본 발명에 따른 쓰기 보조 동작을 자세히 설명한다.

- [0038] 먼저, 워드 라인 인에이블 신호에 응답하여 워드 라인(WL)에 워드 라인 전압(VWL)이 인가된다. 메모리 셀(110)의 패스 게이트들(PG, PGB)은 인가된 워드 라인 전압(VWL)에 응답하여 시간(t0)에서 턴 온 된다. 그 후, 쓰기 드라이버(220)에 의해 제 1 비트 라인(BL)은 플로팅 되고, 제 2 비트 라인(BLB)에는 쓰기 전압(VW)이 인가된다.
- [0039] 도 3B에서 도시한 바와 같이, 쓰기 동작이 실패하는 경우 제 1 비트 라인(BL)의 전압 레벨이 지속적으로 감소하여 로직 로우 상태가 된다. 제 1 비트 라인(BL)의 전압 레벨이 감소함에 따라 시간(t1)에서 쓰기 실패 신호(WF)의 전압 레벨은 증가하기 시작한다. 이 후, 시간(t2)에서 쓰기 실패 신호(WF)가 로직 하이 상태로 변하게 된다. 쓰기 실패 신호(WF)가 로직 하이 상태로 변경되면 보조 신호 생성부(234)는 음의 전압인 쓰기 보조 전압(VSSN)을 출력한다.
- [0040] 출력된 쓰기 보조 전압(VSSN)은 쓰기 드라이버(220)를 통해 쓰기 전압이 인가된, 즉 플로팅이 되지 않은 비트 라인에 공급된다. 쓰기 전압(VW)이 인가된 비트 라인에 음의 전압이 인가되면 제 2 데이터 노드(QB)에서 제 2 비트 라인(BLB)으로 보다 많은 전류가 흐르게 된다. 따라서 제 2 데이터 노드(QB)의 전압 레벨이 감소하게 되어 제 2 데이터 노드(QB)의 로직 상태가 로직 하이 상태에서 로직 로우 상태로 변경될 수 있다. 또한, 제 2 데이터 노드(QB)의 전압 레벨이 감소함에 따라 제 1 데이터 노드(Q)의 전압 레벨은 증가하여 로직 하이 상태가 된다. 따라서, 데이터 노드들(Q, QB)에 원하는 로직 상태의 데이터가 기입 된다.
- [0041] 본 발명은 접지 전압(VSS) 레벨인 쓰기 전압(VW)으로 구동되는 비트 라인에 접지 전압(VSS)보다 더 낮은 음의 전압인 쓰기 보조 전압(VSSN)을 추가로 인가함으로써 쓰기 동작을 보조한다. 본 발명은 쓰기 동작이 실패한 경우에만 선택적으로 쓰기 보조 동작을 수행함으로써 쓰기 동작시 소모되는 전력을 감소시킬 수 있다.
- [0042] 도 7은 본 발명의 다른 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치를 보여주는 블록도이다.
- [0043] 도 7을 참조하면, 스테틱 랜덤 액세스 메모리 장치는 메모리 셀 어레이(310), 쓰기 드라이버(320), 쓰기 보조 회로(330), 컨트롤러(340), 로우 디코더(350), 칼럼 디코더(360), 그리고 와이-패스 게이트(370)를 포함한다.
- [0044] 메모리 셀 어레이(310)는 데이터를 저장하기 위한 복수의 메모리 셀들을 포함한다. 각각의 메모리 셀은 6개의 트랜지스터로 구성된 6T 에스램(SRAM) 셀 일 수 있다. 또는, 각각의 메모리 셀은 8개의 트랜지스터로 구성된 8T 에스램 셀 일 수 있다.
- [0045] 메모리 셀 어레이(310)에 포함되는 복수의 메모리 셀들은 복수의 워드 라인들과 복수의 비트 라인 쌍들에 각각 연결된다. 어드레스 디코더에 의해 복수의 메모리 셀들 중 어느 하나의 메모리 셀이 선택된다. 즉, 로우 디코더(350)는 행 어드레스에 응답하여 복수의 워드 라인들 중에서 하나의 워드 라인을 선택한다. 또한, 칼럼 디코더(360)는 열 어드레스에 응답하여 복수의 비트 라인 쌍들 중에서 하나의 비트 라인 쌍을 선택한다. 와이-패스 게이트(370)는 칼럼 디코더(360)의 제어 신호(WMUX)에 따라 선택되어, 복수의 비트 라인 쌍들 중 어느 하나와 데이터 라인 쌍을 서로 연결한다. 즉, 와이-패스 게이트(370)는 복수의 비트 라인 쌍들 중 어느 하나를 선택하기 위한 트랜지스터들로 구성된다.
- [0046] 로우 디코더(350)에 의해서 선택된 워드 라인에 연결된 메모리 셀들 중에서, 칼럼 디코더(360) 그리고 와이-패스 게이트(370)에 의해서 선택된 비트 라인 쌍에 연결된 메모리 셀을 선택 메모리 셀이라 한다.
- [0047] 컨트롤러(340)는 외부 장치(예를 들면, 호스트, 메모리 컨트롤러, 메모리 인터페이스)의 제어 신호들(/CS, /OE, /WR)과 어드레스(ADD)에 응답하여 스테틱 랜덤 액세스 메모리 장치(300)의 제반 동작을 제어한다. 예를 들면, 컨트롤러(340)는 스테틱 랜덤 액세스 메모리 장치(300)의 읽기 그리고 쓰기 동작을 제어할 것이다. 본 발명의 실시 예에 따르면, 컨트롤러(340)는 쓰기 동작 시에 로직 하이 상태를 유지하는 쓰기 인에이블 신호(WEN)를 쓰기 드라이버(320)에 전송할 수 있다. 또한, 컨트롤러(340)는 쓰기 동작 동안 로직 로우 상태를 유지하는 반전된 쓰기 인에이블 신호(/WEN)를 쓰기 실패 감지부(332)에 전송할 수 있다.
- [0048] 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치(300)는 쓰기 드라이버(320)와 쓰기 보조 회로(330)를 포함한다. 쓰기 드라이버(320)는 메모리 셀(310)에 데이터를 기입한다. 쓰기 보조 회로(330)는 쓰기 실패 감지부(332)와 보조 전압 생성부(334)를 포함한다. 쓰기 실패 감지부(332)는 쓰기 드라이버(320)에 의한 쓰기 동작의 실패를 감지하여 쓰기 실패 신호(WF)를 출력한다. 보조 전압 생성부(334)는 쓰기 실패 신호(WF)에 응답하여 쓰기 보조 전압(VSSN) 또는 쓰기 전압(VW)을 쓰기 드라이버(320)로 출력한다.
- [0049] 쓰기 동작시 와이-패스 게이트(370)에 의해 선택된 비트 라인 쌍과 데이터 라인 쌍(DL, DLB)이 서로 연결된다. 쓰기 드라이버(320)는 데이터 신호(DATA)에 응답하여 제 1 데이터 라인(DL) 또는 제 2 데이터 라인(DLB) 중 어

느 하나를 플로팅 시키고, 다른 하나에는 쓰기 전압(VW)을 인가한다. 쓰기 드라이버(320)는 로직 하이 상태 전압을 인가하고자 하는 비트 라인과 연결된 데이터 라인을 플로팅 시킬 수 있다. 쓰기 전압(VW)은 로직 로우 상태 전압이며, 접지 전압 레벨일 수 있다.

[0050] 쓰기 실패 감지부(332)는 컨트롤러(340)로부터 쓰기 동작 동안 로직 로우 상태를 유지하는 신호(/WEN)와, 플로팅된 비트 라인과 연결된 데이터 라인의 전압 레벨을 입력받는다. 플로팅된 비트 라인의 전압 레벨은 쓰기 동작이 실패하는 경우 감소하여 그 로직 상태가 변하게 된다. 쓰기 실패 감지부(332)는 플로팅된 비트 라인의 로직 상태가 변하는 경우 쓰기 실패로 감지하고 쓰기 실패 신호(WF)를 출력한다. 쓰기 실패 감지부(332)는 쓰기 동작이 실패하는 경우 로직 하이 상태의 쓰기 실패 신호(WF)를 출력할 것이다. 쓰기 실패 감지부(332)는 쓰기 동작이 성공하는 경우 로직 로우 상태의 쓰기 실패 신호(WF)를 출력할 것이다.

[0051] 보조 전압 생성부(334)는 쓰기 실패 신호(WF)의 로직 상태에 따라 쓰기 보조 전압(VSSN) 또는 쓰기 전압(VW)을 출력한다. 보조 전압 생성부(334)는 쓰기 실패 신호(WF)가 로직 하이 상태인 경우 쓰기 전압(VW)보다 낮은 전압인 쓰기 보조 전압(VSSN)을 출력한다. 여기에서 쓰기 전압(VW)은 접지 전압일 수 있으며, 쓰기 보조 전압(VSSN)은 접지 전압(VSS)보다 낮은 음의 전압일 수 있다.

[0052] 상술한 바와 같이 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치(300)는 쓰기 동작시 쓰기 동작의 실패를 감지하고, 쓰기 동작이 실패한 경우에만 쓰기 보조 동작을 수행한다. 이를 위해, 쓰기 드라이버(320)는 선택된 비트 라인 쌍 중 어느 하나를 플로팅 시키고 다른 하나에는 쓰기 전압을 인가하여 쓰기 동작을 수행한다.

[0053] 도 8은 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치의 쓰기 방법을 보여주는 순서도이다. 본 발명에 따른 스테틱 랜덤 액세스 메모리 장치의 쓰기 방법은 쓰기 동작의 실패를 감지하여 쓰기 동작이 실패한 경우에만 선택적으로 쓰기 보조 동작을 수행한다. 쓰기 동작의 실패를 감지하기 위해 메모리 셀과 연결된 비트 라인 쌍 중 어느 하나를 플로팅 시킨다. 이하, 도 7 및 도 1을 참조하여 쓰기 동작을 설명한다.

[0054] 쓰기 드라이버(120)는 데이터 신호에 응답하여 메모리 셀(110)과 연결된 비트 라인 쌍 중 어느 하나를 플로팅 시키고 다른 하나에는 쓰기 전압을 인가한다(S110). 여기에서 쓰기 전압은 로직 로우 상태 전압일 수 있으며, 플로팅된 비트 라인의 전압은 로직 하이 상태 전압일 수 있다.

[0055] 쓰기 실패 감지부(132)는 플로팅된 비트 라인의 전압 레벨의 변화를 감지하여 쓰기 동작의 실패 여부를 판단한다(S120, S130). 쓰기 동작이 실패하는 경우, 플로팅된 비트 라인의 전압이 로직 하이 상태 전압에서 로직 로우 상태 전압으로 변할 수 있다. 쓰기 실패 감지부(132)는 쓰기 동작이 실패하는 경우 로직 하이 상태의 쓰기 실패 신호(WF)를 출력할 수 있다.

[0056] 보조 전압 생성부(134)는 쓰기 동작이 실패한 경우 쓰기 보조 전압(VSSN)을 생성한다(S140). 쓰기 보조 전압(VSSN)은 쓰기 전압보다 낮은 음의 전압일 수 있다.

[0057] 쓰기 드라이버(120)는 생성된 쓰기 보조 전압(VSSN)을 쓰기 전압을 인가한 비트 라인에 추가로 공급한다(S150).

[0058] 상술한 쓰기 방법에 의하면, 쓰기 동작이 실패한 경우에만 선택적으로 쓰기 보조 동작을 수행함으로써, 쓰기 동작시 소모되는 전력을 감소시킬 수 있다.

[0059] 도 9는 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치를 포함하는 사용자 장치를 예시적으로 보여주는 블록도이다.

[0060] 도 9를 참조하면, 사용자 장치(1000)는 메모리 컨트롤러(1200) 및 불휘발성 메모리 장치(1900)를 포함한다.

[0061] 메모리 컨트롤러(1200)는 호스트(1100) 및 불휘발성 메모리 장치들(1900)에 연결된다. 호스트(1100)로부터의 요청에 응답하여, 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900)을 액세스하도록 구성된다. 예를 들면, 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900)의 읽기, 쓰기 그리고 소거 동작을 제어하도록 구성된다. 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900) 및 호스트(1100) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900)을 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.

[0062] 메모리 컨트롤러(1200)는 램(RAM), 중앙 처리 장치(central processing unit: CPU), 호스트 인터페이스(host interface), 에러 정정 블록(error correcting code: ECC), 그리고 메모리 인터페이스(memory interface)와 같은 잘 알려진 구성 요소들을 포함할 수 있다. 중앙 처리 장치(1400)는 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치(1450)를 포함할 수 있다.

- [0063] 램(2600)은 중앙 처리 장치(1400)의 동작 메모리(working memory)로써 이용될 수 있다. 스테틱 랜덤 액세스 메모리 장치(1450)는 중앙 처리 장치(1400)의 캐시 메모리(cache memory)로써 이용될 수 있다. 중앙 처리 장치(1400)는 메모리 컨트롤러(1200)의 제반 동작을 제어한다.
- [0064] 호스트 인터페이스(1300)는 호스트(1100)와 메모리 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜(protocol)을 포함할 수 있다. 예를 들면, 메모리 컨트롤러(1200)는 USB(Universal Serial Bus) 프로토콜, MMC(Multimedia Card) 프로토콜, PCI(Peripheral Component Interconnection) 프로토콜, PCI-E(PCI-Express) 프로토콜, ATA(Advanced Technology Attachment) 프로토콜, SATA(Serial ATA) 프로토콜, SCSI(Small Computer Small Interface) 프로토콜, ESDI(Enhanced Small Disk Interface) 프로토콜, 그리고 IDE(Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 수 있다.
- [0065] 에러 정정 블럭(1700)은 불휘발성 메모리 장치들(1900)로부터 읽어진 데이터의 오류를 검출하고, 정정하도록 구성될 수 있다. 에러 정정 블럭(1700)은 메모리 컨트롤러(1200)의 구성 요소로 제공될 수 있다. 다른 예로써, 에러 정정 블럭(1700)은 불휘발성 메모리 장치들(1900) 각각의 구성 요소로 제공될 수 있다. 메모리 인터페이스(1500)는 불휘발성 메모리 장치들(1900)과 메모리 컨트롤러(1200)를 인터페이싱(interfacing)할 수 있다.
- [0066] 메모리 컨트롤러(1200)의 구성 요소들이 위에서 언급된 구성 요소들에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 메모리 컨트롤러(1200)는 초기 부팅 동작에 필요한 코드 데이터(code data) 그리고 호스트(1100)와의 인터페이싱을 위한 데이터를 저장하는 ROM(read only memory)을 더 포함할 수 있다.
- [0067] 메모리 컨트롤러(1200) 및 불휘발성 메모리 장치들(1900)은 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(1200) 및 불휘발성 메모리 장치들(1900)은 하나의 반도체 장치로 집적되어 PCMCIA(personal computer memory card international association) 카드, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick), 멀티 미디어(multi media) 카드(MMC, RS-MMC, MMC-micro), SD(secure digital) 카드(SD, Mini-SD, Micro-SD, SDHC), UFS(universal flash storage) 등을 구성할 수 있다.
- [0068] 다른 예로써, 메모리 컨트롤러(1200) 그리고 불휘발성 메모리 장치들(1900)은 반도체 드라이브(solid state drive: SSD), 컴퓨터(computer), 휴대용 컴퓨터(portable computer), UMPC(ultra mobile personal computer), 워크스테이션(work station), 넷북(net book), PDA(personal digital assistant), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크(home network)를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크(computer network)를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크(telematics network)를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 시스템(computer system)을 구성하는 다양한 구성 요소들 중 하나, RFID(radio frequency identification) 장치 또는 임베디드 시스템(embedded system)에 적용될 수 있다.
- [0069] 본 발명의 실시 예에 따른 사용자 장치(1000)의 중앙 처리 장치(1400)는 도 1에 도시된 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치(1450)를 포함할 수 있다. 스테틱 랜덤 액세스 메모리 장치(1450)는 쓰기 동작 시, 쓰기 동작이 실패한 메모리 셀에만 선택적으로 쓰기 보조 동작을 수행할 수 있다. 이를 위해 스테틱 랜덤 액세스 메모리 장치(1450)는 상술한 쓰기 드라이버(120)와 쓰기 보조 회로(130)를 포함할 수 있다.
- [0070] 도 10은 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치를 포함하는 컴퓨터 시스템(2000)을 예시적으로 보여주는 블럭도이다.
- [0071] 본 발명에 따른 컴퓨터 시스템(2000)은 시스템 버스(2700)에 전기적으로 연결되는 네트워크 어댑터(2100), 중앙 처리 장치(2200), 데이터 저장 장치(2300), 램(2400), 롬(2500) 그리고 사용자 인터페이스(2600)를 포함한다. 중앙 처리 장치(2200)는 본 발명의 실시 예에 따른 스테틱 랜덤 액세스 메모리 장치(2250)를 포함한다.
- [0072] 네트워크 어댑터(2100)는 컴퓨터 시스템(2000)과 외부의 네트워크들 간의 인터페이싱을 제공한다. 중앙 처리 장치(2200)는 램(2400)에 상주하는 운영 체제(Operating System)나 응용 프로그램(Application Program)을 구동하기 위한 제반 연산 처리를 수행한다. 이러한 연산 처리를 수행하기 위하여, 중앙 처리 장치(2200)는 스테틱 랜덤 액세스 메모리 장치(2250)를 캐시 메모리로 사용할 수 있다. 스테틱 랜덤 액세스 메모리 장치(2250)는 쓰기 동작 시, 선택 비트 라인, 비선택 워드 라인, 그리고 비선택 비트 라인의 패스 게이트에 음의 전압이 인가될

것이다. 또한, 스테틱 랜덤 액세스 메모리 장치(2250)는 읽기 동작 시, 선택 비트 라인의 패스 게이트 그리고 감지 증폭기의 접지 노드에 음의 전압이 인가될 것이다. 그러므로 스테틱 랜덤 액세스 메모리 장치(2250)는 안정적으로 쓰기 및 읽기 동작을 수행할 수 있다.

[0073] 데이터 저장 장치(2300)는 컴퓨터 시스템(2000)에서 필요한 제반 데이터를 저장한다. 예를 들면, 데이터 저장 장치(2300)에는 컴퓨터 시스템(2000)을 구동하기 위한 운영 체제(Operating System), 응용 프로그램(Application Program), 다양한 프로그램 모듈(Program Module), 프로그램 데이터(Program Data), 그리고 유저 데이터(User Data) 등이 저장된다.

[0074] 램(2400)은 컴퓨터 시스템(2000)의 워킹 메모리로 사용될 수 있다. 부팅 시에 램(2400)에는 데이터 저장 장치(2300)로부터 읽혀진 운영 체제(Operating System), 응용 프로그램(Application Program), 다양한 프로그램 모듈(Program Module)과 프로그램들의 구동에 소요되는 프로그램 데이터(Program data)가 로드된다. 롬(2500)에는 부팅시 운영 체제(Operating System)가 구동되기 이전부터 활성화되는 기본적인 입출력 시스템인 바이오스(BIOS: Basic Input/Output System)가 저장된다. 유저 인터페이스(2600)를 통해서 컴퓨터 시스템(2000)과 사용자 사이의 정보 교환이 이루어진다.

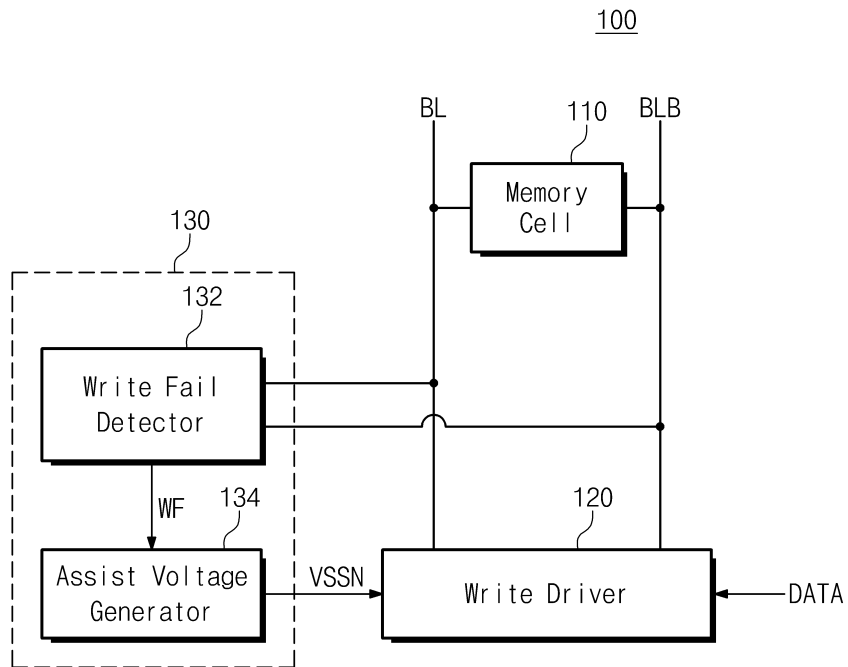
[0075] 이외에도, 컴퓨터 시스템(2000)은 배터리(Battery)나 모뎀(Modem) 등을 더 포함할 수 있다. 또한, 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨터 시스템에는 응용 칩셋(Application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램(Mobile DRAM) 등이 더 제공될 수 있음은 잘 이해될 것이다.

### 부호의 설명

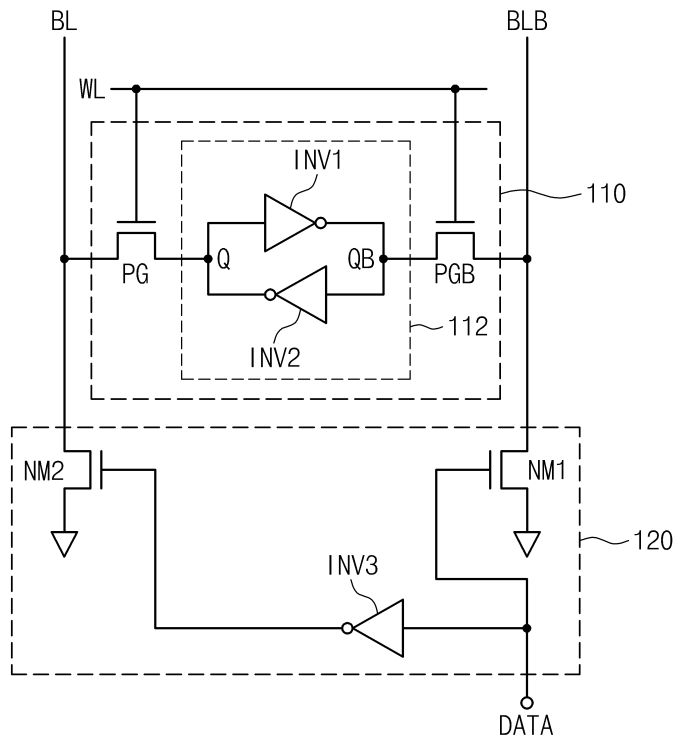
[0076] 100, 200, 300: 스테틱 랜덤 액세스 메모리 장치  
110: 메모리 셀  
120, 220, 320: 쓰기 드라이버  
130, 230, 330: 쓰기 회로  
132, 232, 332: 쓰기 실패 감지부  
134, 234, 334: 보조 전압 생성부  
340: 컨트롤러  
350: 로우 디코더  
360: 칼럼 디코더  
370: 와이-패스 게이트  
1000: 사용자 장치  
2000: 컴퓨터 시스템

도면

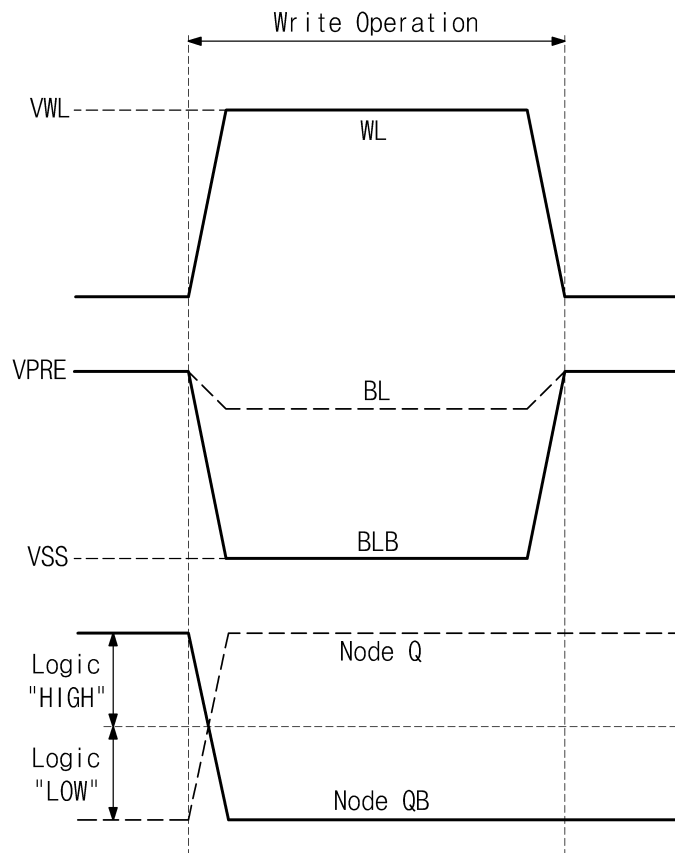
도면1



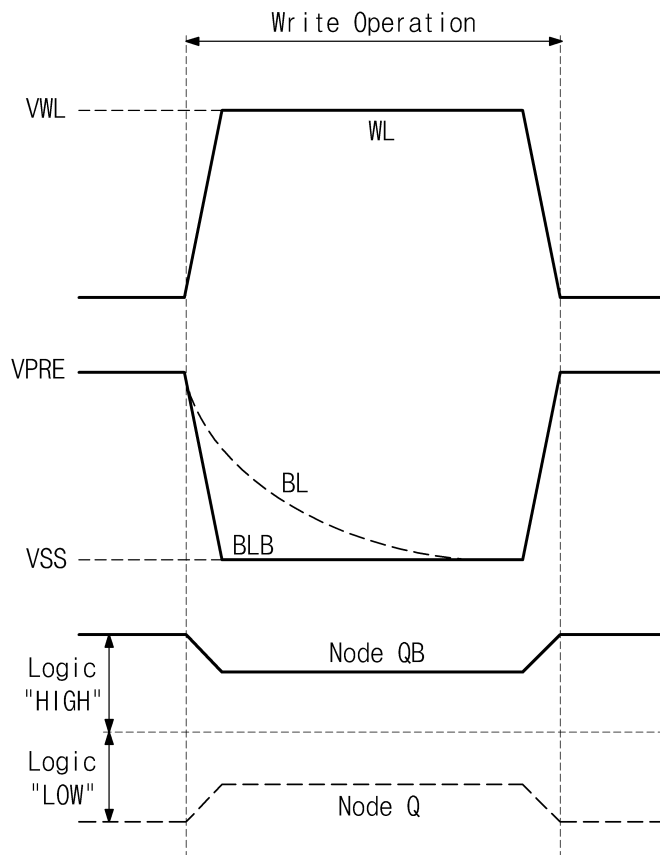
도면2



도면3a

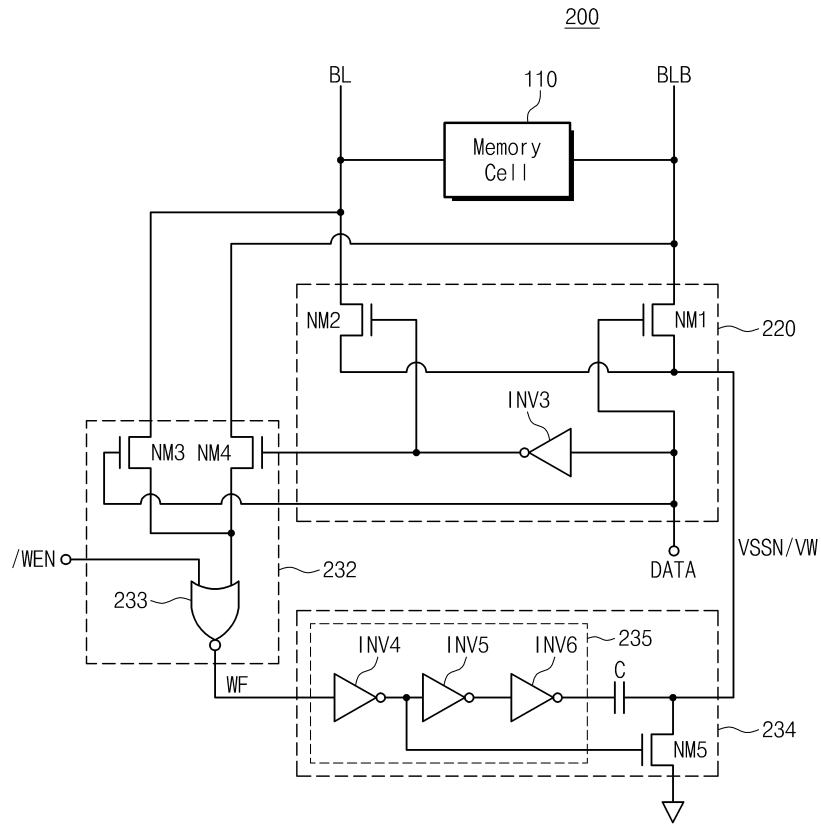


도면3b

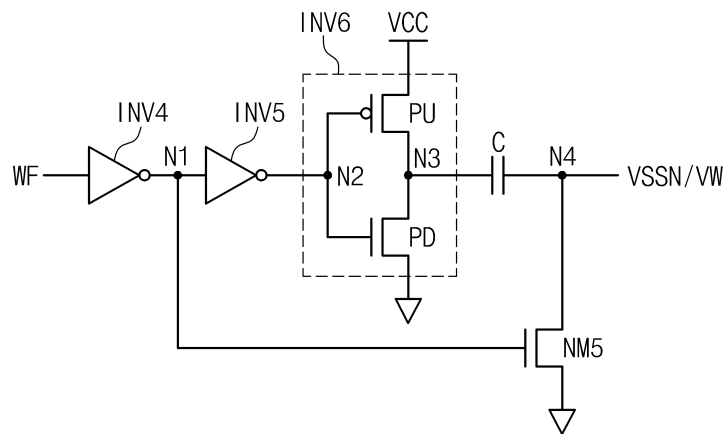




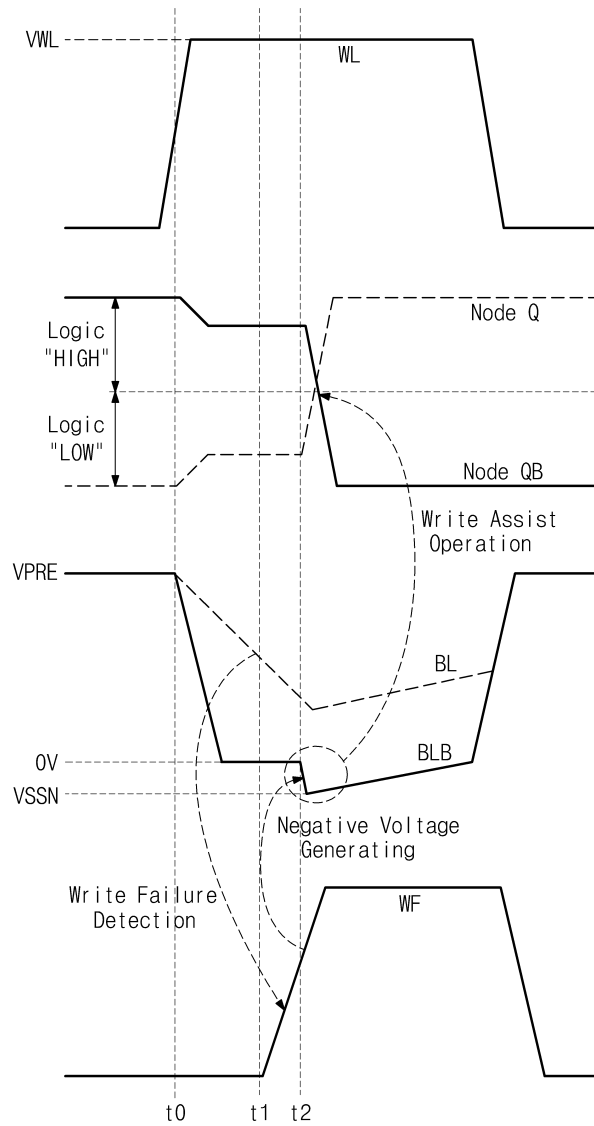
도면4



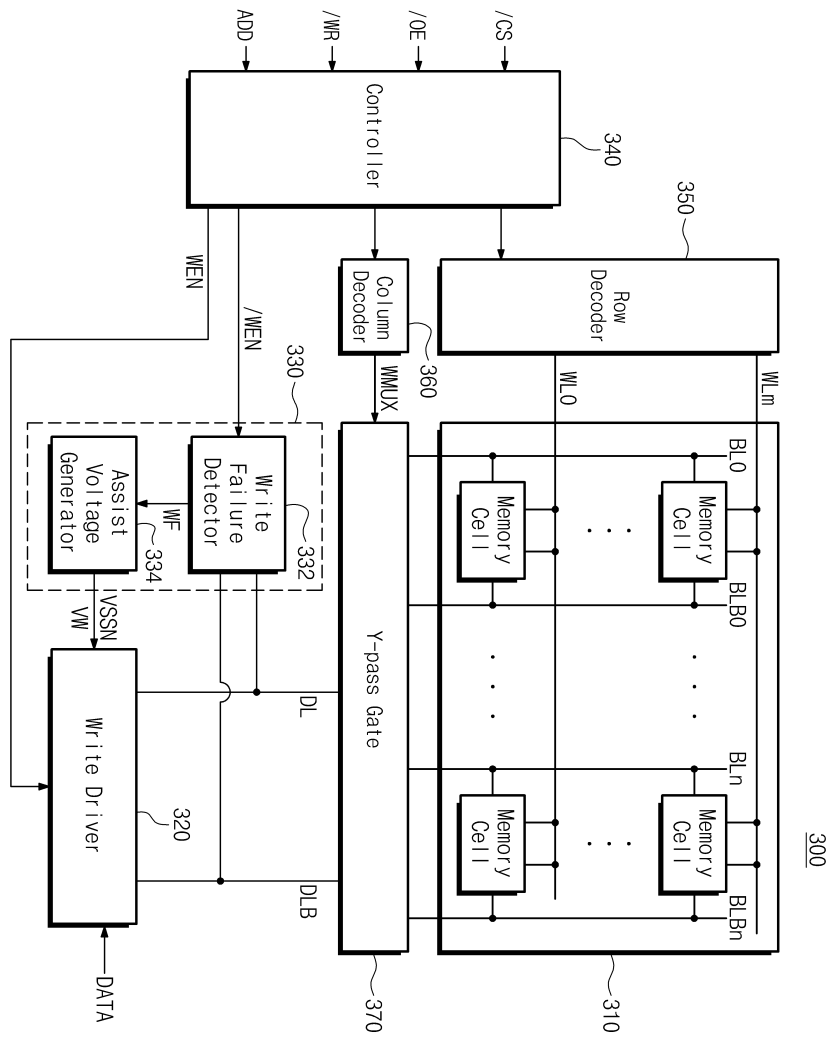
도면5



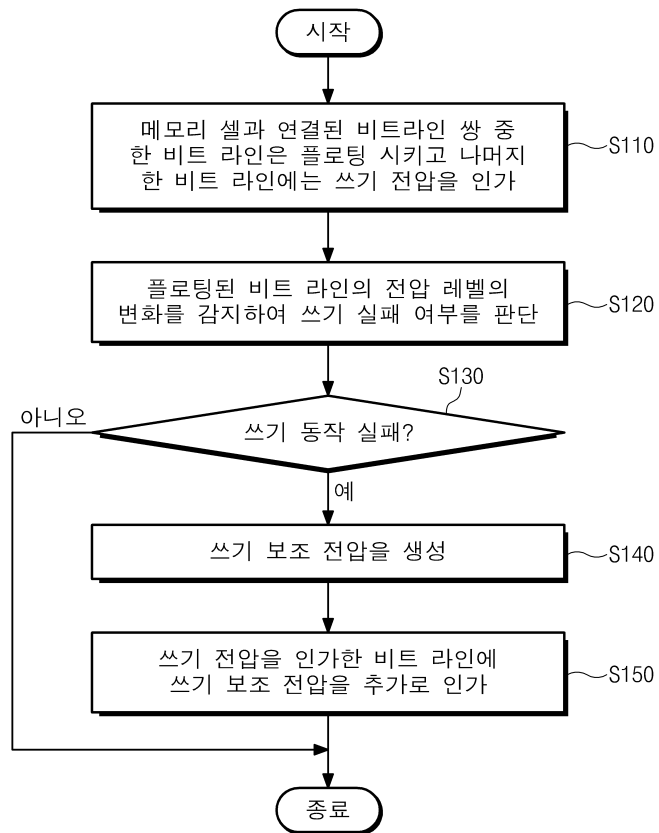
도면6



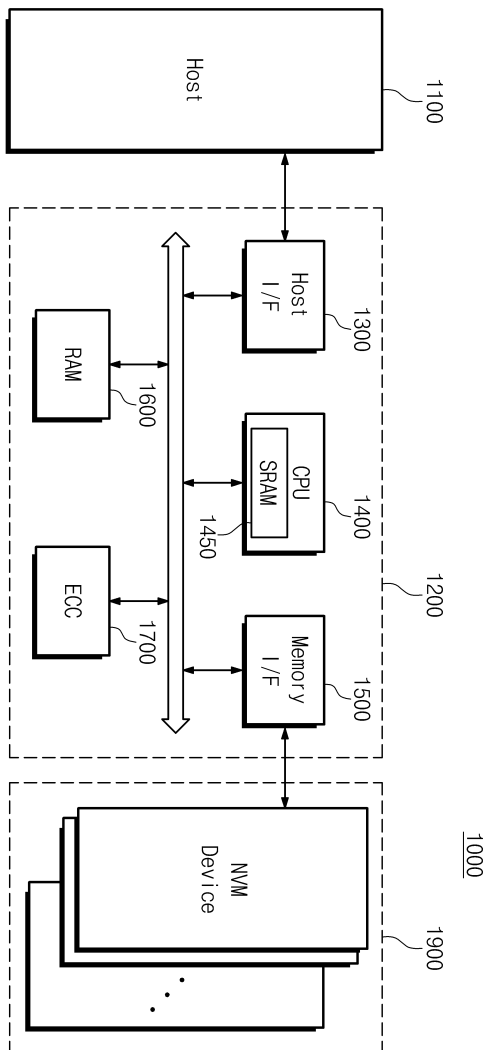
도면7



도면8



도면9



도면10

