



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0137843
(43) 공개일자 2016년12월01일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 29/78618 (2013.01)

(21) 출원번호 10-2015-0071966

(22) 출원일자 2015년05월22일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

권장연

서울특별시 강남구 역삼로 315-1 503동 402호 (역삼동, 개나리SK뷰아파트)

박경

서울특별시 관악구 남부순환로 249길 21, 늘푸른아파트 5차 101호

(뒷면에 계속)

(74) 대리인

특허법인로알

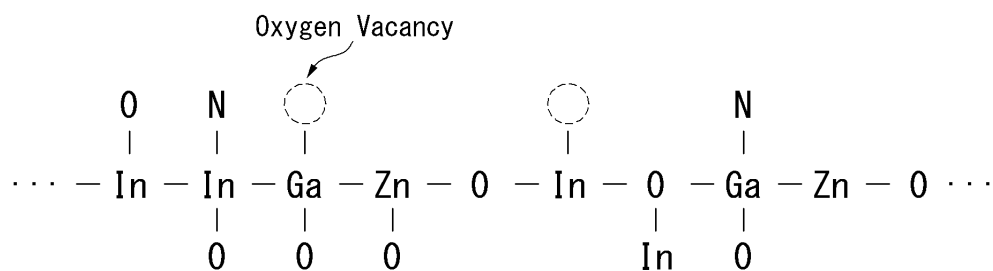
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 고신뢰성 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터 기판

(57) 요약

본 발명은 고신뢰성 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터 기판에 관한 것이다. 본 발명에 의한 박막 트랜지스터 기판은, 기판, 게이트 전극, 반도체 층, 소스 전극, 드레인 전극, 보호막 그리고 화소 전극을 포함한다. 게이트 전극은, 기판 위에 배치된다. 반도체 층은, 게이트 절연막을 사이에 두고 게이트 전극과 중첩하는 채널 영역, 채널 영역의 일측면으로 연장된 소스 영역 및 채널 영역의 타측면으로 연장된 드레인 영역을 포함한다. 반도체 층은, 인듐, 갈륨 및 주석 중 적어도 어느 하나와, 산소 및 도핑 물질이 결합된 산화물 반도체 물질을 포함한다. 소스 전극은, 소스 영역과 접촉한다. 드레인 전극은, 드레인 영역과 접촉한다. 보호막은, 소스 전극 및 드레인 전극을 덮는다. 화소 전극은, 보호막 위에서 드레인 전극과 접촉한다.

대표도 - 도2b



(52) CPC특허분류

H01L 29/78696 (2013.01)

(72) 발명자

배중욱

서울특별시 양천구 신목로 7 104동 1802호 (신정
동, 목동삼성아파트)

백주혁

서울특별시 양천구 오목로13길 27 (신월동)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 배치된 게이트 전극;

게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩하는 채널 영역, 상기 채널 영역의 일측면으로 연장된 소스 영역 및 상기 채널 영역의 타측면으로 연장된 드레인 영역을 포함하며, 인듐, 갈륨 및 주석 중 적어도 어느 하나와, 산소 및 도핑 물질이 결합된 산화물 반도체 물질을 포함하는 반도체 층;

상기 소스 영역과 접촉하는 소스 전극;

상기 드레인 영역과 접촉하는 드레인 전극;

상기 소스 전극 및 상기 드레인 전극을 덮는 보호막; 그리고

상기 보호막 위에서 상기 드레인 전극과 접촉하는 화소 전극을 포함하는 박막 트랜지스터 기관.

청구항 2

제 1 항에 있어서,

상기 인듐, 갈륨 및 주석 중 적어도 어느 하나와 상기 산소의 원자량 함량은 상기 산화물 반도체 물질의 95~99 atomic%이고,

상기 도핑 물질의 원자량 함량은 상기 산화물 반도체 물질의 1~5 atomic%인 박막 트랜지스터 기관.

청구항 3

제 1 항에 있어서,

상기 도핑 물질은,

5족 및 6족 원소 중 선택된 어느 하나를 포함하는 박막 트랜지스터 기관.

청구항 4

제 3 항에 있어서,

상기 도핑 물질은,

질소(N), 셀렌(Se), 텔루르(Te) 및 인(P) 중 선택된 어느 하나를 포함하는 박막 트랜지스터 기관.

청구항 5

제 3 항에 있어서,

상기 도핑 물질은,

상기 인듐, 상기 갈륨 및 상기 주석 중 어느 하나와 결합한 형태로 상기 산화물 반도체 물질에 포함된 박막 트랜지스터 기관.

발명의 설명

기술 분야

- [0001] 본 발명은 고신뢰성 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터 기판에 관한 것이다. 특히, 본 발명은 질소와 같은 기체 불순물 원소가 도핑된 인듐-갈륨-아연 산화물과 같은 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터 기판에 관한 것이다.

배경 기술

- [0002] 최근, 휴대폰(Mobile Phone), 개인용 휴대 정보 단말기(Personal Digital Assistant), 노트북 컴퓨터와 같은 휴대용 전자기기가 발전함에 따라 경박단소용의 표시장치뿐만 아니라, 고 화질의 대형 표시장치에 대한 요구가 증가함에 따라 평판표시장치(Flat Panel Display Device)가 널리 연구되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display: LCD), 전계 방출 표시장치(Field Emission Display: FED), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 및 전계발광장치(Electroluminescence Device: EL) 등이 있다. 양산화 기술, 구동수단의 용이성, 고화질의 구현, 저전력의 구동 수단이라는 이유로 하여 박막 트랜지스터가 매트릭스 배열로 배치된 기판을 이용한 액정표시장치 혹은 유기전계발광표시장치 등이 각광을 받고 있다.
- [0003] 이와 같은 능동 매트릭스(Active Matrix) 방식의 박막 트랜지스터 기판은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor: a-Si TFT)를 스위칭 소자로 사용하여 화소를 구동하는 방식이다. 비정질 실리콘은 제조비용이 저렴하고 저온에서 제작이 가능하다는 점 때문에, 평판 표시장치용 박막 트랜지스터 기판의 스위칭 소자로 주로 사용하고 있다.
- [0004] 그러나 비정질 실리콘은 이동도(mobility)가 매우 작고 정전 특성이 나쁘기 때문에, 대면적 고화질의 표시소자를 제작하는 경우 화질이 저하되는 문제가 있다. 이러한 문제를 해결하기 위해 다결정 실리콘으로 박막 트랜지스터를 제작하는 방법이 제안되고 있다. 그러나 다결정 실리콘으로 이루어진 반도체 층을 포함하는 박막 트랜지스터는 제조 비용이 고가이고 대면적으로 형성할 경우 특성을 균일하게 하는 것이 어려우며, 고온에서 공정이 이루어진다는 문제점이 있다. 더욱이, 비정질 실리콘과 마찬가지로 다결정 실리콘은 정전 특성이 좋지 않다는 문제점도 가지고 있다.
- [0005] 이러한 문제를 해결하기 위해, 최근 산화물 반도체를 이용한 산화물 박막 트랜지스터가 제안되었다. 산화물 박막 트랜지스터는 제조공정이 저온에서 이루어질 뿐만 아니라, 비정질 실리콘이나 다결정 실리콘에 비해 정전 특성이 우수하기 때문에 평판 표시장치용 박막 트랜지스터 기판에 적용할 경우 저렴한 가격으로 균일한 특성의 스위칭 소자를 형성할 수 있다는 장점이 있다.
- [0006] 산화물 반도체 중에서 가장 활발한 연구가 진행되고 있는 물질로는, 인듐-아연 산화물(Indium-Zinc Oxide; IZO), 인듐-갈륨-아연 산화물(Indium-Galium-Zinc Oxide; InGaZnO) 및/또는 인듐-주석-아연 산화물(Indium-Tin-Zinc Oxide; ITZO)과 같은 산화 아연(Zinc Oxide) 기반의 물질들이 있다. 특히, 산화물 반도체로서 가장 가능성이 있는 물질로 아몰퍼스-산화인듐갈륨아연(a-InGaZnO₄: a-IGZO)이 있다. a-IGZO는 기존의 a-Si의 장비로 우수한 특성을 확보할 수 있어, 추가 장비 투자가 발생하지 않는다는 장점이 있다. a-IGZO의 증착 방식으로 여러 가지가 있을 수 있으나, 스퍼터(Sputter)를 이용하는 방식이 상용화에 가장 유리하다.
- [0007] 산화물 반도체를 포함하는 박막 트랜지스터의 경우, 탑 게이트(Top Gate) 구조 및 바텀 게이트(Bottom Gate) 구조를 모두 적용할 수 있다. 또한, 산화물 반도체를 포함하는 박막 트랜지스터에 바텀 게이트 구조를 적용할 경우, 백 채널 에치(Back Channel Etch) 방식과 에치 스톱퍼(Etch Stopper) 방식을 모두 고려할 수 있다. 특히, 에치 스톱퍼 방식이 소자의 특성면에서 더 유리하다.
- [0008] 이와 같이, IGZO 산화물 반도체가 많은 장점을 가지고 있지만, 문제점이 전혀 없는 것은 아니다. 예를 들어, 산화물 반도체 박막 트랜지스터는 장시간 사용함에 따라 소자의 신뢰성이 급격히 저하되는 문제점이 있다. 이러한 문제점은 산화물 반도체 층을 이루는 박막 내의 결함에 의한 것으로 알려져 있다.
- [0009] 산화 아연 기반의 금속 산화물 반도체를 포함하는 박막 트랜지스터의 신뢰성을 향상하기 위해, 종래에 제안된 방법으로는, 주로 외부와의 접촉 차단 또는 플라즈마 처리 등을 통한 물질의 개질을 통하는 방법들이 제안되었다. 하지만 이러한 방법들은 산화물 반도체의 신뢰성 저하를 해결하는 근본적인 방법이 되지 못하며, 추가적인

공정 비용이 필요하다.

- [0010] 예를 들어, IGZO를 증착한 후에 플라즈마 처리를 통해 신뢰성을 향상하는 방법이 제안된 바 있다. 하지만, 이는 플라즈마 처리를 위한 별도의 추가 장비가 필요하여 비용 증가 및 공정 소요 시간 증가라는 문제가 발생한다. 또한, 플라즈마 처리는 IGZO 박막 자체에도 심각한 손상을 줄 수 있으므로, 플라즈마 처리 후에 별도의 회복(recovery) 공정이 더 필요하다.
- [0011] 다른 방법으로, 산화 알루미늄(Al₂O₃)으로 IGZO의 표면을 보호하여 신뢰성을 향상하는 방법이 제안된 바 있다. 이는 IGZO 반도체 층을 형성한 후에 산화 알루미늄 보호막을 증착하는 공정이 추가되므로, 비용 증가 및 공정 소요 시간 증가한다는 문제가 발생한다. 또한, 이러한 보호층은 IGZO 박막의 표면이 외부에 노출되어 공기와 접촉에 의한 신뢰성 저하는 방지할 수 있지만, IGZO 박막 자체가 갖는 결함에 의한 신뢰성 저하 문제는 해결하지 못한다.
- [0012] 또 다른 방법으로, 고압 산소 분위기에서 열처리하는 방법이 제안된 바 있다. 이는 IGZO 박막 자체가 갖는 결함의 원인이 되는 산소 공공을 줄여서 신뢰성을 향상시키는 방법이다. 하지만, 기존 열처리 공정 대신에 별도의 고압용 산소 열처리 장치가 필요하므로, 비용 증가 및 공정 소요 시간 증가라는 문제가 발생한다. 또한, IGZO 박막에 산소가 추가로 더 주입되어 IGZO 반도체 층의 특성 자체가 변화될 수 있는 문제점도 발생할 수 있다. 예를 들어, 산소가 IGZO의 미 결합 공극을 채우는 경우, 오히려 전하 이동도가 현저히 저하되기도 한다.
- [0013] 따라서, 산화물 반도체 물질을 포함하는 박막 트랜지스터를 제조함에 있어서, 산화물 반도체 박막 층 자체가 가지고 있는 물질 고유의 특성에 의한 결함을 근본적으로 해결할 수 있는 방법이 필요하다. 또한, 현재 산화물 반도체 물질을 포함하는 박막 트랜지스터 제조 공정에 추가적인 공정 변화나 비용 상승 없이 산화물 반도체 물질의 신뢰성을 향상할 수 있는 방법이 필요하다.

발명의 내용

해결하려는 과제

- [0014] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출 된 발명으로써, 신뢰성을 개선한 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터 기판을 제공하는 데 있다. 본 발명의 다른 목적은, 금속 산화물 반도체 물질이 갖는 딥-레벨의 결함 상태를 일정 정도 개선하여, 정전류 스트레스 상태에서 고신뢰성을 확보한 박막 트랜지스터 기판을 제공하는 데 있다.

과제의 해결 수단

- [0015] 상기 목적을 달성하기 위하여, 본 발명에 의한 박막 트랜지스터 기판은, 기판, 게이트 전극, 반도체 층, 소스 전극, 드레인 전극, 보호막 그리고 화소 전극을 포함한다. 게이트 전극은, 기판 위에 배치된다. 반도체 층은, 게이트 절연막을 사이에 두고 게이트 전극과 중첩하는 채널 영역, 채널 영역의 일측변으로 연장된 소스 영역 및 채널 영역의 타측변으로 연장된 드레인 영역을 포함한다. 반도체 층은, 인듐, 갈륨 및 주석 중 적어도 어느 하나와, 산소 및 도핑 물질이 결합된 산화물 반도체 물질을 포함한다. 소스 전극은, 소스 영역과 접촉한다. 드레인 전극은, 드레인 영역과 접촉한다. 보호막은, 소스 전극 및 드레인 전극을 덮는다. 화소 전극은, 보호막 위에서 드레인 전극과 접촉한다.
- [0016] 일례로, 인듐, 갈륨 및 주석 중 적어도 어느 하나와 산소의 원자량 함량은 산화물 반도체 물질의 95~99 atomic%이다. 도핑 물질의 원자량 함량은 산화물 반도체 물질의 1~5 atomic%이다.
- [0017] 일례로, 도핑 물질은, 5족 및 6족 원소 중 선택된 어느 하나를 포함한다.
- [0018] 일례로, 도핑 물질은, 질소(N), 셀렌(Se), 텔루르(Te) 및 인(P) 중 선택된 어느 하나를 포함한다.
- [0019] 일례로, 도핑 물질은, 인듐, 갈륨 및 주석 중 어느 하나와 결합한 형태로 산화물 반도체 물질에 포함된다.

발명의 효과

- [0020] 본 발명에 의한 박막 트랜지스터 기판은, 금속 산화물 반도체 물질에 질소와 같은 5족 및 6족의 물질 중 어느 하나를 도핑하여 산소 공공 결함을 일정 정도 개선할 수 있다. 본 발명에 의한 도핑 물질을 포함하는 금속 산화물 반도체 층을 포함하는 박막 트랜지스터는 정전류 스트레스 상태에서 특성 변화가 거의 없어 높은 신뢰성을 보여준다. 또한, 본 발명은 금속 산화물 반도체 층을 형성하는 공정에서 질소와 같은 도핑 물질을 가스 형태로

주입함으로써, 제조 공정의 복잡성을 증가하거나 제조 비용의 상승 없이, 고 신뢰성 금속 산화물 반도체 소자를 형성할 수 있다.

도면의 간단한 설명

[0021] 도 1은 인듐-갈륨-아연 산화물(IGZO) 반도체 물질의 밴드 갭을 나타내는 개략도.

도 2a는 종래 기술에 의한 IGZO의 구조를 개략적으로 나타낸 도면.

도 2b는 본 발명에 의한 질소가 도핑된 IGZO의 구조를 개략적으로 나타낸 도면.

도 3a 및 도 3b는 질소가 도핑된 IGZO의 신뢰성을 측정한 특성 그래프.

도 4는 정전류 스트레스 조건에서 질소가 도핑된 IGZO와 종래의 IGZO와의 특성을 비교한 그래프.

도 5는 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기관의 평면도.

도 6은 도 5에서 절취선 I-I'로 자른 단면도.

도 7은 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기관의 평면도.

도 8은 도 7에서 절취선 II-II'로 자른 단면도.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0023] 먼저, 도 1을 참조하여, 금속 산화물 반도체 물질인 IGZO에서 발생하는 열화 문제의 원인을 설명한다. 도 1은 인듐-갈륨-아연 산화물(IGZO) 반도체 물질의 밴드 갭을 나타내는 개략도이다. IGZO는 인듐(In), 갈륨(Ga) 및 아연(Zn)이 산소와 결합된 반도체 물질로서, 가전자대 (Valance Band)와 전도대 (Conduction Band) 사이에 밴드 갭 에너지는 약 3.4eV이다.

[0024] IGZO 박막을 성장하는 과정에서 주로 스퍼터링 공법을 사용한다. 그 결과, IGZO 박막은 산화-인듐, 산화-갈륨, 산화-아연의 구조들이 서로 연결된 복합 구조를 갖는다. 하지만, 인듐, 갈륨, 아연이 산소와 결합하는 경향(혹은 에너지)이 서로 다르기 때문에, 일부 결합이 이루어지지 않는 산소 공극(Oxygen Vacancy)이 발생할 수 있다. 이러한 산소 공극은 "딥-레벨(Deep-Level)"로 불리우는 것으로 가전자대 근처에서 형성되며, 딥-레벨과 전도대 사이의 에너지 차이는 약 2.4eV이다. IGZO의 딥-레벨은 가전자대보다 약간 높은 에너지 준위를 갖는다. 따라서, 가전자대의 전자들은 쉽게 딥-레벨로 전이된 상태로 있다가, 전자대로 전이될 수 있다. 이로 인해 IGZO는 캐리어의 이동도가 높은 특성을 갖는다.

[0025] 하지만, IGZO를 채널층으로 적용한 박막 트랜지스터를 장시간 사용하거나, 빛에 노출된 상태에서 사용하면, 그 특성이 열화된다. 주된 이유로는, "딥-레벨"의 원인이 되는 산소 공극(혹은 결합 상태)이 더욱 심해져서, 가전자대에서 "딥-레벨"로 전이된 전자들이 "딥-레벨"에 잡혀서 전자대로 전이되는 것을 방해하는 것으로 알려져 있다. 쉽게 설명하면, "딥-레벨"을 형성했던 결합의 정도가 심해져서 가전자대에서 전이된 전자들이 전자대로 전이하지 못하고, "딥-레벨"에 머무르는 "딥-레벨 트랩(deep level trap)" 현상이 발생한다.

[0026] 이를 해결하기 위해, 산소를 강제적으로 주입하여 결합 구조에서 산소 공극을 없앨 수 있다. 하지만 이 경우, "딥-레벨"이 없어져, IGZO 반도체 층의 캐리어 이동도가 저하되는 문제점이 나타난다.

[0027] 본 발명에서는, 산소를 주입하여 산소 공극을 메우는 대신에, 산소와 유사한 5족 혹은 6족의 가스 물질을 도핑 방식으로 IGZO에 주입하여, "딥-레벨"의 상태를 최적화된 상태로 유지하도록 한다. 좀 더 구체적으로 설명하면, 질소(N), 인(P), 플루오르(F), 셀렌(Se), 텔루르(Te)와 같은 물질을 IGZO에 도핑하여 불순물이 도핑된 금속 산화물 반도체 물질로 박막 트랜지스터를 형성한다.

[0028] 특히 본 발명에서는 IGZO 박막을 형성함에 있어 스퍼터링 공법을 사용하는 환경에서 불순물을 직접 도핑할 수 있는 방법을 제안한다. 즉, 질소 가스를 증착 챔버에 직접 공급함으로써 질소가 도핑된 IGZO 박막을 형성한다.

이하의 설명에서는 대표적인 도핑 물질로 질소를 언급한다. 따라서, 질소 이외의 5족 혹은 6족 원소들을 질소 대신에 사용할 수 있음은 자명하다.

[0029] 본 발명에서는, 질소와 같은 물질을 IGZO와 완전히 결합하여, IGZON과 같이 새로운 물질로 형성하는 것이 아니다. IGZO에 질소를 도핑하여 에너지 준위에서 "딥-레벨"의 결합 상태를 일정 수준 줄여준, 질소를 도핑한 IGZO (N-doped IGZO) 박막을 형성한다.

[0030] 예를 들어, IGZO 박막을 스퍼터링 공법으로 형성할 경우, 진공 챔버 내에 기판을 설치하고, 타겟에 인듐, 갈륨 및 아연을 설치한다. 진공 챔버 내에 아르곤(Ar)과 산소(O)를 주입하면서, 스퍼터링 공정을 수행한다. 여기서, 진공 챔버 내에 공급하는 아르곤과 산소 이외에 질소를 더 주입한다. 그러면, 기판 위에는 질소가 도핑된 IGZO(N doped IGZO) 박막이 증착된다.

[0031] 도 2a는 종래 기술에 의한 IGZO의 구조를 개략적으로 나타낸 도면이다. 도 2b는 본 발명에 의한 질소가 도핑된 IGZO의 구조를 개략적으로 나타낸 도면이다. 도 2a를 참조하면, 인듐, 갈륨 및 아연이 서로 결합하거나 산소와 결합하여 인듐-갈륨-아연 산화물을 형성한다. 하지만, 간혹 산소가 결합되어야 할 위치에 산소가 결합되지 못하는 산소 공극(Oxygen Vacancy)이 발생할 수 있다. 여기서, 결합관계는 설명을 위한 것이며, 반드시 이렇게 결합된다는 것을 나타내는 것은 아니다.

[0032] 도 2b를 참조하면, 인듐, 갈륨 및 아연이 서로 결합하거나 산소와 결합하여 인듐-갈륨-아연 산화물을 형성될 때, 추가적으로 질소를 주입함으로써, 산소 공극(Oxygen Vacancy)의 위치에 질소가 결합된 것을 나타낸다. 질소가 모든 산소 공극을 메우는 것은 아니며, 60% 내지 80%의 공극들을 메우는 것이 바람직하다.

[0033] 본 발명은, 질소를 도핑하여 IGZO에서 산소 공극의 일부를 질소가 결합하도록 유도한다. 이때, 산소 공극을 완전히 제거하면 오히려 전하 이동도가 떨어지므로, 일정량의 산소 공극은 유지하도록 한다. 구체적으로는 산소 공극을 80% 정도 치유하고, 20% 정도는 공극 상태로 유지하는 것이 바람직하다. 이를 위해서, 전체 가스량 대비 질소 가스량의 비율을 변화해 가면서, 질소가 도핑된 IGZO 박막을 형성하고, 각각의 특성을 측정하였다.

[0034] 질소 가스량은 전체 가스량 중 0%, 25%, 50%, 60% 및 70%로 변화하면서 질소가 도핑된 IGZO 박막을 100nm의 두께로 형성하였다. 그 결과, 질소 가스량에 따른 박막의 조성비를 측정한 결과 다음 표 1과 같이 정리할 수 있다.

표 1

[0035]

가스량	0%	25%	50%	60%	70%
인듐 원자함량	22.0%	21.3%	23.0%	21.7%	24.2%
갈륨 원자함량	12.8%	16.1%	13.7%	11.5%	12.0%
아연 원자함량	6.4%	7.3%	5.8%	6.3%	6.3%
산소 원자함량	58.8%	54.5%	56.3%	55.5%	56.5%
질소 원자 도핑 량	0.0%	0.8%	1.2%	5.0%	1.0%

[0036] 이상 다양한 조건에 의해 형성한 질소가 도핑된 IGZO 박막들에 대해서 정전류 스트레스 조건에서의 신뢰성 변화를 측정하였다. 그 결과, 도 2a 및 2b와 같은 결과를 얻을 수 있었다. 도 2a는 빛이 없는 상태에서 포지티브 바이어스 스트레스 조건(Positive Bias Stress)에서의 특성 변화를 나타내는 그래프이다. 도 2b는 빛이 있는 상태에서 포지티브 바이어스 스트레스 조건(Positive Bias Stress)에서의 특성 변화를 나타내는 그래프이다.

[0037] 도 3a 및 도 3b를 참조하면, 질소가 도핑된 IGZO가 신뢰성이 현저히 향상된 것을 알 수 있다. 도 3a 및 도 3b는 질소가 도핑된 IGZO의 신뢰성을 측정한 특성 그래프이다. 도 3a에 의하면, 빛이 없는 상태에서도 신뢰성이 향상되며, 도 3b에 의하면, 빛이 있는 상태에서도 마찬가지로 신뢰성이 향상됨을 알 수 있다. 특히, 질소 분압량이 50% 내지 70%인 경우에 신뢰성이 향상된 것을 알 수 있다. 결론적으로, IGZO에 질소가 도핑된 양은, 1% 내지 5%의 범위에서 신뢰성 향상이 최적화됨을 알 수 있다. 제조 공정을 고려했을 때, IGZO에 도핑되는 질소의 양은 1% 내지 2%인 것이 가장 바람직하다.

[0038] 이상 질소가 도핑된 IGZO에 대한 신뢰성 특성 실험을 정리하면, 도 4와 같다. 도 4는 정전류 스트레스 조건에서 질소가 도핑된 IGZO와 종래의 IGZO와의 특성을 비교한 그래프이다. 도 3을 참조하면, 빛이 없는 상태에서는 약 77%, 빛이 있는 상태에서는 약 83%의 신뢰성 향상이 나타난다.

[0039] 이하, 본 발명에 의한 질소 도핑된 IGZO를 포함하는 박막 트랜지스터 기관의 응용 예를 설명한다. 본 발명에

의한 질소 도핑된 IGZO를 포함하는 박막 트랜지스터 기판은 액정 표시장치 혹은 유기발광 다이오드 표시장치에 응용할 수 있다. 특히, IGZO의 특징인 높은 이동도 특성으로 인해 고속 구동을 요구하는 표시장치에 적합하다. IGZO는 비정질 상태이기 때문에 박막을 넓은 기판 표면에 걸쳐 균일한 특성을 유지하도록 형성할 수 있어, 대면적 표시장치에 유리하다. 또한, 비정질 상태로 증착되므로, 비정질인 유리 기판 혹은 플라스틱 기판에 증착한 후에 특성 변화가 없어, 높은 이동도 특성을 갖는 표시장치를 구현할 수 있다.

[0040] 이하의 설명에서는, 본 발명에 의한 질소가 도핑된 인듐-갈륨-아연 산화물(N doped Indium Gallium Zinc Oxide; N doped IGZO)을 포함하는 박막 트랜지스터 기판의 구체적인 실시 예들을 설명한다. 여기서, 액정 표시장치용 박막 트랜지스터에 대해 설명한다. 하지만, 액정 표시장치에만 국한되는 것은 아니며, 이외에도 박막 트랜지스터 기판을 응용한 모든 표시장치에도 적용할 수 있다.

[0041] <제1 실시 예>

[0042] 이하, 본 발명에 의한 질소 도핑된 IGZO를 반도체 층으로 사용하는 박막 트랜지스터 기판의 제1 실시 예를 설명한다. 도 5는 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기판의 평면도이다. 도 6은 도 5에서 절취선 I-I'로 자른 단면도이다.

[0043] 도 5 및 도 6에 도시된 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL)과, 그 교차부마다 형성된 박막 트랜지스터(T)를 구비한다. 그리고 게이트 배선(GL)과 데이터 배선(DL)의 교차 구조에 의해 화소 영역이 정의된다. 이 화소 영역에는 프린지 필드를 형성하도록 보호막(PAS)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 화소 전극(PXL)은 화소 영역에 대응하는 대략 장방형의 모양을 갖고, 공통전극(COM)은 평행한 다수 개의 띠 모양으로 형성한다.

[0044] 공통전극(COM)은 게이트 배선과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.

[0045] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전되어 유지하도록 한다. 이를 위해, 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기한 게이트 전극(G), 데이터 배선(DL)에서 분기된 소스 전극(S), 소스 전극(S)과 대향하며 화소 전극(PXL)과 접속된 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하며 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 층(A)을 포함한다. 반도체 층(A)과 소스 전극(S) 사이에 그리고 반도체 층(A)과 드레인 전극(D) 사이에는 오믹 접촉을 위한 오믹 접촉층을 더 포함할 수도 있다.

[0046] 특히, 반도체 층(A)은 본 발명에 의한 질소가 도핑된 인듐-갈륨-아연 산화물(N doped Indium Gallium Zinc Oxide; N doped IGZO)을 포함한다. 이 경우, 높은 전하 이동도 특성에 의해 충전 용량이 큰 대면적 박막 트랜지스터 기판에 유리하다. 한편 산화물 반도체 물질은 소자의 안정성을 확보하기 위해 상부 표면에 식각액으로부터 보호를 위한 에치 스톱퍼(ES)를 더 포함하는 것이 바람직하다. 구체적으로 설명하면, 소스 전극(S)과 드레인 전극(D) 사이를 식각공정으로 분리하는 과정에서 이 부분을 통해 유입되는 식각액으로부터 반도체 층(A)을 보호하도록 에치 스톱퍼(ES)를 형성하는 것이 바람직하다.

[0047] 게이트 배선(GL)의 일측 단부에는 외부로부터 게이트 신호를 인가받기 위한 게이트 패드(GP)를 포함한다. 게이트 패드(GP)는 게이트 절연막(GI)과 보호막(PAS)을 관통하는 게이트 패드 콘택홀(GPH)을 통해 게이트 패드 단자(GPT)와 접촉한다. 한편, 데이터 배선(DL)의 일측 단부에는 외부로부터 화소 신호를 인가받기 위한 데이터 패드(DP)를 포함한다. 데이터 패드(DP)는 보호막(PAS)을 관통하는 데이터 패드 콘택홀(DPH)을 통해 데이터 패드 단자(DPT)와 접촉한다.

[0048] 화소 전극(PXL)은 게이트 절연막(GI) 위에서 드레인 전극(D)과 접속한다. 한편, 공통전극(COM)은 화소 전극(PXL)을 덮는 보호막(PAS)을 사이에 두고 화소전극(PXL)과 중첩되게 형성된다. 이와 같은 화소 전극(PXL)과 공통전극(COM) 사이에서 전계가 형성되어 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.

[0049] <제2 실시 예>

[0050] 이하, 본 발명에 의한 질소 도핑된 IGZO를 반도체 층으로 사용하는 박막 트랜지스터 기판의 제2 실시 예를 설명한다. 도 7은 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판의 평면도이다. 도 8은 도 7에서 절취선

II-II'로 자른 단면도이다.

- [0051] 도 7 및 도 8을 참조하면, 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 데이터 배선(DL) 및 게이트 배선(GL)과, 그 교차부마다 형성된 박막 트랜지스터(T)를 구비한다. 그리고 데이터 배선(DL)과 게이트 배선(GL)의 교차 구조에 의해 화소 영역이 정의된다. 이 화소 영역에는 프린지 필드를 형성하도록 제2 절연막(IN2)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 화소 전극(PXL)은 화소 영역에 대응하는 대략 장방형의 모양을 갖고, 공통전극(COM)은 평행한 다수 개의 띠 모양으로 형성할 수 있다.
- [0052] 공통전극(COM)은 게이트 배선과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.
- [0053] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전되어 유지하도록 한다. 이를 위해, 박막 트랜지스터(T)는 데이터 배선(DL)에서 분기된 소스 전극(S), 소스 전극(S)과 대향하는 드레인 전극(D), 소스 전극(S)과 드레인 전극(D) 사이의 공간에서 보호막(PAS)을 사이에 두고 형성된 반도체 채널 층(A), 반도체 채널 층(A) 위에서 게이트 절연막(GI)을 사이에 두고 중첩하는 게이트 전극(G)을 포함한다. 게이트 전극(G)은 게이트 배선(GL)에 연결된다.
- [0054] 특히, 반도체 채널 층(A)은 질소가 도핑된 인듐-갈륨-아연 산화물(N doped Indium Gallium Zinc Oxide; N doped IGZO)을 포함하는 산화물 반도체 물질로 형성한다. 특히, 게이트 전극(G)과 동일한 모양으로 중첩하는 산화물 반도체 물질이 반도체 채널 층(A)으로 정의된다. 그리고 산화물 반도체 물질 중 반도체 채널 층(A) 영역을 제외한 부분은 플라스마 처리로 도체화되어 소스 콘택홀(SH)과 드레인 콘택홀(DH)을 통해 각각 소스 전극(S) 및 드레인 전극(D)과 접속된다. 즉, 산화물 반도체 물질은 소스 전극(S)과 접촉하는 소스 오믹 영역(SA), 드레인 전극(D)과 접촉하는 드레인 오믹 영역(DA), 그리고 소스 영역(SA)과 드레인 영역(DA) 사이에서 게이트 전극(G)과 완전히 중첩하는 반도체 채널 층(A)으로 구분된다.
- [0055] 본 발명에서는 반도체 채널 층(A)이 게이트 절연막(GI)을 사이에 두고 적층하는 게이트 전극(G)의 형상에 의해 정의된다. 또한, 반도체 채널 층(A)의 양 측부 즉, 게이트 전극(G)의 형상 양 옆으로 돌출된 소스 오믹 영역(SA)과 드레인 오믹 영역(DA)은 각각 소스 전극(S)과 드레인 전극(D)에 접촉되지만, 게이트 전극(G)과 중첩하지는 않는다. 한편, 소스 전극(S)과 드레인 전극(D) 각각은 게이트 전극(G)으로부터 어느 정도의 거리 이격되어 있으므로, 소스 전극(S)과 게이트 전극(G) 그리고 드레인 전극(D)과 게이트 전극(G)이 중첩되는 영역이 존재하지 않는다. 따라서, 소스-드레인 전극(S-D)과 게이트 전극(G) 사이에 기생 용량이 형성되지 않아, 고품질의 박막 트랜지스터를 확보할 수 있다.
- [0056] 게이트 배선(GL)의 일측 단부에는 외부로부터 게이트 신호를 인가받기 위한 게이트 패드(GP)를 포함한다. 게이트 패드(GP)는 제2 절연막(IN2) 및 제1 절연막(IN1)을 관통하는 게이트 패드 콘택홀(GPH)을 통해 게이트 패드 단자(GPT)와 접속한다. 한편, 데이터 배선(DL)의 일측 단부에는 외부로부터 화소 신호를 인가받기 위한 데이터 패드(DP)를 포함한다. 데이터 패드(DP)는 제2 절연막(IN2), 제1 절연막(IN1) 및 보호막(PAS)을 관통하는 데이터 패드 콘택홀(DPH)을 통해 데이터 패드 단자(DPT)와 접속한다.
- [0057] 화소 전극(PXL)은 제1 절연막(IN1) 위에서 화소 콘택홀(PH)을 통해 드레인 전극(D)과 접속한다. 한편, 공통전극(COM)은 화소 전극(PXL)을 덮는 제2 절연막(IN2)을 사이에 두고 화소 전극(PXL)과 중첩되게 형성된다. 이와 같은 화소 전극(PXL)과 공통전극(COM) 사이에서 전계가 형성되어 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.
- [0058] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

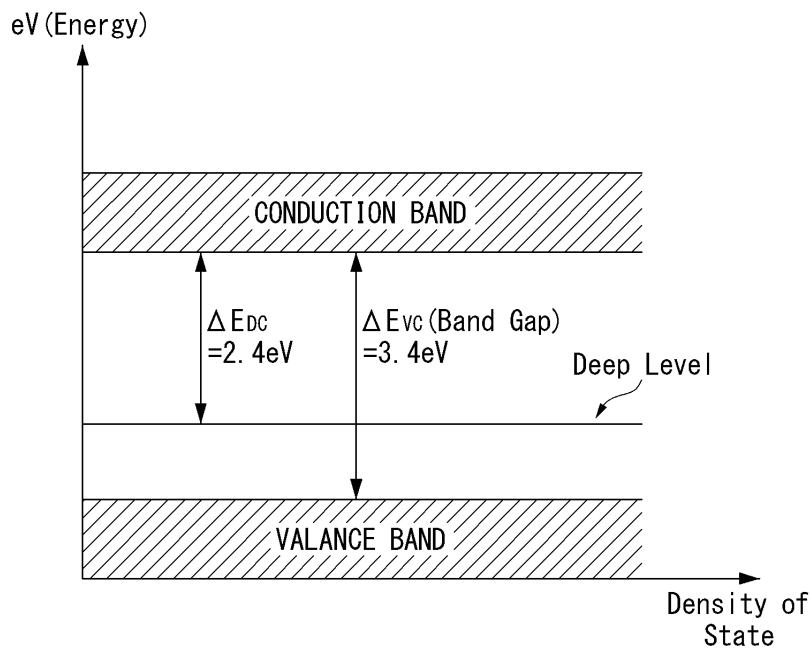
부호의 설명

- [0059] T: 박막 트랜지스터 SUB: 기판
GL: 게이트 배선 CL: 공통 배선
DL: 데이터 배선 PXL: 화소 전극

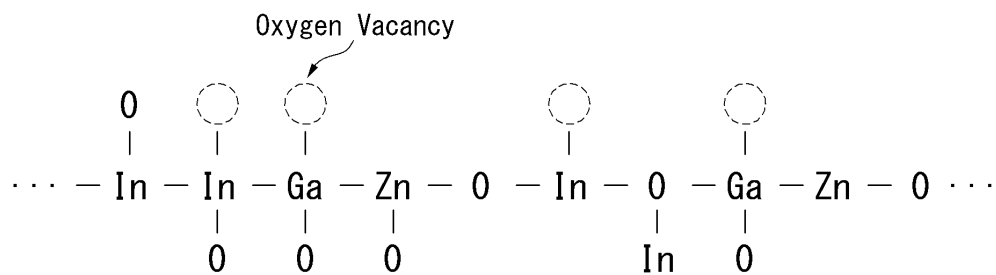
COM: 공통 전극 GP: 게이트 패드
 DP: 데이터 패드 GPT: 게이트 패드 단자
 DPT: 데이터 패드 단자 GPH: 게이트 패드 콘택홀
 DPH: 데이터 패드 콘택홀 ES: 에치 스톱퍼
 G: 게이트 전극 S: 소스 전극
 D: 드레인 전극 A: 반도체 채널 층
 GI: 게이트 절연막 PAS: 보호막
 SH: 소스 콘택홀 SA: 소스 영역
 DH: 드레인 콘택홀 DA: 드레인 영역
 PH: 화소 콘택홀
 IN1: 제1 절연막 IN2: 제2 절연막

도면

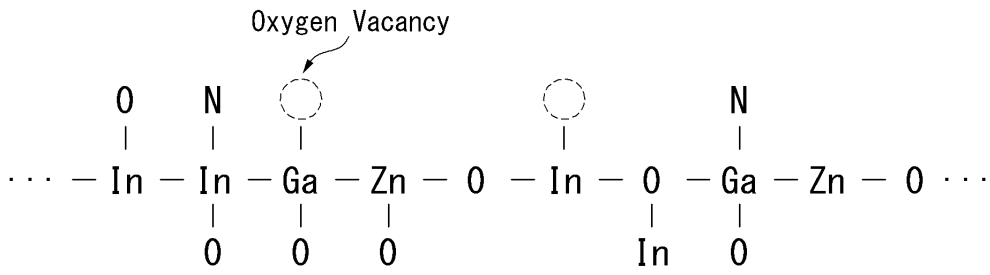
도면1



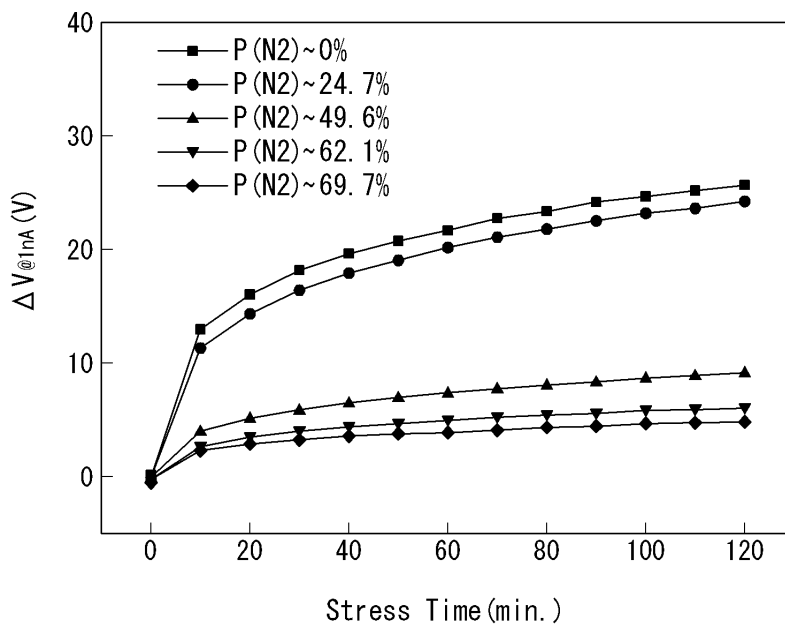
도면2a



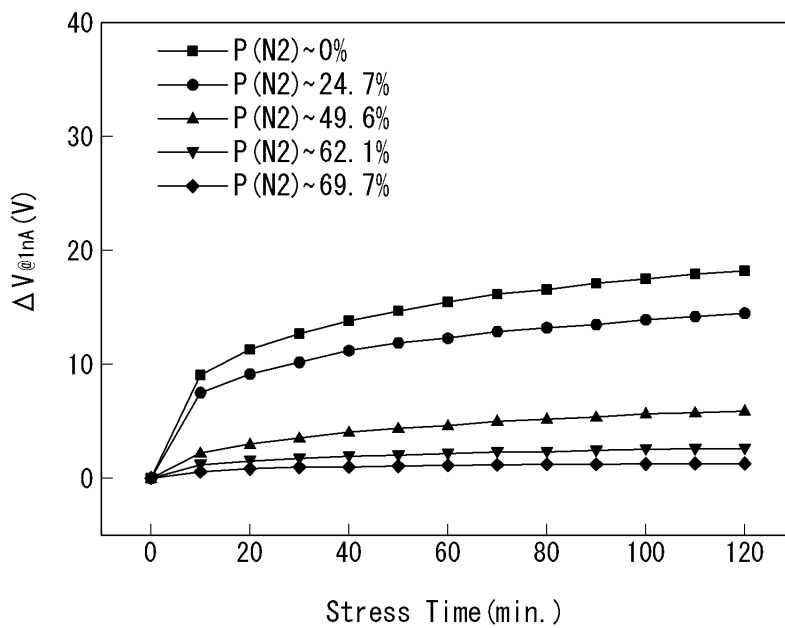
도면2b



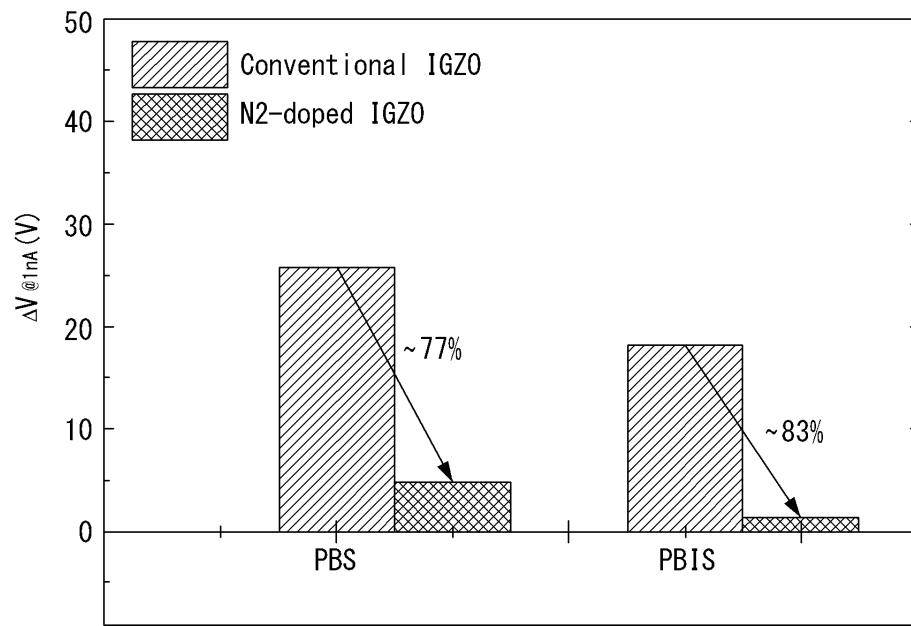
도면3a



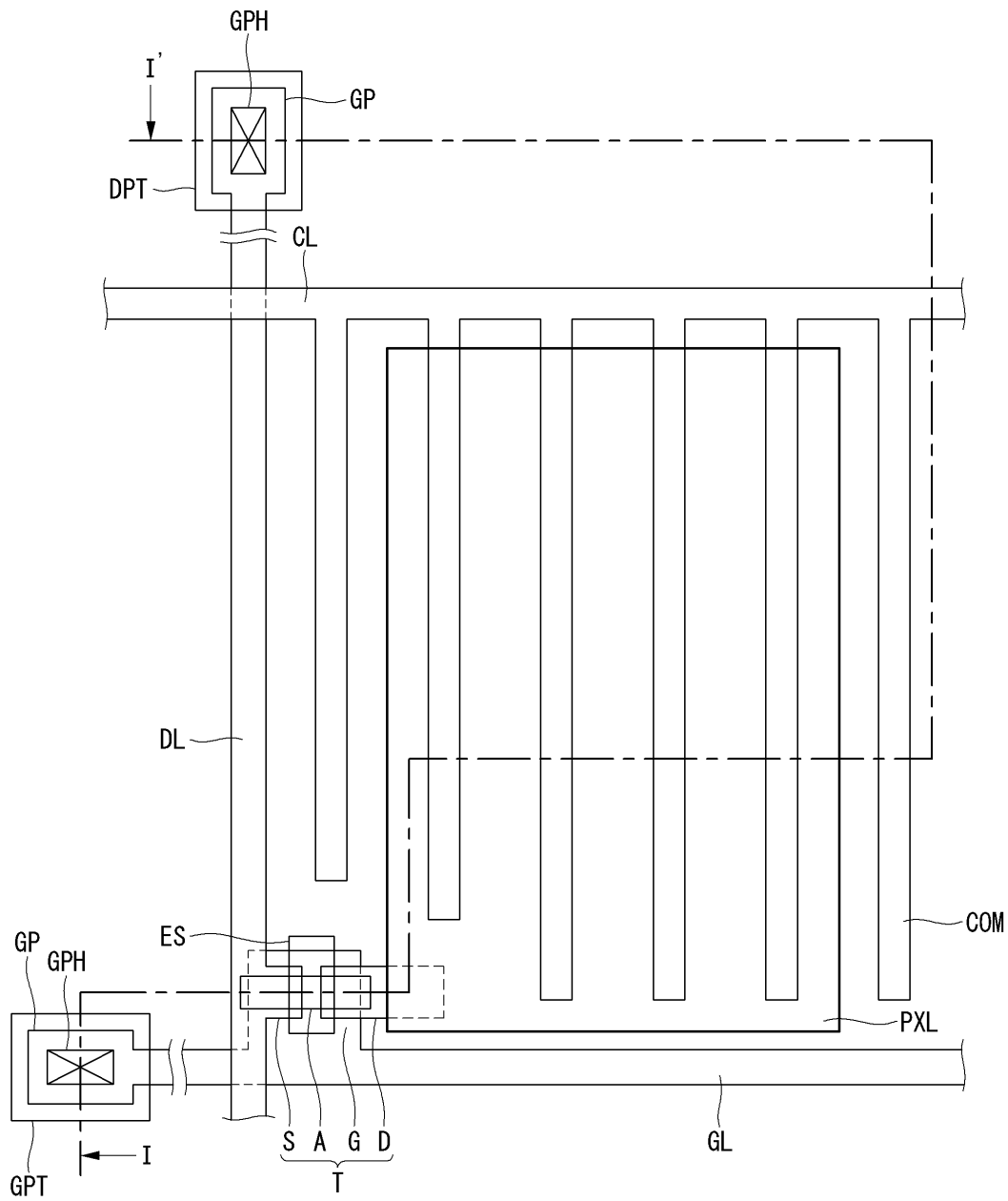
도면3b



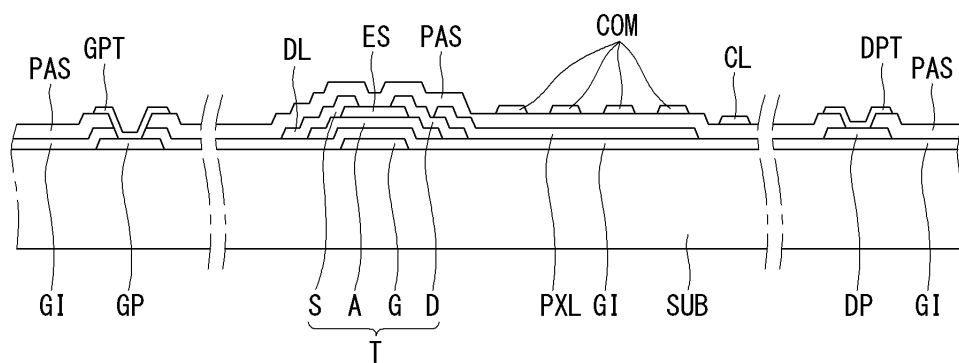
도면4



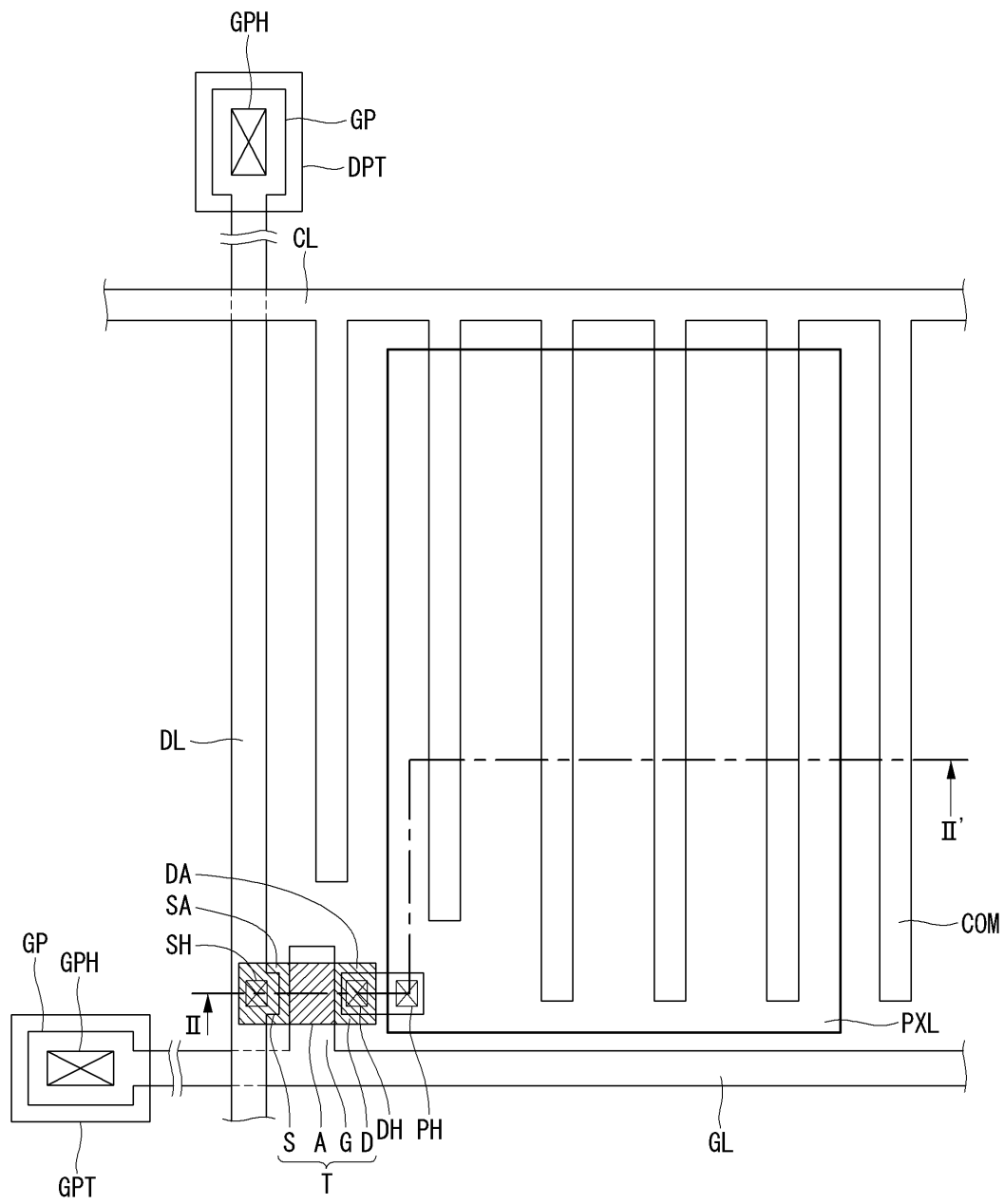
도면5



도면6



도면7



도면8

