



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0039119  
(43) 공개일자 2013년04월19일

(51) 국제특허분류(Int. Cl.)  
C01B 31/02 (2006.01) H01B 5/14 (2006.01)  
H01B 1/04 (2006.01) H01L 21/027 (2006.01)  
(21) 출원번호 10-2011-0103590  
(22) 출원일자 2011년10월11일  
심사청구일자 2011년10월11일

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50, 연세대학교 (신  
촌동)  
(72) 발명자  
전성찬  
서울특별시 서대문구 연세로 50, 연세대학교 공학  
관 A587 (신촌동)  
박형구  
경기도 시흥시 목감동 대명아파트 411호  
(뒷면에 계속)  
(74) 대리인  
특허법인화우

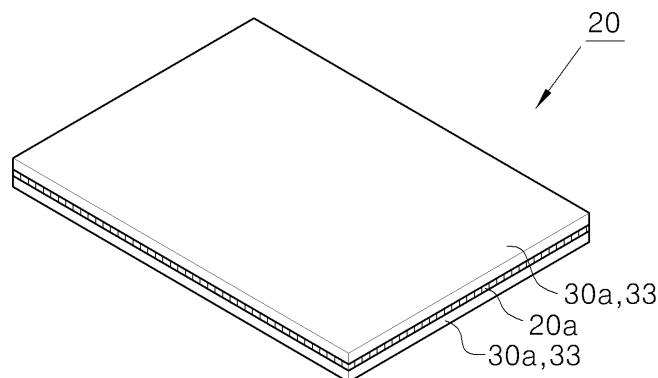
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 그래핀-폴리머 복합체, 그래핀-폴리머 복합체가 구비된 디바이스 및 그들의 제조방법

### (57) 요약

그래핀-폴리머 복합체가 개시된다. 본 발명의 실시예에 따른 그래핀-폴리머 복합체는, 판상형의 그래핀; 및 그래핀의 일면 또는 양면에 폴리머가 결합되어 형성되며, 그래핀층과 함께 유연하게 굴곡가능한 필름형태를 이루는 폴리머코팅층;을 포함한다.

대표도 - 도5



(72) 발명자

**윤형서**

서울특별시 서대문구 연희로18길 40 (연희동)

**오주영**

경기도 김포시 통진읍 서암리 휴먼시아 107-902

**임주환**

서울특별시 은평구 서오릉로 94, 삼성타운

101-1502 (대조동)

## 특허청구의 범위

### 청구항 1

판상형의 그래핀(graphene)(20a); 및

상기 그래핀(20a)의 일면 또는 양면에 폴리머(polymer)가 결합되어 형성되며, 상기 그래핀층(20b)과 함께 유연하게 굴곡가능한 필름형태를 이루는 폴리머코팅층(30a);

을 포함하는 그래핀-폴리머 복합체.

### 청구항 2

제1항에 있어서,

상기 폴리머코팅층(30)은,

상기 그래핀(20a)을 외부로부터 절연가능한 비전도성 소재로 구성되는 그래핀-폴리머 복합체.

### 청구항 3

제1항에 있어서,

상기 폴리머코팅층(30a)은,

상기 그래핀(20a)의 일면 또는 양면에 연속하여 결합되거나 상기 그래핀층(20b) 내로 삽입된 그래핀 연결부에 의해 상기 그래핀(20a)의 전자기적 특성을 유지, 보완가능한 전도성 폴리머로 구성되는 그래핀-폴리머 복합체가 구비된 디바이스.

### 청구항 4

제1항에 있어서,

상기 그래핀(20a)과 폴리머코팅층(30a)은,

다수가 교대로 적층형성되는 그래핀-폴리머 복합체.

### 청구항 5

제4항에 있어서,

상기 폴리머코팅층(30a)은,

전도성 폴리머로 구성되는 전도성 폴리머층(31); 및

상기 그래핀(20a)을 사이에 두고 상기 전도성 폴리머층(31)과 이격되게 형성되며, 비전도성 폴리머로 구성되는 비전도성 폴리머층(33);

을 포함하는 그래핀-폴리머 복합체.

### 청구항 6

평탄면을 가지는 베이스(10a)를 준비하는 베이스준비단계;

상기 베이스(10a)의 평탄면에 폴리머(polymer)와 그래핀(graphene)을 증착하거나 전사하여 폴리머코팅층(30a)과

그래핀(20a)을 적층되게 형성하는 복합체형성단계; 및

상기 베이스(10a)를 에칭하여 상기 그래핀(20a)에 상기 폴리머코팅층(30a)이 결합된 필름형태의 그래핀-폴리머 복합체(20)를 형성하는 베이스에칭단계;

를 포함하는 그래핀-폴리머 복합체의 제조방법.

#### 청구항 7

제6항에 있어서,

상기 복합체형성단계는,

상기 폴리머코팅층(30a)을 상기 그래핀(20a)의 일면 또는 양면에 형성하는 그래핀-폴리머 복합체의 제조방법.

#### 청구항 8

제6항 또는 제7항에 있어서,

상기 복합체형성단계는,

상기 그래핀(20a)과 폴리머코팅층(30a) 다수를 교대로 적층형성하는 그래핀-폴리머 복합체의 제조방법.

#### 청구항 9

그래핀 기반 디바이스에 있어서,

기관(10b);

상기 기관(10b)에 그래핀(graphene)이 증착되거나 전사(transfer)되어 형성되는 그래핀층(20b); 및

상기 기관(10b)과 그래핀층(20b) 사이 및/또는 상기 그래핀층(20b)상에 폴리머(polymer)가 결합되어 형성되는 폴리머층(30b);

을 포함하는 그래핀-폴리머 복합체가 구비된 디바이스.

#### 청구항 10

제9항에 있어서,

상기 폴리머층(30b)은,

상기 그래핀층(20b)과 기관(10b) 사이를 절연가능한 비전도성 소재로 구성되는 그래핀-폴리머 복합체가 구비된 디바이스.

#### 청구항 11

제9항에 있어서,

상기 폴리머층(30b)은,

상기 그래핀층(20b)의 일면 또는 양면에 연속하여 결합되거나 상기 그래핀층(20b) 내로 삽입된 그래핀 연결부에 의해 상기 그래핀층(20b)의 전자기적 특성을 유지, 보완가능한 전도성 폴리머로 구성되는 그래핀-폴리머 복합체가 구비된 디바이스.

#### 청구항 12

제9항에 있어서,  
상기 그래핀층(20b)과 폴리머층(30b)은,  
다수가 교대로 중첩되어 형성되는 그래핀-폴리머 복합체가 구비된 디바이스.

#### 청구항 13

제12항에 있어서,  
상기 폴리머층(30b)은,  
전도성 폴리머로 구성되는 전도성 폴리머층(31); 및  
상기 그래핀층(20b)을 사이에 두고 상기 전도성 폴리머층(31)과 이격되게 형성되며, 전도성 폴리머로 구성되는 비전도성 폴리머층(33);  
을 포함하는 그래핀-폴리머 복합체가 구비된 디바이스.

#### 청구항 14

그래핀 기반 디바이스 제조방법에 있어서,  
기판(10b)상에 폴리머(polymer)와 그래핀(graphene)을 증착하거나 전사하여 폴리머층(30b)과 그래핀층(20b)을 적층되게 형성하는 복합층형성단계;  
상기 복합층형성단계를 거쳐 생성된 구조체의 상면에 포토레지스트(photoresist)로 패턴을 형성하는 패턴형성단계; 및  
상기 포토레지스트 패턴에 대응되는 형상으로 상기 폴리머층(30b)과 그래핀층(20b)을 에칭하여 상기 기판(10b)상에 그래핀-폴리머 복합체(20)를 지정형상으로 형성하는 복합층가공단계;  
를 포함하는 그래핀-폴리머 복합체가 구비된 디바이스의 제조방법.

#### 청구항 15

제14항에 있어서,  
상기 복합층형성단계는,  
상기 폴리머코팅층(30a)을 상기 그래핀층(20b)의 일면 또는 양면에 형성하는 그래핀-폴리머 복합체가 구비된 디바이스의 제조방법.

#### 청구항 16

제14항에 있어서,  
상기 복합층가공단계를 거쳐 생성된 구조체의 상면 중 상기 그래핀-폴리머 복합체(20)가 형성된 부분을 포함하여 전도성 소재를 증착하거나 전사하여 전극층(40a)을 형성하는 전극층형성단계; 및  
일부는 상기 그래핀-폴리머 복합체(20)의 상면에 위치되고, 다른 일부는 상기 기판(10b)상에 위치되는 지정형상으로 상기 전극층(40a)을 에칭하여, 상기 그래핀-폴리머 복합체(20)에 의해 전기적으로 연결되는 한쌍의 전극(40)을 형성하는 전극형성단계;  
를 더 포함하는 그래핀-폴리머 복합체가 구비된 디바이스의 제조방법.

## 명세서

### 기술분야

[0001] 본 발명은 그래핀-폴리머 복합체, 그래핀-폴리머 복합체가 구비된 디바이스 및 그들의 제조방법에 관한 것이다.

### 배경기술

- [0002] 그래핀(graphene)은 탄소가 2차원의 육각형 형태로 존재하는 물질로, 높은 전자 이동도와 높은 전류 밀도를 가지며, 탄소 원자들이 공유 결합을 통해 강하게 연결되어 높은 영률(Young's modulus)을 가지는 등의 우수한 전기적, 광학적, 기계적 특성을 가진다.
- [0003] 이에 따라, 전기적, 기계적, 광학적 센서(sensor), 액츄에이터(actuator) 등 그 응용분야가 다양하며, 흑연으로부터의 기계적 박리, 산화 흑연의 화학적 박리, 에피택셜 성장(epitaxial growth), 화학 증착법(CVD, chemical vapor deposition technique) 등의 방법으로 생성되고 있다.
- [0004] 화학 증착법(CVD)은 화학물질을 포함하는 가스에 높은 에너지를 가하여 플라즈마화시키면 라디칼(radical)화된 반응성 높은 화학물질이 기판상에 증착되는 원리를 이용하는 방법으로, 기판의 표면에 해당되는 대면적에 걸쳐 균일한 두께의 그래핀을 얻을 수 있고, 마스크를 이용한 포토레지스트(photoresist) 공정만으로 원하는 패턴을 가공할 수 있다는 이점이 있다.
- [0005] 이러한 화학 증착법(CVD)에 의하면 구리나 니켈 촉매상에 그래핀이 성장하게 되며, 생성된 그래핀을 촉매로부터 분리하여 다음의 작업위치로 이동시키는 작업이 수반된다. 일반적으로는 폴리머(polymer)를 그래핀에 결합시키는 공정을 추가로 거친 후, 구리나 니켈을 에칭하여 에칭용액상에 부유되는 그래핀을 건져 증류수에 행구고, 지정된 기판상의 가공위치로 전사하여 올려놓은 후 폴리머를 아세톤 등으로 제거하는 과정을 거치게 된다.
- [0006] 화학 증착법(CVD)에 의하면 그래핀을 원하는 모양으로 패턴화하여 사용할 수 있게 됨에 따라 실용화가 유리해진 반면, 제조 과정 또는 그래핀을 에칭용액상에서 증류수로, 행굼을 위해 다른 증류수로, 마지막 증류수에서 기판(가공위치)으로 옮기는 일련의 전사(transfer)하는 과정에서 기술적인 문제로 인해 그래핀의 파열, 접합에 의한 손상이나 불균일성을 초래하게 되었다.
- [0007] 그래핀의 손상, 전기적 감도 저하를 유발하는 다른 요인으로는, 외부 환경에 노출됨에 따라 발생하는 그래핀 표면의 결함(defect), 포토리소그래피(photolithography) 등에 의해 그래핀을 원하는 형상으로 가공하는 공정에서 발생하는 오염, 측정 팁(tip)과의 접촉에 따른 찢어짐 등이 있다.
- [0008] 도 1, 2는 'Kanghyun Kim et.al., "Electric Property Evolution of Structurally Defected Multilayer Graphene", Nano Letters, LETTERS 2008 Vol. 8, No. 10' 논문 내용 중, 그래핀에 산소 플라즈마를 가하여 그래핀의 전기적 성질이 저하되는 것을 실험한 결과를 나타낸 그래프이다.
- [0009] 도 1, 2를 참조하면, 그래핀에 결함(defect)이 생기거나 그래핀이 산소에 지속적으로 노출되면, 전기적인 성질(전압변화에 따른 전류변화 정도(도 1), 반응속도(G/ms)(도 2))이 확연히 저하되는 것을 확인할 수 있다.
- [0010] 도 3, 4는 'J. Scott Bunch et.al., "Electromechanical Resonators from Graphene Sheets", SCIENCE, 26 JANUARY 2007 VOL 315' 논문 내용 중, 그래핀 공진기를 구성하는 그래핀이 포토레지스트(photoresist)에 오염된 것을 촬영한 사진이다.
- [0011] 도 3, 4를 참조하면, 그래핀 구조체의 일부가 포토레지스트에 오염(빨간색 원으로 표시된 부분)된 것을 확인할 수 있으며, 그래핀 공진기에 구조적인 이상이 없음에도 불구하고 이와 같이 그래핀 구조체의 일부가 포토레지스트에 오염된 정도만으로 그 감도가 현저하게 저하될 수 있다.
- [0012] 이러한 물리적, 화학적 요인에 의한 그래핀, 그래핀 디바이스의 손상, 오염 및 이에 따른 전기적 감도 저하를 저감시키기 위한 노력이 이루어지고 있으나, 그래핀 또는 그래핀 디바이스의 제조, 전사 공정상에서의 그래핀의 굴곡 변형 정도의 저감, 그래핀의 접촉부, 응력 집중 최소화 등에 주의를 요하는 정도로 이루어지고 있는 실정이다.

## 선행기술문헌

### 특허문헌

- [0013] (특허문헌 0001) 한국공개특허 2011-64408  
(특허문헌 0002) 한국공개특허 2010-111999

## 발명의 내용

### 해결하려는 과제

- [0014] 상술한 바와 같은 문제점을 해결하기 위해 안출된 본 발명은, 그래핀(graphene)이나 그래핀 기반의 디바이스를 제조, 전사하는 과정에서 발생하는 물리적, 화학적 요인에 의한 손상 및 오염을 안정적으로 방지, 보호할 수 있는 그래핀-폴리머 복합체, 그래핀-폴리머 복합체가 구비된 디바이스 및 그들의 제조방법을 제공하는 것을 그 목적으로 한다.

### 과제의 해결 수단

- [0015] 상술한 바와 같은 목적 달성을 위한 본 발명은, 판상형의 그래핀(graphene)(20a); 및 상기 그래핀(20a)의 일면 또는 양면에 폴리머(polymer)가 결합되어 형성되며, 상기 그래핀층(20b)과 함께 유연하게 굴곡가능한 필름형태를 이루는 폴리머코팅층(30a);을 포함하는 그래핀-폴리머 복합체를 기술적 요지로 한다.
- [0016] 여기서, 상기 폴리머코팅층(30a)은, 상기 그래핀(20a)을 외부로부터 절연가능한 비전도성 소재로 구성될 수 있다.
- [0017] 또한, 상기 폴리머코팅층(30a)은, 상기 그래핀(20a)의 일면 또는 양면에 연속하여 결합되거나 상기 그래핀층(20b) 내로 삽입된 그래핀 연결부에 의해 상기 그래핀(20a)의 전자기적 특성을 유지, 보완가능한 전도성 폴리머로 구성될 수 있다.
- [0018] 또한, 상기 그래핀(20a)과 폴리머코팅층(30a)은, 다수가 교대로 적층형성될 수 있다.
- [0019] 또한, 상기 폴리머코팅층(30a)은, 전도성 폴리머로 구성되는 전도성 폴리머층(31); 및 상기 그래핀(20a)을 사이에 두고 상기 전도성 폴리머층(31)과 이격되게 형성되며, 비전도성 폴리머로 구성되는 비전도성 폴리머층(33);을 포함할 수 있다.
- [0020] 또한, 본 발명은, 평탄면을 가지는 베이스(10a)를 준비하는 베이스준비단계; 상기 베이스(10a)의 평탄면에 폴리머(polymer)와 그래핀(graphene)을 증착하거나 전사하여 폴리머코팅층(30a)과 그래핀(20a)을 적층되게 형성하는 복합체형성단계; 및 상기 베이스(10a)를 에칭하여 상기 그래핀(20a)에 상기 폴리머코팅층(30a)이 결합된 필름형태의 그래핀-폴리머 복합체(20)를 형성하는 베이스에칭단계;를 포함하는 그래핀-폴리머 복합체의 제조방법을 다른 기술적 요지로 한다.
- [0021] 여기서, 상기 복합체형성단계는, 상기 폴리머코팅층(30a)을 상기 그래핀(20a)의 일면 또는 양면에 형성할 수 있다.
- [0022] 또한, 상기 복합체형성단계는, 상기 그래핀(20a)과 폴리머코팅층(30a) 다수를 교대로 적층형성할 수 있다.
- [0023] 또한, 본 발명은, 그래핀 기반 디바이스에 있어서, 기판(10b); 상기 기판(10b)에 그래핀(graphene)이 증착되거나 전사(transfer)되어 형성되는 그래핀층(20b); 및 상기 기판(10b)과 그래핀층(20b) 사이 및/또는 상기 그래핀층(20b)에 폴리머(polymer)가 결합되어 형성되는 폴리머층(30b);을 포함하는 그래핀-폴리머 복합체가 구비된 디바이스를 또 다른 기술적 요지로 한다.
- [0024] 여기서, 상기 폴리머층(30b)은, 상기 그래핀층(20b)과 기판(10b) 사이를 절연가능한 비전도성 소재로 구성될 수 있다.
- [0025] 또한, 상기 폴리머층(30b)은, 상기 그래핀층(20b)의 일면 또는 양면에 연속하여 결합되거나 상기 그래핀층(20b)

내로 삽입된 그래핀 연결부에 의해 상기 그래핀층(20b)의 전자기적 특성을 유지, 보완가능한 전도성 폴리머로 구성될 수 있다.

[0026] 또한, 상기 그래핀층(20b)과 폴리머층(30b)은, 다수가 교대로 중첩되어 형성될 수 있다.

[0027] 또한, 상기 폴리머층(30b)은, 전도성 폴리머로 구성되는 전도성 폴리머층(31); 및 상기 그래핀층(20b)을 사이에 두고 상기 전도성 폴리머층(31)과 이격되게 형성되며, 전도성 폴리머로 구성되는 비전도성 폴리머층(33);을 포함할 수 있다.

[0028] 또한, 본 발명은, 그래핀 기반 디바이스 제조방법에 있어서, 기판(10b)상에 폴리머(polymer)와 그래핀(graphene)을 증착하거나 전사하여 폴리머층(30b)과 그래핀층(20b)을 적층되게 형성하는 복합층형성단계; 상기 복합층형성단계를 거쳐 생성된 구조체의 상면에 포토레지스트(photoresist)로 패턴을 형성하는 패턴형성단계; 및 상기 포토레지스트 패턴에 대응되는 형상으로 상기 폴리머층(30b)과 그래핀층(20b)을 에칭하여 상기 기판(10b)상에 그래핀-폴리머 복합체(20)를 지정형상으로 형성하는 복합층가공단계;를 포함하는 그래핀-폴리머 복합체가 구비된 디바이스의 제조방법을 또 다른 기술적 요지로 한다.

[0029] 여기서, 상기 복합층형성단계는, 상기 폴리머코팅층(30a)을 상기 그래핀층(20b)의 일면 또는 양면에 형성할 수 있다.

[0030] 또한, 상기 복합층가공단계를 거쳐 생성된 구조체의 상면 중 상기 그래핀-폴리머 복합체(20)가 형성된 부분을 포함하여 전도성 소재를 증착하거나 전사하여 전극층(40a)을 형성하는 전극층형성단계; 및 일부는 상기 그래핀-폴리머 복합체(20)의 상면에 위치되고, 다른 일부는 상기 기판(10b)상에 위치되는 지정형상으로 상기 전극층(40a)을 에칭하여, 상기 그래핀-폴리머 복합체(20)에 의해 전기적으로 연결되는 한쌍의 전극(40)을 형성하는 전극형성단계;를 더 포함할 수 있다.

### 발명의 효과

[0031] 그래핀은 우수한 전자기적, 기계적, 화학적 특성으로 인해 그 활용분야가 광범위함에도 불구하고, 단결정 유기 박막 구조로 인해 제조, 전사과정에서의 굴곡, 접촉에 의해 손상되기 쉽고, 소량의 오염에 의해서도 그 감도가 현저히 저하되며, 시간이 지남에 따라 자연적으로 발생하는 결함(defect)으로 인해서도 수명이 급격히 단축되는 등으로 인해 그 상용화에 어려움이 있었다.

[0032] 상술한 바와 같은 구성에 의한 본 발명에 의하면, 폴리머를 그래핀 일면 또는 양면에 결합시킨 간단한 구조에 의해, 그래핀의 파열에 의해 생성된 중공부(void)를 전도성 폴리머로 메워 전자기적 특성 저하를 보완할 수 있으며, 그래핀이 포토레지스트(photoresist) 등의 외부 오염원이나 대기 중의 산소 등에 노출되어 그 성능이 저하되고 수명이 단축되는 것을 최소화할 수 있다.

[0033] 또한, 폴리머의 경도에 의해 그래핀의 보호 필름을 구성할 수 있어, 그래핀을 지정 위치로 전사시키거나, 직접 팁(tip)을 그래핀에 닿은 상태로 그래핀의 기계적 성질, 온도 등의 측정하는 과정에서 팁과의 접촉에 의하여 그래핀이 쉽게 찢어지거나 파열되던 문제를 해결할 수 있다.

[0034] 기존에는 팁과의 접촉에 의하여 그래핀이 쉽게 찢어지거나 파열되던 문제를 해결하기 위해, 그래핀상에 전극 등을 연결형성하였으나, 전극 형성 등을 위한 금속층의 증착 공정 등이 추가로 이루어져야 하고, 금속과 그래핀의 일함수(work function) 차이에 의한 접촉 저항이 발생되었는데, 본 발명의 실시예에 의하면 이러한 문제점 또한 해결할 수 있다.

[0035] 한편, 그래핀이 기판 표면에 근접하게 위치하면, 2D 형태의 전도체인 그래핀을 통과하던 전자가 기판 표면의 요철(분자, 원자단위 형상)에 의해 산란되어 전자기적 전달 특성이 저하되는데, 기존에는 이를 보완하고자 기판의 일부를 에칭하여 그래핀과 기판 사이의 거리를 확보하는 방법을 사용하기도 하였으나, 그 공정이 까다롭고 번거롭다는 문제점이 있었다.

[0036] 본 발명의 실시예에 의하면, 기판과 그래핀 사이에 비전도성 폴리머층을 추가로 형성하는 간단한 구성에 의해, 그래핀을 기판 상층에 부유시킨 것과 같이 기판으로부터의 영향을 축소시키게 되어 전자 산란효과에 의한 그래핀의 전자기적 전달 특성 저하를 보완하여, 기판을 통한 전력 손실이나 전기적 신호 감소를 방지할 수 있다.

[0037] 상기와 같이 그래핀의 일면 또는 양면에 폴리머층을 형성한 폴리머 그래핀(Graphene) 복합체의 구조에 의해, 그래핀(graphene)이나 그래핀 기반의 디바이스를 제조, 전사하는 과정에서 발생하는 물리적, 화학적 요인에 의한



손상 및 오염을 안정적으로 방지, 보호할 수 있어, 그래핀의 우수한 전기적, 광학적, 기계적 특성을 안정적으로 활용가능하도록 한다.

[0038] 이에 따라, 통신 요소에 필수적인 공진기(resonator), 필터(filter), 발진기(oscillator), 화학, 바이오, 질량 측정 등을 위한 센서 디바이스 등의 성능 개선 및 생산성 향상에 기여할 수 있고, 그래핀의 상용성을 확보할 수 있도록 한다.

### 도면의 간단한 설명

[0039] 도 1 - 산소에 노출됨에 따른 그래핀의 전기적 성질 변화를 나타낸 그래프  
 도 2 - 산소에 노출됨에 따른 그래핀의 반응속도 변화를 나타낸 그래프  
 도 3 - 포토레지스트에 오염된 그래핀 공진기의 일부 사진  
 도 4 - 포토레지스트에 오염된 그래핀 공진기의 다른 사진  
 도 5 - 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체를 도시한 사시도  
 도 6 - 도 5의 구조를 설명하기 위해 도시한 모식도  
 도 7 - 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체를 도시한 사시도  
 도 8 - 도 7의 구조를 설명하기 위해 도시한 모식도  
 도 9 - 도 5를 제작하는 과정의 일례를 도시한 개념도  
 도 10 - 도 7을 제작하는 과정의 일례를 도시한 개념도  
 도 11 - 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체 디바이스를 도시한 사시도  
 도 12 - 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체 디바이스를 도시한 사시도  
 도 13 - 도 11에 도시된 그래핀-폴리머 복합체를 제작하는 과정의 일례를 도시한 개념도  
 도 14 - 도 12에 도시된 그래핀-폴리머 복합체를 제작하는 과정의 일례를 도시한 개념도  
 도 15 - 전극을 형성하는 과정의 일례를 도시한 개념도

### 발명을 실시하기 위한 구체적인 내용

[0040] 이하, 본 발명의 바람직한 실시예에 대해 첨부된 도면을 참조하여 자세히 설명하면 다음과 같다.

[0041] 도 5는 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체를 도시한 사시도이고, 도 6은 도 5에 도시된 상기 제1실시예에 따른 그래핀-폴리머 복합체의 구조를 설명하기 위해 도시한 모식도이다.

[0042] 도 5, 6을 참조하면, 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체(20)는, 판상형의 그래핀(graphene)(20a)과, 상기 그래핀(20a)의 양면에 폴리머(polymer)가 결합되어 형성된 폴리머코팅층(30a)으로 이루어진 구조를 가진다.

[0043] 상기 그래핀(20a)은, 화학 증착법(CVD, chemical vapor deposition technique) 등의 방법에 의해 판상형으로 제작될 수 있으며, 판상형을 이루는 공지의 그래핀 구조체의 구성을 따르는 바 그 상세한 설명을 생략한다.

[0044] 상기 폴리머코팅층(30a)은, 상기 그래핀(20a)에 결합된 상태에서 함께 유연하게 굴곡가능한 필름형태를 이루도록 그 재질, 두께가 결정되며, 상기 그래핀(20a)과 함께 유연하게 굴곡가능한 필름형태를 이루는 범위 내에서 상기 그래핀-폴리머 복합체(20)의 사용조건 등을 종합적으로 고려하여 다양하게 변경 적용될 수 있다.

[0045] 일반적으로 폴리머(polymer)는 단위체(monomer)라 불리는 일정 단위의 분자 덩어리가 연속적으로 중합되어 하나의 거대한 분자를 이루는 것을 일컬으며, 다양한 단위체의 결합을 통해 염화비닐, 나일론 등을 포함한 여러 가지 성분, 조성이 존재한다.

[0046] 상기 폴리머코팅층(30a)의 소재로는, 상기 그래핀(20a)이 외부 요소(예를 들어, 전사(transfer)용 팁(tip) 등)와의 접촉이나 굴곡 변형, 자중에 의한 처짐 등에 의해 손상되는 것을 방지할 수 있도록, 상기 그래핀(20a)보다

강한 경도와 유연성, 탄성을 가지는 폴리머 소재를 선정한다.

- [0047] 상기 폴리머코팅층(30a)을 비전도성 폴리머 소재로 구성하면, 외부 오염 물질로부터 상기 그래핀(20a)을 커버링 하여 보호함과 동시에, 상기 폴리머코팅층(30a)이 형성된 부분을 외부로부터 전기적으로 절연시키는 것 또한 가능하다.
- [0048] 상기 폴리머코팅층(30a)을 전도성 폴리머 소재로 구성하면, 상기 그래핀(20a)의 일면 또는 양면에 연속하여 결합되거나 상기 그래핀(20a) 내로 삽입된 상기 폴리머코팅층(30a)의 일부(이하 '그래핀 연결부'로 통칭한다)에 의해, 상기 그래핀(20a)의 손상으로 생성된 중공부(void)로 인해 상기 그래핀(20a)의 전자기적 전달 특성이 저하되는 것을 유지, 보완할 수 있다.
- [0049] 전도성 폴리머 소재를 적용함에 있어서는, 상기 그래핀(20a)과 함께 필름형태를 이룰 수 있을 정도의 우수한 박막가공성과, 상기 폴리머코팅층(30a)으로 커버링된 상태에서 상기 그래핀(20a)을 용이하게 확인할 수 있을 정도의 투명성을 가지는 PEDOT:PSS((poly[3,4- EthyleneDiOxyThiophene]-PolyStyreneSufonate)를 적용하는 것이 바람직하다.
- [0050] 상기 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체(20)는 상기 그래핀(20a)의 양면에 비전도성 폴리머층(33)을 형성한 구조를 가지나, 본 발명의 실시예에 따른 그래핀-폴리머 복합체(20)는 상기 그래핀(20a)의 일면에 상기 폴리머코팅층(30a)이 형성되는 실시예, 상기 폴리머코팅층(30a)으로서 전도성 폴리머층(31)을 포함하여 구성되는 실시예 등을 포함할 수 있다.
- [0051] 상기 폴리머코팅층(30a)을 형성함에 있어서, 상기 그래핀(10a)의 일면 또는 양면에 전도성 폴리머층(31)을 형성하고, 상기 전도성 폴리머층(31)의 표면에 상기 비전도성 폴리머층(33)을 적층형성하면, 상기 전도성 폴리머층(31)의 그래핀 연결부에 의해 상기 그래핀(10a)의 손상으로 인한 전자기적 특성 저하를 보완하면서도, 상기 비전도성 폴리머층(33)에 의해 상기 그래핀(10a)을 외부 전기 소자로부터 안전하게 절연, 보호시킬 수 있다.
- [0052] 도 7은 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체(20)를 도시한 사시도이고, 도 8은 도 7에 도시된 상기 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체(20)의 구조를 설명하기 위해 도시한 모식도이다.
- [0053] 도 7, 8을 참조하면, 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체(20)는, 상기 제1실시예에 따른 그래핀-폴리머 복합체(20)와 비교하여, 상기 그래핀(20a)과 폴리머코팅층(30a) 다수가 교대로 적층형성되어 필름형태를 이루는 차이점을 가진다.
- [0054] 상기 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체(20)는, 2개의 상기 그래핀(20a)과, 2개의 상기 폴리머코팅층(30a)으로 구성되며, 상기 그래핀(20a) 사이에는 전도성 폴리머로 구성되는 상기 전도성 폴리머층(31)이 형성되고, 상기 그래핀(20a) 중 일측의 표면에는 비전도성 폴리머로 구성되는 상기 비전도성 폴리머층(33)이 형성된 구조를 가진다.
- [0055] 상기 전도성 폴리머층(31)에 의해 상기 다수의 그래핀(20a)이 전자기적으로 상호 연결되므로, 그래핀 기반 디바이스 등의 요소로써 전사(transfer)하여 적용하는 경우, 상기 전도성 폴리머층(31)과 그래핀(20a)층이 적층(연속)형성한 단면적에 해당되는 확장된 전자기적 통로에 걸쳐 그래핀 감지부를 형성할 수 있다.
- [0056] 또한, 상기 비전도성 폴리머층(33)에 의해 일면이 절연된 구조를 구현하므로, 그래핀 기반 디바이스에 적용함에 있어서, 전기적 절연이 필요한 일측에 상기 비전도성 폴리머층(33)이 형성된 일면을 위치시킴으로써, 상기 그래핀(20a)의 전기적 절연을 위해 수행되던 별도의 마이크로 가공 공정(예를 들어, 절연층 형성공정, 절연층 가공공정 등)을 생략할 수 있어, 가공성, 생산성을 향상시킬 수 있다.
- [0057] 상기 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체(20)는 2개의 상기 그래핀(20a)과 하나의 전도성 폴리머층(31), 비전도성 폴리머층(33)으로 이루어진 구조를 가지나, 본 발명의 실시예에 따른 그래핀-폴리머 복합체(20)는 상기 그래핀(20a)을 사이에 두고 상기 전도성 폴리머층(31)과 비전도성 폴리머층(33)이 이격되게 형성된 다양한 실시예로 구현될 수 있다.
- [0058] 도 9의 (a) 내지 (f)는 도 5에 도시된 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체를 제작하는 과정의 일례를 도시한 개념도이며, 도 10의 (a) 내지 (f)는 도 7에 도시된 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체를 제작하는 과정의 일례를 도시한 개념도이다.

- [0059] 도 9, 10을 참조하면, 본 발명의 실시예에 따른 필름형태의 그래핀-폴리머 복합체(20)는, 베이스준비단계, 복합체형성단계, 베이스에칭단계를 순차적으로 거쳐 제조될 수 있다.
- [0060] 상기 베이스준비단계는, 추후 상기 베이스에칭단계에서 일부 또는 전부가 에칭되어 제거될 베이스(10a)를 준비하는 과정으로, 상기 베이스(10a)는, 화학 증착법(CVD) 등에 의해 상기 그래핀(20a)을 판상형으로 제작하기 용이하게 평탄면을 가지는 고품체로 구성된다.(도 9의 (a), 도 10의 (a) 참조)
- [0061] 상기 복합체형성단계는, 상기 베이스(10a)의 평탄면에 폴리머와 그래핀을 증착하거나 전사(transfer)하여, 상기 폴리머코팅층(30a)과 그래핀(20a)을 적층되게 형성하는 과정이다.(도 9의 (b) 내지 (d), 도 10의 (b) 내지 (e) 참조)
- [0062] 상기 그래핀(20a)을 형성함에 있어서는, 기제작된 평판형의 그래핀을 전사하거나, 화학 증착법(CVD)에 의해 상기 베이스(10a) 또는 폴리머코팅층(30a)의 표면에 직접 형성할 수 있으며, 상기 폴리머코팅층(30a)을 형성함에 있어서는, 스핀 코팅(spin coating) 등에 의해 도포하거나, 증착에 의해 상기 베이스(10a) 또는 그래핀(20a)의 표면에 직접 형성할 수 있다.
- [0063] 상기 폴리머코팅층(30a)과 그래핀(20a)을 형성하는 순서와 횟수에 따라, 상기 폴리머코팅층(30a)이 상기 그래핀(20a)의 일면 또는 양면에 형성되거나(도 9의 (b) 내지 (d) 참조), 상기 그래핀(20a)과 폴리머코팅층(30a) 다수가 교대로 적층형성된 실시예(도 10의 (b) 내지 (e) 참조)를 포함한 다양한 실시예로 구현될 수 있다.
- [0064] 또한, 단순한 대면적의 평판형상이 아닌 특정한 형상이나 배열을 가지는 그래핀-폴리머 복합체를 제작하고자 하는 경우, 상기 복합체형성단계 이후에, 리소그래피 공정 등에 의해 그래핀-폴리머 복합체를 지정형상으로 에칭, 가공하는 복합체가공단계를 추가로 거칠 수도 있다.(이하 설명되는 '패턴형성단계', '복합체가공단계' 참조)
- [0065] 상기 베이스에칭단계는, 에칭용액(etchant)을 이용한 습식에칭(wet-etching) 등에 의해, 상기 베이스(10a) 중 상기 그래핀(20a) 또는 폴리머코팅층(30a)에 접촉되는 일부 또는 전부를 에칭하여 제거하는 과정이다.(도 9의 (e), 도 10의 (f) 참조)
- [0066] 상기 베이스(10a)의 에칭에 의해, 상기 그래핀(20a)과 폴리머코팅층(30a)이 결합된 구조를 가지는 본 발명의 실시예에 따른 그래핀-폴리머 복합체(20)(도 5 및 도 9의 (f), 도 7 참조)가 상기 베이스(10a)로부터 분리, 독립되어 필름형태로 완성된다.
- [0067] 도 11, 12는 각각 본 발명의 제1, 2실시예에 따른 그래핀-폴리머 복합체 디바이스를 도시한 사시도이다.
- [0068] 도 11, 12를 참조하면, 본 발명의 실시예에 따른 그래핀 기반 디바이스는, 기판(10b)과, 상기 기판(10b)에 그래핀이 증착되거나 전사(transfer)되어 형성되는 그래핀층(20b)과, 상기 기판(10b)과 그래핀층(20b) 사이 및/또는 상기 그래핀층(20b)상에 폴리머가 결합되어 형성되는 폴리머층(30b)을 포함하는 구조를 가진다.
- [0069] 도 11을 참조하면, 상기 본 발명의 제1실시예에 따른 그래핀 기반 디바이스는, 상기 그래핀층(20b)과 기판(10b) 사이에 비전도성 소재로 구성되는 비전도성 폴리머층(33)이 형성된 구조를 가진다.
- [0070] 그래핀 기반 디바이스에 있어서, 그래핀이 기판 표면에 근접하게 위치하면, 2D 형태의 전도체인 그래핀을 통과 하던 전자가 기판 표면의 요철(분자, 원자단위 형상)에 의해 산란되어 그 전자기적 전달 특성이 저하되는데, 기존에는 이를 보완하고자 기판의 일부를 에칭하여 그래핀과 기판 사이의 거리를 확보하는 방법을 사용하기도 하였으나, 그 공정이 까다롭고 번거롭다는 문제점이 있었다.
- [0071] 상기 본 발명의 제1실시예에 따른 그래핀 기반 디바이스에 의하면, 상기 기판(10b)과 그래핀층(20b) 사이에 상기 비전도성 폴리머층(33)을 추가로 형성하는 간단한 구성에 의해, 상기 그래핀층(20b)을 상기 기판(10b) 상측에 부유시킨 것과 같이 상기 기판(10b)으로부터의 영향을 차단하게 되어 전자 산란효과에 의한 그래핀의 전자기적 전달 성능 저하를 보완할 수 있다.
- [0072] 도 12를 참조하면, 상기 본 발명의 제2실시예에 따른 그래핀 기반 디바이스는, 그래핀 감지부, RF 전자기파 전달부 등을 구성하는 상기 그래핀-폴리머 복합체(20)가, 다수의 상기 그래핀층(20b)과 전도성 폴리머층(31)이 교대로 중첩된 구조를 가진다.
- [0073] 상기 전도성 폴리머층(31)에 의해 상기 다수의 그래핀층(20b)이 전자기적으로 상호 연결되므로, 상기 전도성 폴리머층(31)과 그래핀(20b)층이 적층(연속)형성한 단면적에 해당되는 확장된 전자기적 통로에 걸쳐 그래핀 감지

부, RF 전자기와 전달부 등을 형성할 수 있다.

- [0074] 상기 전도성 폴리머층(31)이 상기 그래핀층(20b)의 일면 또는 양면에 결합된 구조를 구현함에 있어서, 상기 전도성 폴리머층(31)의 그래핀 연결부가 상기 그래핀층(20b)의 일면 또는 양면에 연속하여 결합되거나 상기 그래핀층(20b) 내로 삽입됨에 따라, 상기 그래핀층(20b)의 파열 등에 의해 생성된 중공부(void)를 전도성 폴리머로 메워 전기적 특성 저하를 보완할 수 있다.
- [0075] 또한, 상기 그래핀-폴리머 복합체(20)의 최상부에 상기 전도성 폴리머층(31)을 형성함으로써, 리소그래피 등에 의해 상기 그래핀-폴리머 복합체(20)를 지정형상으로 가공하는 과정에서 포토레지스트(photoresist) 등에 접촉, 노출되어 오염되어 그 성능이 저하되고 수명이 단축되는 것을 방지할 수 있다.
- [0076] 상기 본 발명의 실시예에 따른 그래핀 기반 디바이스 또한, 상기 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체(20)와 마찬가지로, 하나의 상기 그래핀층(20b)의 상면 또는 양면에 상기 폴리머층(30b)이 형성되는 실시예, 상기 폴리머층(30a)으로서 상기 전도성 폴리머층(31)을 포함하여 구성되는 실시예, 상기 전도성 폴리머층(31)과 비전도성 폴리머층(33)이 연속하여 적층형성된 실시예 등을 포함할 수 있다.
- [0077] 또한, 상기 그래핀층(20b)과 폴리머층(30b) 다수를 교대로 적층하여 구성함에 있어서는, 상기 그래핀층(20b)을 사이에 두고 다수의 상기 비전도성 폴리머층(33)이 이격되게 형성되거나, 상기 전도성 폴리머층(31)과 비전도성 폴리머층(33)이 상기 그래핀층(20b)을 사이에 두고 이격되게 형성된 다양한 실시예로도 구현될 수 있다.
- [0078] 도 13의 (a) 내지 (f)는 도 11에 도시된 상기 본 발명의 제1실시예에 따른 그래핀-폴리머 복합체 디바이스를 제작하는 과정의 일례를 도시한 개념도이고, 도 14의 (a) 내지 (f)는 도 12에 도시된 상기 본 발명의 제2실시예에 따른 그래핀-폴리머 복합체 디바이스를 제작하는 과정의 일례를 도시한 개념도이며, 도 15의 (a) 내지 (d)는 상기 본 발명의 제1, 2실시예에 따른 그래핀-폴리머 복합체 디바이스의 전극을 형성하는 과정의 일례를 도시한 개념도이다.
- [0079] 도 13 내지 도 15를 참조하면, 본 발명의 실시예에 따른 그래핀 기반 디바이스는, 복합층형성단계, 패턴형성단계, 복합층가공단계를 순차적으로 거쳐 제조될 수 있다.
- [0080] 상기 복합층형성단계는, 준비된 상기 기판(10b)상에 폴리머와 그래핀을 증착하거나 전사(transfer)하여, 상기 폴리머층(30b)과 그래핀층(20b)을 적층되게 형성하는 과정이다.(도 13의 (a) 내지 (c), 도 14의 (a) 내지 (e) 참조)
- [0081] 상기 그래핀층(20b)을 형성함에 있어서는, 기계작된 평판형의 그래핀 내지 상기 본 발명의 실시예에 따른 그래핀-폴리머 복합체(20)를 전사(transfer)하거나, 화학 증착법(CVD) 등에 의해 상기 기판(10b) 또는 폴리머층(30b)의 표면에 직접 형성할 수 있으며, 상기 폴리머층(30b)을 형성함에 있어서는, 스핀 코팅(spin coating) 등에 의해 도포하거나, 증착에 의해 상기 기판(10b) 또는 그래핀층(20b)의 표면에 직접 형성할 수 있다.
- [0082] 상기 폴리머층(30b)과 그래핀층(20b)을 형성하는 순서와 횟수에 따라, 상기 폴리머층(30b)이 상기 그래핀층(20b)의 일면 또는 양면에 형성되거나(도 13의 (b) 내지 (c) 참조), 상기 그래핀층(20b)과 폴리머층(30b) 다수가 교대로 적층형성된 실시예(도 14의 (b) 내지 (e) 참조)를 포함한 다양한 실시예로 구현될 수 있다.
- [0083] 리소그래피(lithography)는 지정형상의 패턴을 원하는 기판 표면에 성형하는 것으로, 마스크를 이용한 포토리소그래피(photolithography), 마스크를 이용하지 않는 전자 빔 리소그래피(electron beam lithography) 등의 다양한 광학기술 기반의 가공기술을 의미한다.
- [0084] 상기 패턴형성단계는, 상기 복합층형성단계를 거쳐 생성된 그래핀 구조체의 상면에 포토레지스트(photoresist)로 지정패턴을 형성하는 과정으로, 포토레지스트(photoresist)를 상기 그래핀 구조체의 상면에 도포하는 감광제 코팅단계, 노광장치를 이용해 마스크 또는 레티클을 투영하여 포토레지스트에 광을 조사하는 노광단계, 현상액에 의해 노광부 또는 비노광부를 선택적으로 제거하여 포토레지스트로 원하는 패턴을 형성하는 현상단계를 거쳐 이루어질 수 있다.(도 13의 (d), 도 14의 (f) 참조)
- [0085] 상기 복합층가공단계는, 상기 포토레지스트 패턴을 이용해, 상기 포토레지스트 패턴에 대응되는 형상으로 상기 폴리머층(30b)과 그래핀층(20b)을 에칭(예를 들어, 습식에칭(wet-etching), 건식에칭(dry-etching) 등)하여, 상기 기판(10b)상에 그래핀-폴리머 복합체(20)를 지정형상으로 형성, 완성하는 과정으로, 상기 그래핀-폴리머 복합체(20)를 지정형상으로 형성한 후에는 상기 포토레지스트 패턴을 에칭용액 등을 이용해 제거한다.(도 13의

(e), (f))

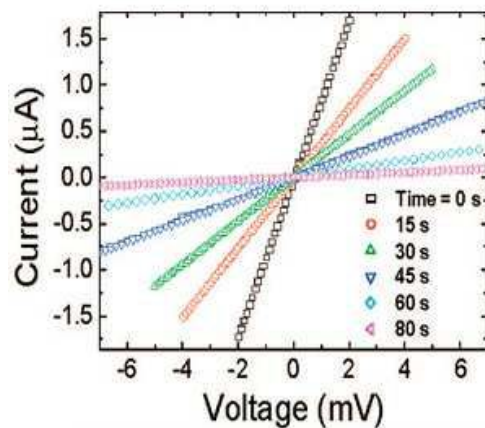
- [0086] 상기 본 발명의 제1, 2실시예에 따른 그래핀 기반 디바이스는, 한쌍의 전극(40)이 상기 그래핀-폴리머 복합체(20)에 의해 전자기적으로 연결되는 구조를 가지며, 이러한 구조의 그래핀 기반 디바이스를 제조함에 있어서는, 전극층형성단계와, 전극형성단계를 추가로 거쳐 이루어질 수 있다.
- [0087] 상기 전극층형성단계는, 상기 복합층가공단계를 거쳐 생성된 구조체(상기 기판(10b), 그래핀-폴리머 복합체(20) 포함)상에 상기 전극(40)을 구성하는 전도성 소재를 증착하거나 전사하여 전극층(40a)을 형성하는 과정으로, 상기 그래핀-폴리머 복합체(20)의 적어도 일부를 포함하게 상기 전극층(40a)을 형성한다.(도 15의 (a), (b) 참조)
- [0088] 상기 전극형성단계는, 리소그래피 등에 의해 상기 전극층(40a)을 지정형상으로 에칭하는 과정으로, 상기 한쌍의 전극(40)을 분리형성하되, 상기 전극(40) 각각의 일부는 상기 그래핀-폴리머 복합체(20)의 상면에 위치되고, 다른 일부는 상기 기판(10b)상에 위치되게 상기 전극층(40a)을 에칭하여, 상기 그래핀-폴리머 복합체(20)에 의해 전기적으로 연결되는 상기 한쌍의 전극(40)을 형성, 완성한다.(도 15의 (c), (d) 참조)
- [0089] 이상에서는 본 발명의 바람직한 실시예를 들어 설명하였으나, 본 발명은 이러한 실시예에 한정되는 것이 아니고, 상기 실시예들을 기존의 공지기술과 단순히 조합적용한 실시예와 함께 본 발명의 특허청구범위와 상세한 설명에서 본 발명이 속하는 기술분야의 당업자가 변형하여 이용할 수 있는 기술은 본 발명의 기술범위에 당연히 포함된다고 보아야 할 것이다.

## 부호의 설명

- |                  |                |
|------------------|----------------|
| [0090] 10a : 베이스 | 10b : 기판       |
| 20 : 그래핀-폴리머 복합체 | 20a : 그래핀      |
| 20b : 그래핀층       | 30a : 폴리머코팅층   |
| 30b : 폴리머층       | 31 : 전도성 폴리머층  |
| 33 : 비전도성 폴리머층   | 40 : 전극        |
| 40a : 전극층        | PR : 포토레지스트 패턴 |

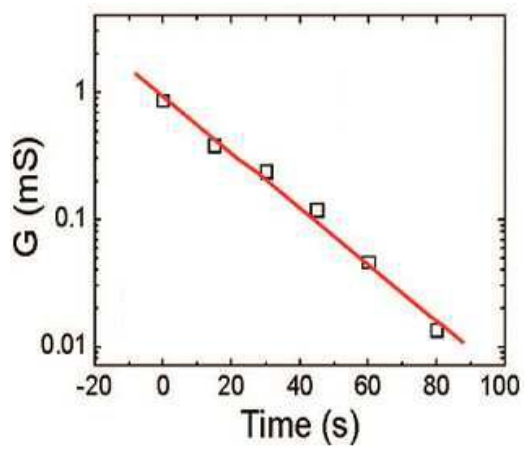
## 도면

### 도면1

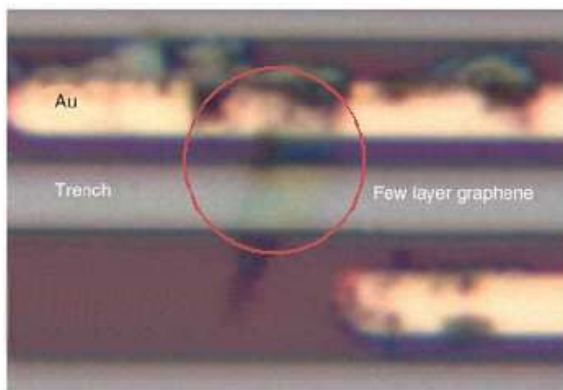




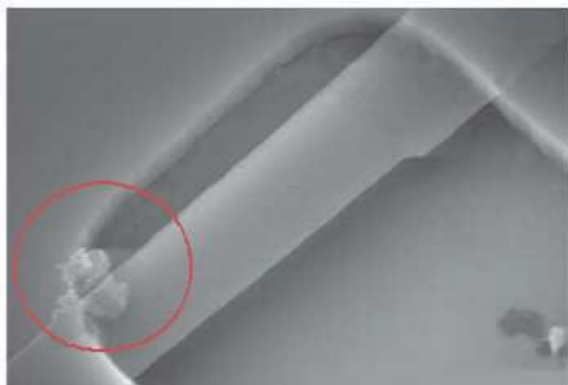
도면2



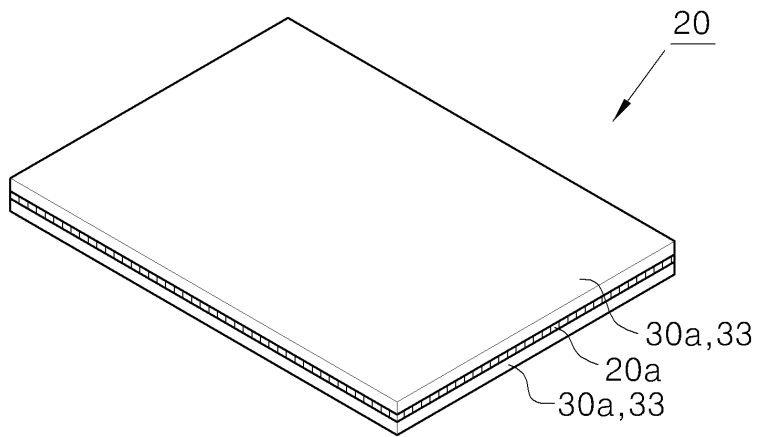
도면3



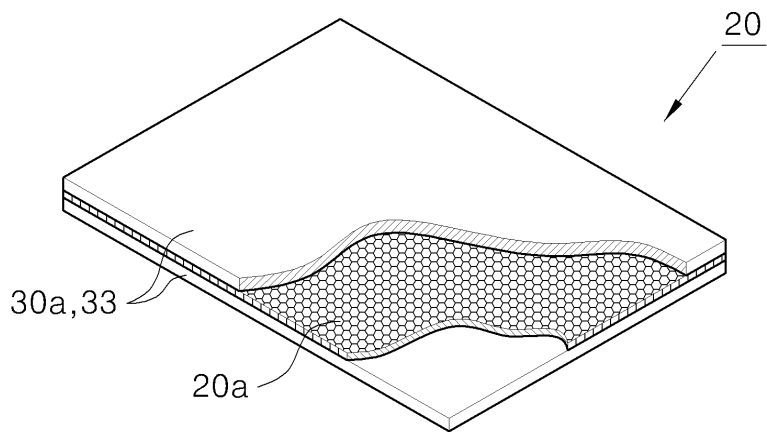
도면4



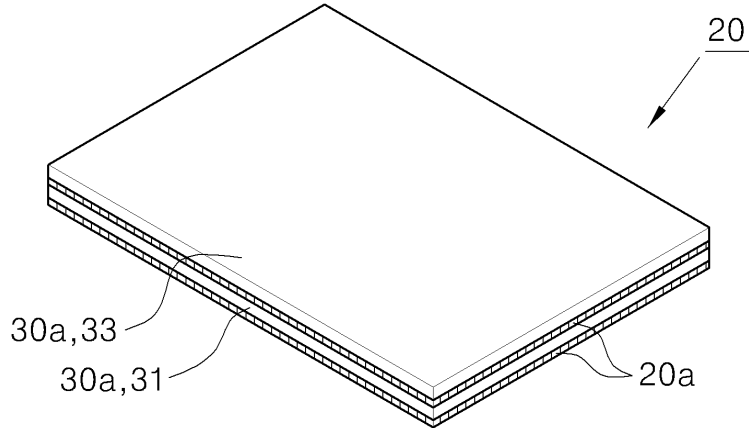
도면5



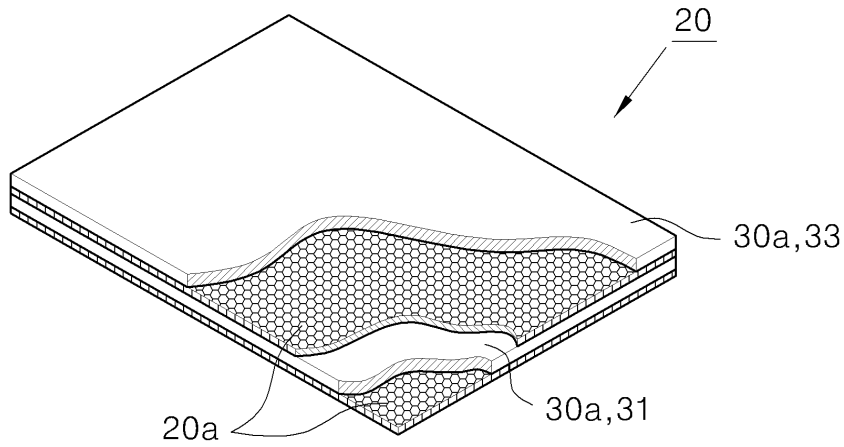
도면6



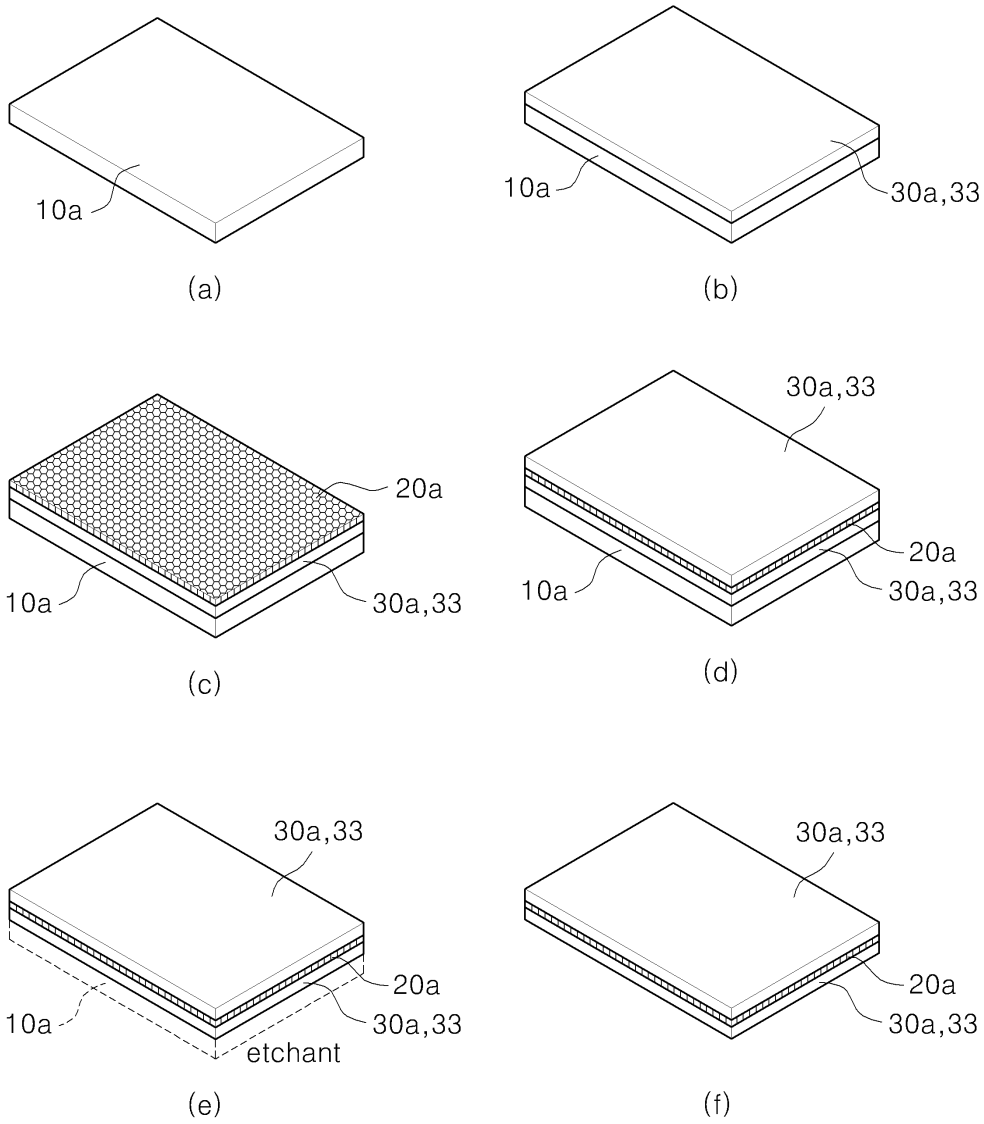
도면7



도면8

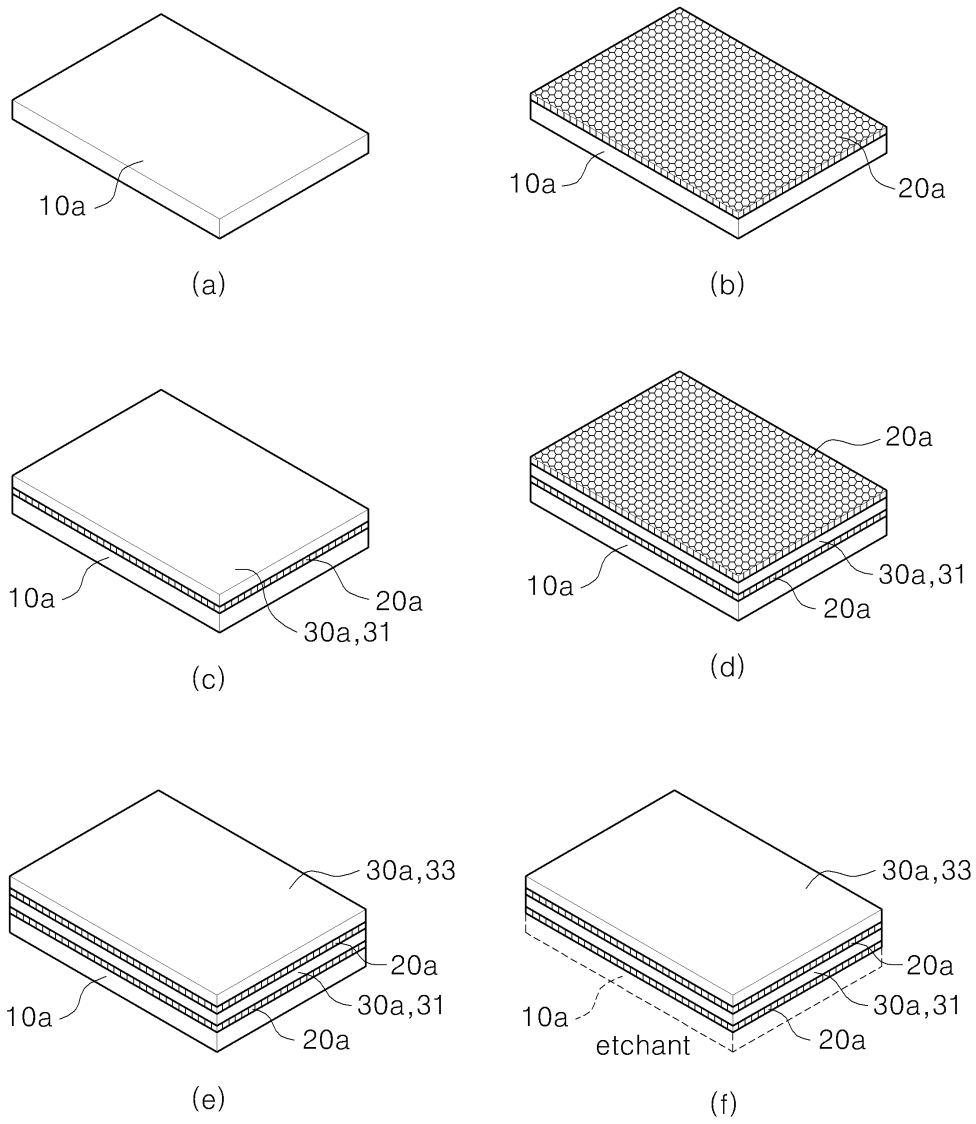


도면9

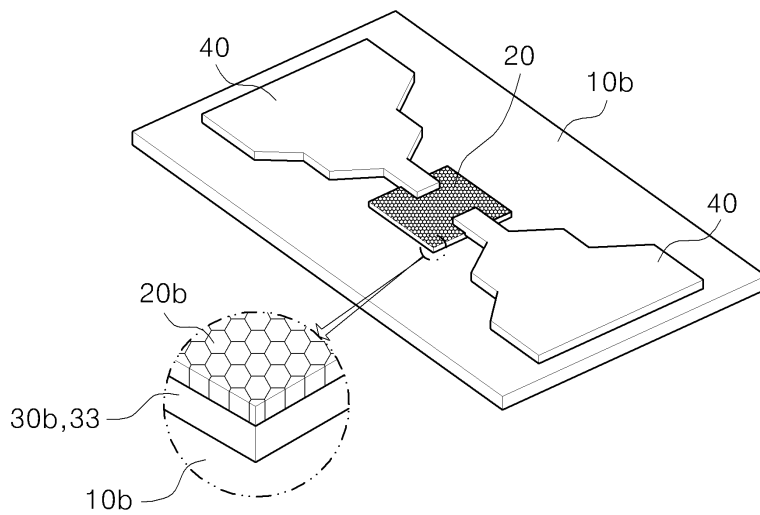




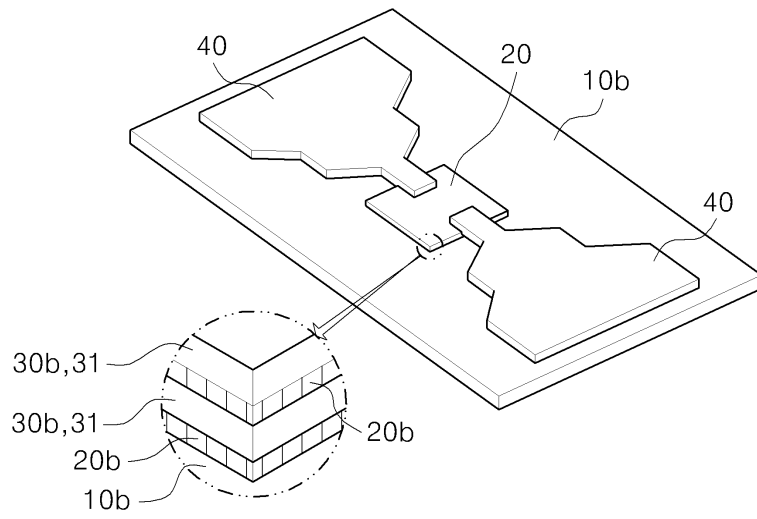
도면10



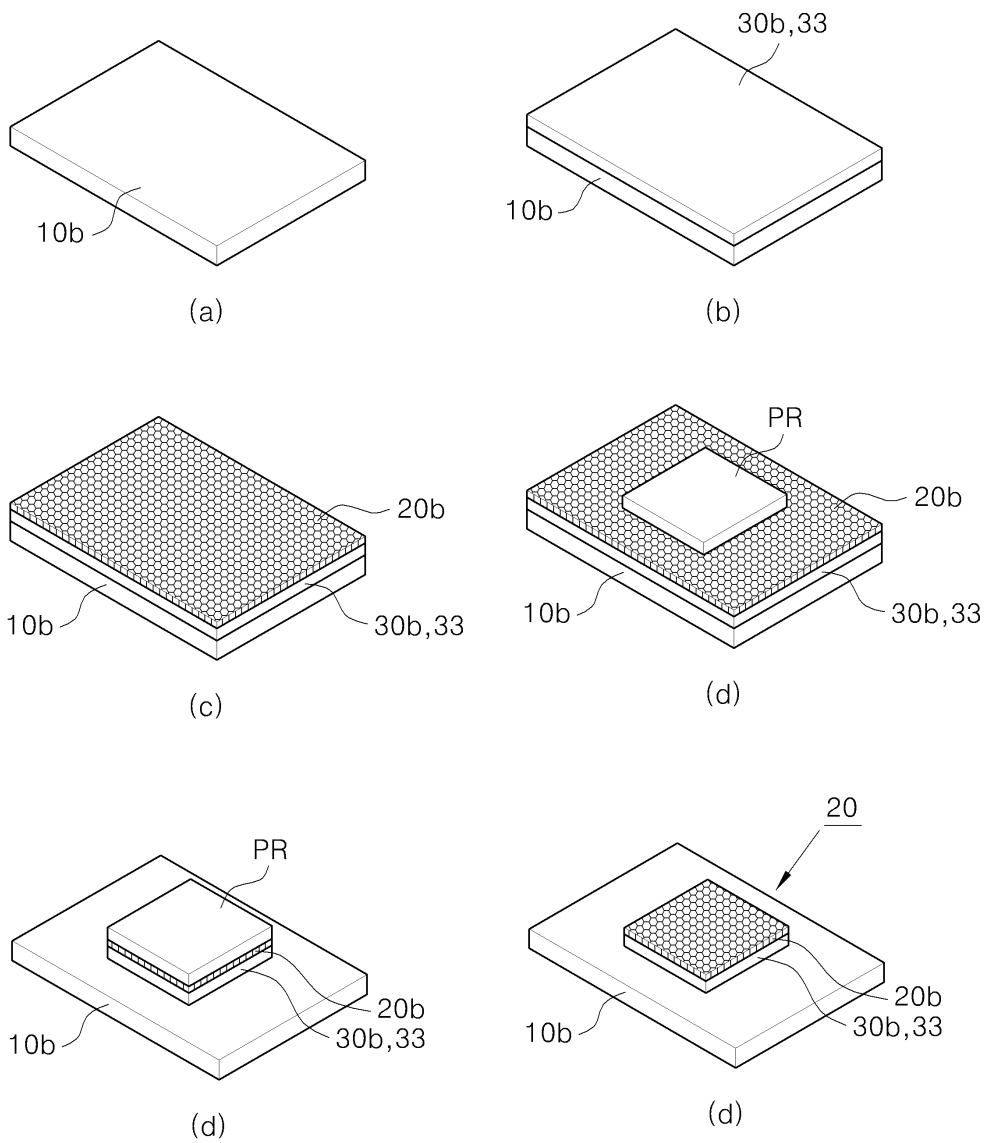
도면11



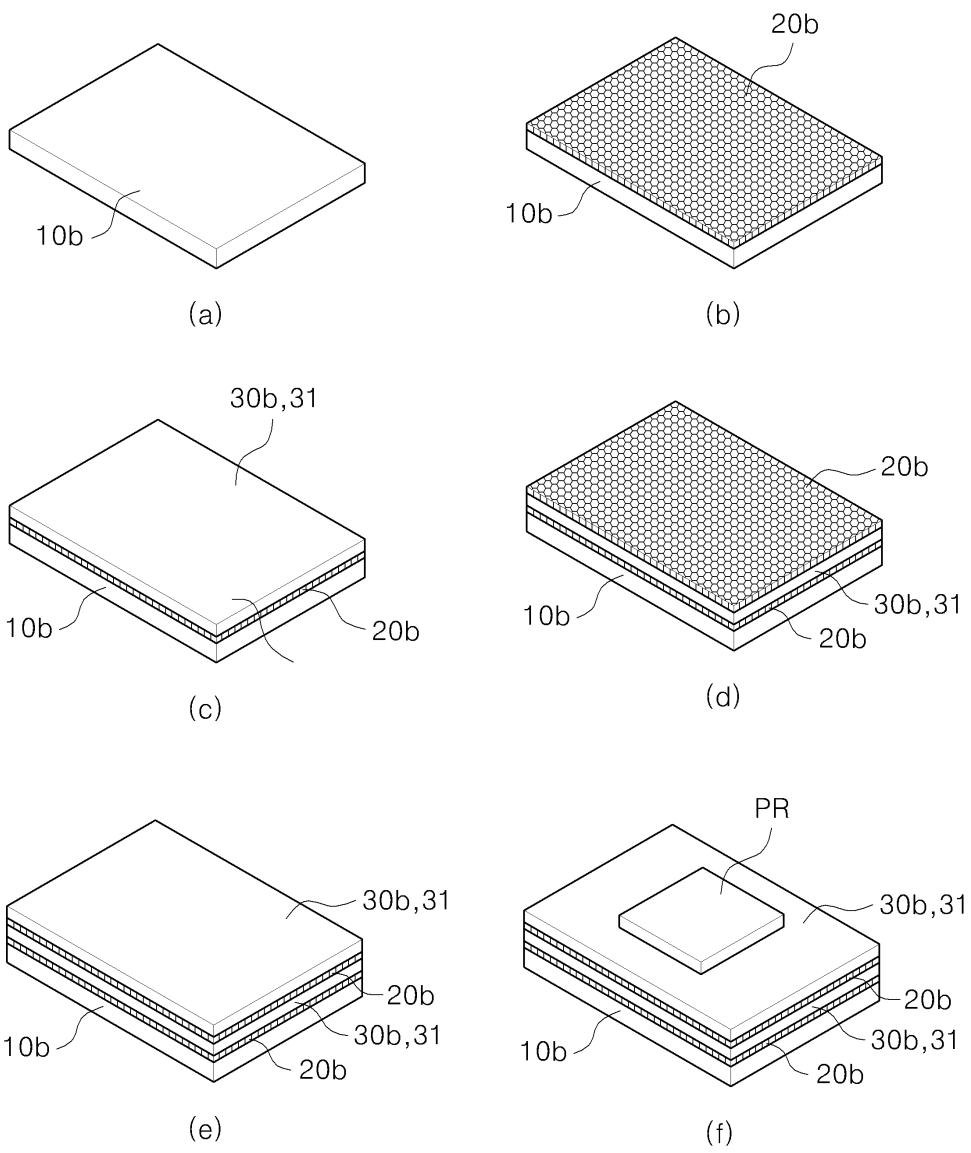
도면12



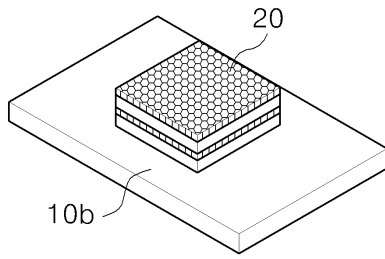
도면13



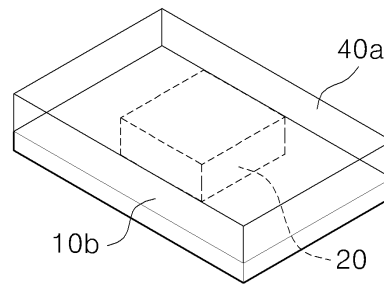
도면14



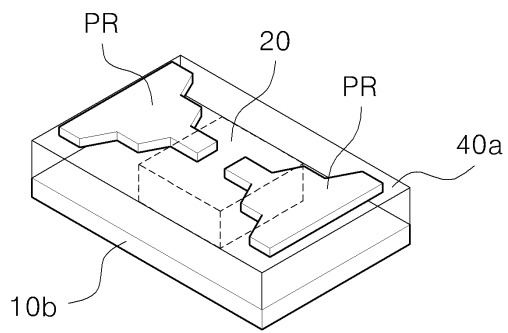
도면15



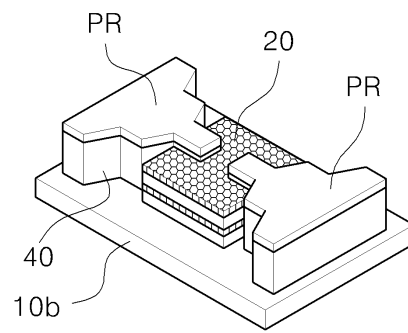
(a)



(b)



(c)



(d)