



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0116913
(43) 공개일자 2017년10월20일

(51) 국제특허분류(Int. Cl.)
G11C 11/15 (2006.01) G11C 11/16 (2006.01)
H01L 43/08 (2006.01)
(52) CPC특허분류
G11C 11/15 (2013.01)
G11C 11/16 (2013.01)
(21) 출원번호 10-2016-0045186
(22) 출원일자 2016년04월12일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
홍종일
서울특별시 서대문구 연세로 50, 연세대학교 제2
공학관 신소재학과사무실(신촌동)
배태진
서울특별시 서대문구 홍제천로 70(연희동)
윤성준
경기도 구리시 건원대로 92, 103동 302호(인창동,
주공1단지아파트)
(74) 대리인
김권석

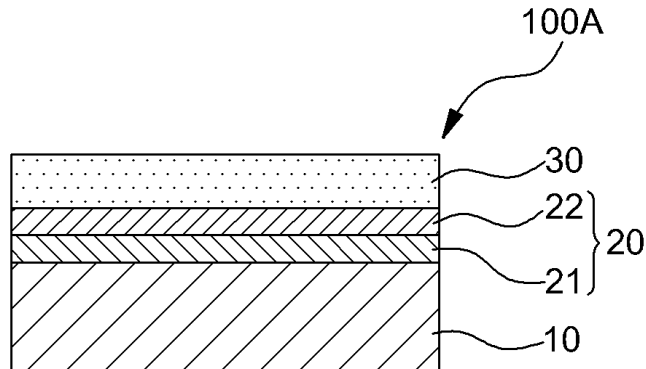
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 다층 자성 박막 스택 및 이를 포함하는 데이터 저장 장치

(57) 요약

본 발명은 다층 자기 박막 스택, 자기 터널링 접합 및 데이터 저장 장치에 관한 것이다. 본 발명의 일 실시예에 따른 다층 자기 박막 스택은 철(Fe)와 팔라듐(Pd)의 합금을 포함하는 FePd 합금층; 상기 합금층 상의 MgO의 터널링 장벽층; 및 상기 합금층과 상기 터널링 장벽층 사이의 호이슬러 합금층을 포함하며, 상기 FePd 합금층과 상기 호이슬러 합금층은 하이브리드 자성층을 형성하는 다층 자기 박막 스택을 제공한다.

대표도 - 도1a



(52) CPC특허분류

G11C 11/161 (2013.01)

H01L 27/228 (2013.01)

H01L 43/08 (2013.01)

명세서

청구범위

청구항 1

철(Fe)와 팔라듐(Pd)의 합금을 포함하는 FePd 합금층;

상기 합금층 상의 MgO의 터널링 장벽층; 및

상기 FePd 합금층과 상기 터널링 장벽층 사이의 호이슬러 합금층을 포함하는 다층 자기 박막 스택.

청구항 2

제 1 항에 있어서,

상기 FePd 합금층의 우선 배향 결정축과 상기 호이슬러 합금층의 우선 배향 결정축은 45° 의 각도 차이를 갖는 다층 자기 박막 스택.

청구항 3

제 1 항에 있어서,

상기 호이슬러 합금층은, 코발트(Co)를 기본으로 하는 Co_2YZ (Y는 전이 금속이며, Z는 전형 원소임)의 화학식을 갖는 합금을 포함하는 다층 자기 박막 스택.

청구항 4

제 3 항에 있어서,

상기 전이 금속 Y는, 망간(Mn), 철(Fe) 및 크롬(Cr) 중 적어도 어느 하나를 포함하고, 상기 전형 원소 Z는, 실리콘(Si), 알루미늄(Al) 및 저머늄(Ge) 중 적어도 어느 하나를 포함하는 다층 자기 박막 스택.

청구항 5

제 1 항에 있어서,

상기 호이슬러 합금층은 Co_2MnSi 를 포함하는 다층 자기 박막 스택.

청구항 6

제 1 항에 있어서,

상기 호이슬러 합금층은 상기 FePd 합금층과의 격자 불일치도가 4 % 이하인 다층 자기 박막 스택.

청구항 7

제 1 항에 있어서,

상기 FePd 합금층은 $L1_0$ 구조를 갖는 다층 자기 박막 스택.

청구항 8

제 1 항에 있어서,

상기 호이슬러 합금층은 $B2$ 또는 $L2_1$ 구조를 갖는 다층 자기 박막 스택.

청구항 9

제 1 항에 있어서,

상기 FePd 합금층의 두께는 3 nm 내지 10 nm의 범위 내인 다층 자기 박막 스택.

청구항 10

제 9 항에 있어서,

상기 호이슬러 합금층의 두께는 0.5 nm 이상 1.5 nm 미만의 범위 내인 다층 자기 박막 스택.

청구항 11

제 1 항에 있어서,

상기 호이슬러 합금층과 접하는 상기 FePd 합금층의 일면과 반대되는 타면 상에 기판이 제공되는 다층 자기 박막 스택.

청구항 12

제 11 항에 있어서,

상기 기판은 밀러 지수 (001)의 텍스처 또는 (001) 우선 배향면을 갖는 단결정질 또는 다결정질의 재료를 포함하는 다층 자기 박막 스택.

청구항 13

제 12 항에 있어서,

상기 기판은 MgO (001)의 기저 박막을 포함하는 다층 자기 박막 스택.

청구항 14

터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상의 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상의 자기 자유층을 포함하는 자기 터널링 접합으로서,

상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는,

수직 자화 용이 축을 갖는 $L1_0$ 구조의 철(Fe)와 팔라듐(Pd)의 FePd 합금층; 및 상기 FePd 합금층과 상기 터널링 장벽층 사이에 배치되는 호이슬러 합금층을 포함하는 하이브리드 자성층을 포함하는 자기 터널링 접합.

청구항 15

제 14 항에 있어서,

상기 터널링 장벽층은, Al_2O_3 , MgO, TiO_2 , AlN, RuO, SrO, SiN, CaO_x , HfO_2 , Ta_2O_5 , ZrO_2 , SiC, SiO_2 , SiO_xN_y , 또는 이들 중 2 이상의 적층 박막을 포함하는 자기 터널링 접합.

청구항 16

제 14 항에 있어서,

상기 자기 고정층 또는 자기 자유층은 하이브리드 자성층과 자기적 결합이 가능한 반강자성층을 포함하는 자기 터널링 접합.

청구항 17

제 14 항에 있어서,

상기 FePd 합금층의 우선 배향 결정축과 상기 호이슬러 합금층의 우선 배향 결정축은 45° 의 각도 차이를 갖는 자기 터널링 접합.

청구항 18

제 14 항에 있어서,

상기 호이슬러 합금층은, 코발트(Co)를 기본으로 하는 Co_2YZ (Y는 전이 금속이며, Z는 전형 원소임)의 화학식을 갖는 합금을 포함하는 자기 터널링 접합.

청구항 19

제 18 항에 있어서,

상기 전이 금속 Y는, 망간(Mn), 철(Fe) 및 크롬(Cr) 중 적어도 어느 하나를 포함하고, 상기 전형 원소 Z는, 실리콘(Si), 알루미늄(Al) 및 저머늄(Ge) 중 적어도 어느 하나를 포함하는 자기 터널링 접합.

청구항 20

제 14 항에 있어서,

상기 호이슬러 합금층은 Co_2MnSi 를 포함하는 자기 터널링 접합.

청구항 21

제 14 항에 있어서,

상기 호이슬러 합금층은 상기 FePd 합금층과의 격자 불일치도가 4 % 이하인 자기 터널링 접합.

청구항 22

제 14 항에 있어서,

상기 호이슬러 합금층은 $B2$ 또는 $L2_1$ 구조를 갖는 자기 터널링 접합.

청구항 23

제 14 항에 있어서,

상기 FePd 합금층의 두께는 3 nm 내지 10 nm의 범위 내인 다층 자기 터널링 접합.

청구항 24

제 23 항에 있어서,

상기 호이슬러 합금층의 두께는 0.5 이상 1.5 nm 미만의 범위 내인 자기 터널링 접합.

청구항 25

제 14 항에 있어서,

상기 호이슬러 합금층과 접하는 상기 FePd 합금층의 일면과 반대되는 타면 상에 기판이 제공되는 자기 터널링 접합.

청구항 26

제 25 항에 있어서,

상기 기판은 밀러 지수 (001)의 텍스처 또는 (001) 우선 배향면을 갖는 단결정질 또는 다결정질의 재료를 포함하는 자기 터널링 접합.

청구항 27

제 25 항에 있어서,

상기 기판은 MgO (001)의 기저 박막을 포함하는 자기 터널링 접합.

청구항 28

정보 저장 요소로서 제 14항 기재의 자기 터널링 접합을 포함하는 메모리 셀을 포함하는 데이터 저장 장치.

발명의 설명

기술 분야

[0001] 본 발명은 자성 구조체에 관한 것으로서, 더욱 상세하게는, 다층 자성 박막 스택 및 이를 포함하는 데이터 저장 장치에 관한 것이다.

배경 기술

[0002] 자기 랜덤 액세스 메모리 (magnetic RAM 또는 MRAM)는 나노 자성체 특유의 스핀 의존 전도 현상에 기초한 거대 자기저항 효과 또는 터널링 자기저항 효과를 이용하는 비휘발성 자기 메모리 소자이다. 상기 MRAM은 다른 비휘발성 메모리 소자인 상변화 메모리 (PcRAM) 또는 저항성 메모리 (ReRAM)에 비하여 속도가 빠르고 반복 사용에 따른 내구성이 우수하여 차세대 메모리로서 최근 주목을 받고 있다.

[0003] 상기 MRAM 소자의 실현을 위하여, 가장 활발히 연구되는 스핀 트랜스퍼 토크 자기 랜덤 액세스 메모리 (STT-MRAM)는 고속 동작과 우수한 전력 효율을 갖고, 고집적화가 가능하기 때문에 유력한 차세대 메모리로서 언급된다. 상기 STT-MRAM은 2개의 자성 박막 사이에 한 개의 터널링 장벽층을 삽입한 구조를 갖는 자기 터널링 접합 (magnetic tunnel junction; MTJ) 구조를 갖는다. 상기 MTJ 구조에 있어서, 수직 자기 이방성(perpendicular magnetic anisotropy; 또는 PMA라 함)은 수평 자기 이방성 (in-plane magnetic anisotropy)에 비하여 자화 반전을 위한 낮은 스위칭 전류 밀도와 높은 열적 안정성을 가질 뿐만 아니라 스케일 측면에서도 이점을 갖는다.

[0004] 상기 PMA는 하나 이상의 자성층의 고유 결정자기 이방성 (intrinsic magnetocrystalline anisotropy)을 통해 얻어질 수 있다. 따라서, MRAM 소자의 실현을 위해서는 신뢰성 있는 고유 결정자기 이방성을 갖는 물질에 대한 연구가 수반된다. 일반적으로 상기 고유 결정자기 이방성을 갖는 결정 구조의 자성 박막을 얻기 위해서는 500 °C 이상의 높은 제조 온도가 요구되어 메모리 소자의 제조시 열적 부담이 큰 문제점이 있다. 또한, 상기 고유 결정자기 이방성과 함께 실제 메모리 적용을 위해서는 높은 터널링 자기 저항(Tunneling Magneto Resistance; TMR) 효과를 얻어야 하며, 이를 위해 상기 고유 결정자기 이방성 물질은 높은 스핀 분극률을 가질 필요가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 낮은 제조 온도를 가지면서 수직 자기 이방성과 스핀 분극률을 동시에 향상시킬 수 있는 자성층을 포함하는 다층 자기 박막 스택을 제공하는 것이다.

[0006] 또한, 본 발명이 해결하고자 하는 다른 과제는 전술한 이점을 갖는 다층 자기 박막 스택을 이용한 데이터 저장 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 다층 자기 박막 스택은, 철(Fe)와 팔라듐(Pd)의 합금을 포함하는 FePd 합금층; 상기 합금층 상의 MgO의 터널링 장벽층; 및 상기 FePd 합금층과 상기 터널링 장벽층 사이의 호이슬러 합금층을 포함할 수 있다. 일 실시예에서, 상기 FePd 합금층의 우선 배향 결정축과 상기 호이슬러 합금층의 우선 배향 결정축은 45°의 각도 차이를 가질 수 있다.

[0009] 상기 호이슬러 합금층은, 코발트(Co)를 기본으로 하는 Co₂YZ (Y는 전이 금속이며, Z는 전형 원소임)의 화학식을 갖는 합금을 포함할 수 있다. 일 실시예에서, 상기 전이 금속 Y는, 망간(Mn), 철(Fe) 및 크롬(Cr) 중 적어도 어느 하나를 포함하고, 상기 전형 원소 Z는, 실리콘(Si), 알루미늄(Al) 및 저머늄(Ge) 중 적어도 어느 하나를 포함할 수 있다.

[0010] 상기 호이슬러 합금층은 Co₂MnSi를 포함할 수 있다. 상기 호이슬러 합금층은 상기 FePd 합금층과의 격자 불일치도가 4 % 이하일 수 있다. 상기 FePd 합금층은 L1₀ 구조를 가질 수 있다. 일부 실시예에서, 상기 호이슬러 합금층은 B2 또는 L2₁ 구조를 가질 수도 있다.

- [0011] 상기 FePd 합금층의 두께는 3 nm 내지 10 nm의 범위 내일 수 있다. 또한, 상기 호이슬러 합금층의 두께는 0.5 nm 이상 1.5 nm 미만의 범위 내일 수 있다.
- [0012] 상기 호이슬러 합금층과 접하는 상기 FePd 합금층의 일면과 반대되는 타면 상에 기판이 제공될 수 있다. 상기 기판은 밀러 지수 (001)의 텍스처 또는 (001) 우선 배향면을 갖는 단결정질 또는 다결정질의 재료를 포함할 수 있다. 일 실시예에서, 상기 기판은 MgO (001)의 기저 박막을 포함할 수도 있다.
- [0013] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 자기 터널링 접합은, 터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상의 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상의 자기 자유층을 포함할 수 있다. 이 경우, 상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는, 수직 자화 용이축을 갖는 $L1_0$ 구조의 철(Fe)와 팔라듐(Pd)의 FePd 합금층; 및 상기 FePd 합금층과 상기 터널링 장벽층 사이에 배치되는 호이슬러 합금층을 포함하는 하이브리드 자성층을 포함할 수 있다.
- [0014] 상기 터널링 장벽층은, Al_2O_3 , MgO, TiO_2 , AlN, RuO, SrO, SiN, CaO_x , HfO_2 , Ta_2O_5 , ZrO_2 , SiC, SiO_2 , SiO_xN_y , 또는 이들 중 2 이상의 적층 박막을 포함할 수 있다. 상기 자기 고정층 또는 자기 자유층은 하이브리드 자성층과 자기적 결합이 가능한 반강자성층을 포함할 수도 있다.
- [0015] 상기 FePd 합금층의 우선 배향 결정축과 상기 호이슬러 합금층의 우선 배향 결정축은 45° 의 각도 차이를 가질 수 있다. 상기 호이슬러 합금층은, 코발트(Co)를 기본으로 하는 Co_2YZ (Y는 전이 금속이며, Z는 전형 원소임)의 화학식을 갖는 합금을 포함할 수도 있다. 상기 전이 금속 Y는, 망간(Mn), 철(Fe) 및 크롬(Cr) 중 적어도 어느 하나를 포함하고, 상기 전형 원소 Z는, 실리콘(Si), 알루미늄(Al) 및 저머늄(Ge) 중 적어도 어느 하나를 포함할 수 있다.
- [0016] 상기 호이슬러 합금층은 Co_2MnSi 를 포함할 수 있다. 또한, 상기 호이슬러 합금층은 상기 FePd 합금층과의 격자 불일치도가 4 % 이하일 수 있다.
- [0017] 일 실시예에서, 상기 호이슬러 합금층은 $B2$ 또는 $L2_1$ 구조를 가질 수 있다. 일 실시예에서, 상기 FePd 합금층의 두께는 3 nm 내지 10 nm의 범위 내일 수 있다. 상기 호이슬러 합금층의 두께는 0.5 이상 1.5 nm 미만의 범위 내일 수 있다.
- [0018] 일 실시예에서, 상기 호이슬러 합금층과 접하는 상기 FePd 합금층의 일면과 반대되는 타면 상에 기판이 제공될 수도 있다. 상기 기판은 밀러 지수 (001)의 텍스처 또는 (001) 우선 배향면을 갖는 단결정질 또는 다결정질의 재료를 포함할 수 있다. 상기 기판은 MgO (001)의 기저 박막을 포함할 수 있다.
- [0019] 또한, 상기 또 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 데이터 저장 장치는, 정보 저장 요소로서 전술한 자기 터널링 접합을 포함하는 메모리 셀을 포함한다.

발명의 효과

- [0020] 본 발명의 실시예에 따르면, FePd 합금층과 터널링 장벽층 사이에 호이슬러 합금층을 삽입함으로써, FePd 합금층의 결정 구조가 낮은 온도에서 안정적으로 $L1_0$ 구조를 갖도록 유도하고, 상기 호이슬러 합금층과 상기 터널링 장벽층 사이에서 상기 FePd 합금층의 스핀 분극률이 향상되고 높은 수직 자기 이방성을 통해, 수직 터널 자기 접합에서 높은 터널링 자기 저항을 확보할 수 있는 다층 박막 스택이 제공될 수 있다.
- [0021] 또한, 본 발명의 다른 실시예에 따르면, 전술한 이점을 갖는 다층 자기 박막 스택을 포함하는 데이터 저장 장치가 제공될 수 있다.

도면의 간단한 설명

- [0023] 도 1a 및 1b는 본 발명의 다양한 실시예들에 따른 다층 자기 박막 스택들을 도시하는 단면도이다.
- 도 2a 및 도 2b는 각각 본 발명의 일 실시예에 따른 수직 자화형 (magnetization perpendicular to the plane; MPP) 자기 터널링 접합을 포함하는 비휘발성 메모리 소자의 메모리 셀의 단면도들이다.
- 도 3a 내지 도 3c는 본 발명의 다양한 실시예에 따른 자기 터널링 접합을 예시한다.

도 4는 본 발명의 일 실시예에 따른 하이브리드 자성층을 포함하는 다층 자기 박막 스택을 도시하는 단면도이다.

도 5a 내지 도 5d는 도 4의 자기 박막 스택들의 자기적 특성을 나타내는 그래프들이다.

도 6은 본 발명의 일 실시예에 따른 FePd 합금층과 호이슬러 합금층을 포함하는 하이브리드 자성층에 대한 면외(out-of-plane) X선 회절 분석 결과를 나타내는 그래프이다.

도 7은 본 발명의 일 실시예에 따른 하이브리드 자성층에 대한 면내(in-plane) X선 회절 분석 결과를 나타내는 그래프이다.

도 8a 내지 도 8d는 상기 하이브리드 자성층의 성막 메커니즘을 설명하기 위한 결정 구조의 모식도들이다.

도 9는 본 발명의 일 실시예에 따른 메모리 시스템을 도시하는 블록도이다.

도 10은 본 발명의 일 실시예에 따른 고상 디스크를 포함하는 정보 저장 장치를 도시하는 블록도이다.

도 11은 본 발명의 다른 실시예에 따른 메모리 시스템을 도시하는 블록도이다.

도 12는 본 발명의 다른 실시예에 따른 데이터 저장 장치를 도시하는 블록도이다.

도 13은 본 발명의 일 실시예에 따른 자기 메모리 소자 및 이를 포함하는 컴퓨팅 시스템을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0025] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0026] 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0027] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다 (comprise)" 및/또는 "포함하는 (comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 단계, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0028] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역 또는 부분을 다른 영역 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역 또는 부분을 지칭할 수 있다.
- [0029] 또한, 어떤 층이 다른 층 "상에" 형성 또는 배치되어 있다고 하는 경우에, 이들 층들 사이에 중간층이 형성되거나 배치될 수 있다. 이와 유사하게, 어떤 재료가 다른 재료에 인접한다고 하는 경우에도 이들 재료들 사이에 중간 재료가 있을 수 있다. 반대로, 층 또는 재료가 다른 층 또는 재료 상에 "바로" 또는 "직접" 형성되거나 배치된다 라고 하는 경우 또는 다른 층 또는 재료에 "바로" 또는 "직접" 인접 또는 접촉된다고 하는 경우에는, 이들 재료 또는 층들 사이에 중간 재료 또는 층이 없다는 것을 이해하여야 한다.
- [0030] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다.
- [0031] 본 명세서에서, "기판"이라는 용어는 실리콘, 실리콘-온-절연체 (SOI) 또는 실리콘-온-사파이어 (SOS)와 같은

벌크형 기저 구조체에 한정되지 않으며, 반도체 층, 도핑되거나 도핑되지 않은 반도체층 및 변형된 반도체 층 또는 비반도체층도 지칭할 수 있다. 또한, 상기 반도체란 용어는 실리콘계 재료에 한정되지 않으며, 탄소, 폴리머, 또는 실리콘-게르마늄, 게르마늄 및 갈륨-비소계 화합물 재료와 같은 III-V족 반도체 재료, II-VI족 반도체 재료 또는 혼합 반도체 재료를 집합적으로 지칭한다. 상기 비반도체란 용어는 절연성 세라믹 재료, 금속 재료 또는 폴리머 재료를 지칭할 수 있으며, 이에 한정되지 않는다.

[0033] 도 1a 및 1b는 본 발명의 다양한 실시예들에 따른 다층 자기 박막 스택(100A, 100B)을 도시하는 단면도이다.

[0034] 도 1a를 참조하면, 다층 자기 박막 스택(100A)은, 기판(10) 상에 형성된 철(Fe)와 팔라듐(Pd)의 합금을 포함하는 FePd 합금층(21) 및 FePd 합금층(21) 상의 호이스러 합금층(Heusler alloy, 22)을 갖는 하이브리드 자성층을 포함한다. 기판(10) 상에는, 도시하지는 않았지만, 전극 또는 배선과 같은 도전성 패턴이 형성될 수 있으며, 상기 도전성 패턴 상에 FePd 합금층(21) 및 호이스러 합금층(Heusler alloy, 22)이 순차대로 형성될 수 있다.

[0035] FePd 합금층(21)은 후술하는 열처리를 통하여 $L1_0$ 구조의 결정 구조를 가질 수 있으며, 이 경우, FePd 합금층(21)은 FePd 합금층(21)의 수직 방향인 [001] 방향으로 수직 자기 이방성을 갖게 된다. 상기 $L1_0$ 구조의 FePd 합금층(21)은 면심 입방 구조(face centered cubic, FCC)의 FePd 합금과는 이성질체의 관계에 있다. 상기 FCC 구조의 FePd 합금은 $L1_0$ 구조의 FePd 합금에 비하여 용이하게 형성되며, 수평 자기 이방성을 갖는 자성체이다.

[0036] $L1_0$ 구조의 FePd 합금층(21) 자체는 큰 자기 이방성 에너지를 갖는 수직 자기 이방성 물질이라 하더라도, 약 42 %의 낮은 스핀 분극률 때문에 단독으로 소자 적용시에는 약점을 갖는다. 반대로, 호이스러 합금층(22) 자체는 이론적으로 100 %의 스핀 분극률을 갖는 반금속 물질이지만 수평 자기 이방성을 가지며, 상대적으로 작은 자기 이방성 에너지를 갖는다. 그러나, 본 발명의 실시예에 따른 하이브리드 합금층에서는, 호이스러 합금층(22)의 높은 스핀 분극률이 하지의 FePd 합금층(21)의 낮은 스핀 분극률을 향상시킬 수 있는 강화층으로 기능하도록 하고, 큰 자기 이방성 에너지를 갖는 FePd 합금층(21)에 의해 상기 하이브리드 합금층의 자기 이방성 에너지가 유지 또는 향상됨으로써, 자기 이방성 에너지와 스핀 분극률이 동시에 향상된 자성 박막 스택이 제공될 수 있다. 또한, 호이스러 합금층(22)은 하지의 FCC 구조로 용이하게 성장하는 FePd 합금층(21)이 수직 자기 이방성을 갖는 $L1_0$ 구조로의 상변화를 유도하여 결정학적으로도 하지의 FePd 합금층에 영향을 미친다. 이에 관하여는, 더욱 상세히 후술될 것이다.

[0037] 호이스러 합금층(22)이 FePd 합금층(21)의 $L1_0$ 구조로의 상변화를 위한 결정학적 영향을 주기 위해, 호이스러 합금층(22)의 격자 상수를 조절할 필요가 있으며, 이는 호이스러 합금층(22)의 고용비의 조절을 통해 가능하다. 이러한 재료로서, 호이스러 합금층(22)은 코발트(Co)를 기본으로 하는 Co_2YZ (Y는 전이 금속이며, Z는 전형 원소임)의 화학식을 갖는 합금이 될 수 있다. 전이 금속 Y는, 예를 들면, 망간(Mn), 철(Fe), 및 크롬(Cr) 중 적어도 어느 하나 일 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 전형 원소 Z는, 예를 들면, 실리콘(Si), 알루미늄(Al), 및 저머늄(Ge) 중 적어도 어느 하나 일 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 상기 호이스러 합금층(22)은 $B2$ 또는 $L2_1$ 상을 가질 때 높은 수직분극율을 가질 수 있다. 예를 들면, 호이스러 합금층(22)은 Co_2MnSi 일 수 있다.

[0038] 일 실시예에서, FePd 합금층(21)의 두께는 3 nm 내지 10 nm의 범위 내일 수 있다. FePd 합금층(21)의 두께가 3 nm 미만에서는 연속적인 자기층의 형성이 어려우며, 10 nm를 초과하는 경우에는 $L1_0$ 상이 형성되더라도 강한 수직 자기 이방성을 유도하기 어렵다. 호이스러 합금층(22)의 두께는 이에 접하는 FePd 합금층의 두께에 의존하며 하기의 수학식 1을 통하여 결정될 수 있다.

[0039] [수학식 1]

$$E = K_u^{FePd} \times V_{FePd} - 2\pi M_{FePd}^2 \times V_{FePd} - 2\pi M_{Heusler}^2 \times V_{Heusler}$$

[0041] 여기서, E 는 자기 이방성 에너지이고, K_u^{FePd} 는 FePd 합금층의 자기 이방성 상수이며, V_{FePd} 와 $V_{Heusler}$ 는 각각 FePd 합금층과 호이스러 합금층의 부피를 나타낸다. M_{FePd} 와 $M_{Heusler}$ 는 각각 FePd 합금층과 호이스러 합금층의 포

화 자화 (saturation magnetization) 값을 나타낸다. 수식식 1을 기초로, 자기 이방성 에너지가 양수를 가지는 범위에서 호이슬러 합금층의 두께를 선택할 수 있다.

[0042] 일 실시예에서, FePd 합금층의 두께가 3 nm인 경우 수직자기이방성을 가지기 위한 호이슬러 합금층의 두께는 0.5 nm 내지 1.5 nm의 범위이다. 호이슬러 합금층(22)의 두께가 0.5 nm 미만인 경우 FePd 합금층(21)과 안정적인 계면을 형성하기 어려워 FePd 합금층(21)의 $L1_0$ 구조로의 상변화를 유도하기 어려우며, 두께가 1.5 nm를 초과하는 경우에는 호이슬러 합금층(22)의 수평 자기 이방성에 의해 하이브리드 자성층(20) 전체의 수직 자기 이방성이 열화되면서 수평 자기 이방성을 나타내게 된다. 바람직하게는, 호이슬러 합금층(22)의 두께는 0.5 nm 내지 1 nm의 범위 내일 수 있으며, 이 범위 내에서, 수직자기이방성을 가지면서 자기 이방성 상수(uniaxial magnetic anisotropy constant, K_u)가 약 5×10^6 erg/cm³의 최대값을 갖는다.

[0043] 일부 실시예에서, 호이슬러 합금층(22)은 FePd 합금층(21)과 격자 불일치도가 4 % 이하가 되도록 조성비가 결정될 수 있다. 이 경우, 서로 에피택셜 성장이 가능한 FePd 합금층(22)의 우선 배향 결정축과 호이슬러 합금층(22)의 우선 배향 결정축은 45°의 만큼의 각도 차이를 갖도록 배향될 수 있다.

[0044] 일부 실시예에서, FePd 합금층(21)이 형성되는 기판(10) 상에는, 도 1b에 도시된 것과 같이, 밀러 지수 (001)의 텍스처 또는 (001) 우선 배향면을 갖는 단결정질 또는 다결정질의 기저 박막(15)이 형성될 수 있다. 예를 들면, 기저 박막(15)은 MgO (001), Cr (001), Pd (001), InP (001), Ge (001), Si (001) 또는 Gd₂O₃ (001) (여기서, 기저 박막(15)의 재료는 재료 화합물 명칭 (001)으로 표현됨)을 포함할 수 있다. 철(Fe)은 다층 자기 박막 스택에 새로운 자성 특성을 초래할 수 있으므로, 바람직하지 않을 수 있다.

[0045] 기저 박막(15)에 의해 FePd 합금층(21) 하지의 표면의 거칠기가 감소되고, 기저 박막(15)이 (001)의 텍스처를 가짐으로써 FePd 합금층(21) 상부의 호이슬러 합금층(22)에 의해 FePd 합금층(21)이 $L1_0$ 구조로의 상변화가 더 쉽게 촉진될 수 있다. 기저 박막(15)의 두께는 5 nm 이상의 두께를 가질 수 있다. 5 nm 미만에서는, 소정의 텍스처를 갖는 기저 면을 제공하기 어렵고, 기저 박막(15)의 최대 두께는 다층 자기 박막 스택(1000A, 1000B)의 응용에 따라 제한될 수 있다.

[0046] 다른 실시예에서, 밀러 지수 (001)의 기저 박막(15)과 관련하여 전술한 재료들은 예시적이며, 본 발명의 실시예가 이들 예에 한정되는 것은 아니다. 예를 들면, 기저 박막(15)은 $L1_0$ 구조로의 FePd 합금층(21)과 격자 불일치도가 0 초과 10 % 이하의 범위 내인 여하의 재료일 수 있다. 또 다른 실시예에서, 기저 박막(15)은 기판(10) 그 자체에 의해 제공될 수 있다. 예를 들면, 기판(10)이 밀러 지수 (001)의 텍스처를 갖는 단결정 또는 다결정질의 MgO, Cr, Pd, InP, Ge, Si 또는 Gd₂O₃의 벌크 기판일 수 있다. 또 다른 실시예에서는, 기판 구조로서, MgO (001) 벌크 기판(10) 상에 상기 기저 박막으로서 MgO (001) 박막(15)이 형성된 복합 기판이 사용될 수도 있다.

[0047] 다른 실시예에서, 도 1a 및 도 1b에 도시한 것과 같이, 하이브리드 자성층(20) 상에 추가층(30)이 더 형성될 수 있다. 추가층(30)은, 다른 자성층 또는, 비제한적 예로서, 로듐(Rh), 하프늄(Hf), 팔라듐(Pd), 탄탈륨(Ta), 오스뮴(Os), 게르마늄(Ge), 이리듐(Ir), 금(Au), 및 은(Ag) 중 어느 하나 또는 이들의 합금을 포함하는 비자성층일 수 있다. 또 다른 실시예에서, 추가층(30)은 MgO와 같은 터널링 장벽층일 수 있다. 또는, 추가층(30)은 Ta와 같은 보호층 또는 캐핑층(capping layer)일 수도 있다. 하이브리드 자성층(20)을 단독으로 또는 다른 자성층과 함께 자기 저항 효과에 의한 정보 저장을 위한 자기 기록 요소로서 사용하기 위한 적합한 추가층(30)이 더 형성될 수 있다.

[0048] 하이브리드 자성층(20)은, 비제한적 예로서, 스퍼터링과 같은 물리 기상 증착, 화학기상증착 또는 원자층 증착에 의해 형성될 수 있다. 필요에 따라, 하이브리드 자성층(20)은 증착 그대로의 상태에서, 또는 추가층(30)의 형성 후, 약 500 °C 미만, 바람직하게는 약 400 °C의 저온에서 후속 열처리를 통해 FePd 합금층(21)이 $L1_0$ 구조를 갖도록 상변화를 유도할 수 있다. 후속 열처리는 진공 또는 비산화성 분위기에서 수행될 수 있다.

[0050] 도 2a 및 도 2b는 각각 본 발명의 일 실시예에 따른 수직 자화형 (magnetization perpendicular to the plane; MPP) 자기 터널링 접합 (MTJ; 100A, 100B)을 포함하는 비휘발성 메모리 소자의 메모리 셀 (1000A, 1000B)의 단면도들이다.

- [0051] 도 2a를 참조하면, 메모리 셀(1000A)은 정보 저장 부재이며, 비휘발성 자기 메모리 소자들(1000A)의 단위 스토리지 노드를 구성할 수 있다. 메모리 셀(1000A)의 자기 터널링 접합(100A)의 일 단부에는, 메모리 셀의 선택을 위한 선택 소자, 예를 들면, 트랜지스터(TR)가 결합되어, 1TR-1MTJ 메모리 셀이 제공될 수 있다. 트랜지스터(TR)의 게이트는 제 1 배선, 예를 들면, 워드 라인(WL)에 전기적으로 결합될 수 있다. 자기 터널링 접합(100A)의 타 단부는, 예를 들면, 비트 라인(BL)에 연결될 수 있다. 메모리 셀(1000A)은 워드 라인(WL) 및 비트 라인(BL)에 결합되는 적합한 전극(EL1, EL2)을 더 포함할 수 있다. 트랜지스터(TR)는 선택 소자의 비제한적 예이며, 전계효과트랜지스터 또는 바이폴라 트랜지스터일 수 있다. 또는, 상기 선택 소자는, 양자 효과 또는 나노 크기 현상을 이용한 스위칭 소자일 수도 있다.
- [0052] 도 2b를 참조하면, 다른 실시예에서, 메모리 셀 (1000B)을 선택하기 위한 선택 소자는 이에 직렬 결합된 다이오드 (DI)를 포함할 수 있다. 이로써, 1DI-1MTJ 구조의 메모리 셀이 제공될 수 있다. 도 1b에 도시된 다이오드 (DI)는 PN 접합 다이오드를 예시한다. 다른 실시예에서, 다이오드(DI)는, PN 접합 다이오드(DI)와 함께 또는 이를 대체하여, 워드 라인(WL)과 비트 라인(BL)의 전위 차에 따른 셀 선택성을 얻을 수 있는 여하의 다이오드일 수 있으며, 그 극성이 반전된 다이오드, 또는 단방향 스위칭과 같은 구동 방식을 위하여 양방향 정류 특성을 갖는 양방향 다이오드일 수 있다. 또 다른 실시예에서, 상기 다이오드 (DI)는 메모리 소자의 고용량화, 온 전류의 향상, 또는 멀티 비트 구동을 위하여, 쇼트키 장벽 다이오드, 체너 다이오드, 진성 (intrinsic) 반도체층이 결합된 p-i-n (p type semiconductor-intrinsic semiconductor-p type semiconductor) 접합 다이오드, 또는 금속층과의 접합을 통한 p-i-m (p type semiconductor-intrinsic semiconductor-metal) 구조의 다이오드를 포함할 수도 있다.
- [0053] 메모리 셀 선택성을 얻기 위하여, 전술한 트랜지스터 또는 다이오드계 스위칭 소자와 함께 또는 이를 대체하는 오보닉(Ovonic) 스위칭 소자가 적용될 수 있다. 다른 실시예에서는, 자기 터널링 접합(100A) 자체의 셀 선택성 또는 다른 회로 요소에 의해 셀 선택성을 확보함으로써 선택 소자 자체가 생략될 수도 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0054] 도 2a와 도 2b에 도시된 비트 라인(BL)과 워드 라인들(WL)은 서로 다른 방향으로 연장된, 예를 들면 직교하는 다수의 스트라이프 패턴을 가질 수 있으며, 이들 패턴들이 교차하는 격자점마다 자기 터널링 접합(100A, 100B)이 배치되는 셀 어레이를 구성할 수 있다. 일 실시예에서, 메모리 셀들은 $4F^2$ 의 집적도를 만족하는 크로스 포인트 (cross point) 어레이 구조를 가질 수 있다. 이러한 메모리 셀들의 어레이는 2차원 평면 구조에 한정되지 않고, 기판의 수직 방향으로 2 이상의 수평 어레이가 적층되는 3 차원 구조를 갖거나, 기판의 수직 방향으로 신장된 채널층을 형성하여 얻어지는 3 차원 구조를 가질 수도 있다.
- [0055] 메모리 셀을 구성하는 자기 터널링 접합(100A, 100B)은 터널링 장벽층 (110), 자기 고정층(120), 및 자기 자유층(130)을 포함할 수 있다. 자기 고정층(120)과 자기 자유층(130)의 적층 순서는 도 1a 및 도 1b에 도시된 바와 같이, 터널링 장벽층(110)을 사이에 두고 서로 역전될 수 있다. 단방향 화살표(A)는 자기 고정층(120)이 고정 자화를 갖고 있는 것을 나타내며, 양방향 화살표(B)는 자기 자유층(130)이 자기 고정층(120)의 자화 방향에 대하여 평행하게 자화되거나 역평행하게 자화될 수 있음을 나타낸다. 일 실시예에서, 자기 자유층(130)의 자화 방향의 변경은 자기 터널링 접합(100A, 100B)을 따라 흐르는 스핀 토크를 갖는 터널링 전류의 방향을 제어하여 달성될 수 있다.
- [0056] 자기 고정층(120) 및 자기 자유층(130)은 수직 자기 이방성(perpendicular magnetic anisotropy; 또는 PMA라 함)을 갖는다. 도시하지는 않았지만, 자기 자유층(130) 상에 다른 터널링 장벽층과 자기 고정층을 추가적으로 적층하여 자기 자유층(130)을 사이에 두고 2 개의 자기 고정층이 대향 배치된 대칭적인 자기 터널링 접합이 제공될 수도 있다. 이러한 대칭적 자기 터널링 접합은 프로그래밍 및 삭제를 위한 전류의 방향을 단방향으로 할 수 있는 이점이 있다.
- [0058] 도 3a 내지 도 3c는 본 발명의 다양한 실시예에 따른 자기 터널링 접합(200A, 200B, 200C)을 예시한다.
- [0059] 도 3a를 참조하면, 자기 터널링 접합(200A)은, 터널링 장벽층(210), 터널링 장벽층(210)의 제 1 면(210a) 상의 자기 고정층(220), 및 터널링 장벽층 (210)의 제 2 면(210b) 상의 자기 자유층(230)을 포함한다. 터널링 장벽층 (210)은, 예를 들면, Al_2O_3 , MgO, TiO_2 , AlN, RuO, SrO, SiN, CaO_x , HfO_2 , Ta_2O_5 , ZrO_2 , SiC, SiO_2 , SiO_xN_y , 또는 이들 중 2 이상의 적층 박막을 포함할 수 있다. 바람직하게는, 터널링 장벽층(210)은 NaCl 타입의 (001) 우선 배향의 MgO 층, 즉, MgO (001) 층일 수 있다. MgO (001) 층은 단결정 또는 다결정질 일 수 있다. 터널링

장벽층 (210)을 사이에 두고 자기 고정층(220)과 자기 자유층(230)의 적층 순서는 역전될 수도 있다.

[0060] 자기 고정층(220) 및 자기 자유층(230)은 어느 하나는 본 발명의 실시예에 따른 강자성층인 하이브리드 자성층 (도 1의 20 참조)을 포함할 수 있다. 도 3a에서는, 자기 고정층(220)이 전술한 $L1_0$ 구조의 FePd 합금층(221)과 호이슬러 합금층(222)을 포함하는 하이브리드 자성층을 포함한 자기 터널링 접합(200A)이 예시되어 있다. 호이슬러 합금층(222)은 터널링 장벽층(210)과 직접 접촉하여, 터널링 장벽층(210)과 FePd 합금층(222) 사이에서 $L1_0$ 구조의 FePd 합금층(222)이 안정적으로 유지될 수 있도록 한다.

[0061] 일 실시예에서, 자기 고정층(220) 또는 자기 자유층(230)은 하이브리드 자성층(220)과 자기적 결합이 가능한 다른 추가 자성층, 예를 들면, 강자성층 또는, 비제한적 예로서, PtMn, IrMn, MnO, MnS, MnTe, MnF₂, FeCl₂, FeO, CoCl₂, CoO, NiCl₂, NiO 중 어느 하나 또는 2 이상을 포함하는 반강자성층을 포함할 수 있다. 상기 반강자성층의 경우, 자기 고정층(220) 또는 자기 자유층(230)에서, 적합한 합성 페리 자성층 (synthetic ferri-magnetic layer) 또는 합성 반강자성층 (synthetic anti-ferro-magnetic layer)이 구현될 수 있다. 특히, 상기 합성 페리 자성층의 구현은 자기 터널링 접합을 이용한 메모리 소자의 스핀-전달 스위칭의 저전력화 및 초고집적화를 위하여 바람직하다. 참조 번호 223은 합성 페리 자성층을 구현하기 위한 상기 추가 자기층을 도시한다.

[0062] 다른 실시예에서, 하이브리드 자성층(220)의 하지에는 도 1b를 참조하여 전술한 것과 같이, 밀러 지수 (001)의 텍스처 또는 (001) 우선 배향면을 갖는 단결정질 또는 다결정질의 기저 박막(도 1b의 15)이 형성될 수 있다. 예를 들면, 상기 기저 박막은 MgO (001), Cr (001), Pd (001), InP (001), Ge (001), Si (001) 또는 Gd₂O₃ (001)을 포함할 수 있다. 바람직하게는, 상기 기저 박막은, MgO (001) 층일 수 있다. 또 다른 실시예에서, 상기 기저 박막 대신에, 또는 상기 기저 박막과 함께 MgO (001) 기판이 사용될 수도 있다.

[0063] 도 3b를 참조하면, 자기 터널링 접합(200B)은, 터널링 장벽층(210), 터널링 장벽층(210)의 제 1 면(210a) 상의 자기 자유층(230), 및 터널링 장벽층 (210)의 제 2 면(210b) 상의 자기 고정층(220)을 포함한다. 자기 고정층 (220)은 본 발명의 실시예에 따른 강자성층인 하이브리드 자성층(221, 222)을 포함할 수 있다. 자기 고정층 (220)은 전술한 $L1_0$ 구조의 FePd 합금층(221)과 호이슬러 합금층(222)을 포함하는 하이브리드 자성층을 포함할 수 있다. 호이슬러 합금층(222)은 터널링 장벽층(210)과 직접 접촉하여, 터널링 장벽층(210)과 FePd 합금층 (222) 사이에서 버퍼층으로서 작용하여 $L1_0$ 구조의 FePd 합금층(222)이 안정적으로 유지될 수 있도록 하며 터널링 장벽층과의 계면에서 스핀분극율을 향상시킨다.

[0064] 터널링 장벽층 (210)과 관련하여서는, 도 3a의 개시 사항이 참조될 수 있다. 또한, 참조 부호 223으로 도시된 것과 같이, 하이브리드 자성층(220)과 자기적 결합이 가능한 다른 추가 자성층이 더 제공될 수 있다. 상기 추가 자성층은 강자성층 또는 반강자성층일 수 있다. 상기 추가 자성층 상에, 예를 들면, Ta, Pt와 같은 금속 층과 같은 보호층 또는 캐핑층(capping layer)이 형성되거나, 하이브리드 자성층(220) 상에 직접 상기 보호층 또는 캐핑층이 형성될 수도 있다.

[0065] 도 3a 및 도 3b의 실시예에서는 자기 고정층(220)의 일부 또는 전부로서 본 발명의 실시예에 따른 하이브리드 자성층이 적용된 것을 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 도 3a 및 도 3b에서 자기 자유층(230)에만 또는 자기 고정층(220)과 자기 자유층(230)에 모두 상기 하이브리드 자성층이 적용될 수도 있다. 또한, 반평행 층간 교환 결합(antiparallel IEC; AP-IEC)에 의해 합성 페리 자성층을 포함하는 자기 자유층을 구현할 수 있을 것이다. 도 3c는 자기 자유층(230)이 전술한 $L1_0$ 구조의 FePd 합금층(231)과 호이슬러 합금층(232)을 포함하는 하이브리드 자성층을 포함하는 것을 예시한다. 호이슬러 합금층(232)은 터널링 장벽층(210)과 $L1_0$ 구조의 FePd 합금층(231) 사이에 배치되어, $L1_0$ 구조의 FePd 합금층(231)이 안정적으로 유지될 수 있도록 한다. 또한, 도시하지는 않았지만, 자기 자유층(230) 상에 다른 터널링 장벽층과 자기 고정층을 추가적으로 적층하여 자기 자유층을 사이에 두고 2 개의 자기 고정층이 대향 배치된 대칭적인 자기 터널링 접합이 제공될 수도 있다.

[0066] 도 3a 내지 도 3c를 참조하여 설명된 다양한 자기 터널링 접합(200A, 200B, 200C)에서, 상기 하이브리드 자성층의 FePd 합금층(221)의 두께는 3 nm 내지 10 nm의 범위 내일 수 있으며, FePd 합금층(221)의 상기 두께 범위에 따른 호이슬러 합금층(222)의 두께는 0.2 내지 5 nm 범위 내이고, 이때 수직자기 이방성이 구현될 수 있다.

[0067] 전술한 하이브리드 자성층이 적용된 자기 고정층(220) 및 자기 자유층(230)은 수직 자기 이방성(perpendicular magnetic anisotropy; 또는 PMA라 함)을 갖는다. 이하에서는, 본 발명의 실시예에 따른 하이브리드 자성층의

자기적 및 결정학적 특성에 대해 개시하도록 한다.

[0069] 실험예

[0070] 본 발명의 실시예에 따른 FePd 자성층 및 호이슬러 합금층 기반의 하이브리드 자성층(20)의 자기적 및 결정학적 특성을 확인하기 위하여, 기판(10) 상에 FePd 합금층(21)과 호이슬러 합금층(22)을 포함하는 도 4에 도시된 것과 같은 자기 박막 스택(2000)을 형성하였다. 기판(10)은 MgO (001) 벌크 기판이며, 기판(10) 표면의 거칠기를 감소시키기 위해 기저 박막(15)을 형성하였다. 기저 박막(15)은 5 nm 두께 이상의 범위인 약 8nm 두께를 갖는 MgO 박막이며, 3×10^{-9} Torr 이하의 기저 압력(base pressure)의 초고진공 상태에서 MgO 타겟을 이용하여 Ar 분위기에서 스퍼터링에 의해 형성되었다. 그러나, 전술한 스퍼터링 방법은 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 전자빔 증발법과 같은 다른 물리기상증착 또는 적합한 전구체를 이용한 화학기상증착법, 또는 원자층 증착법에 의해 하이브리드 자성층(20)이 형성될 수도 있다.

[0071] 이후, MgO 기저 박막 (15) 상에 하이브리드 자성층(20)을 형성하였다. FePd 합금층(21)은 Fe와 Pd의 조성비가 1:1 원자%인 합금이며, 초고진공 스퍼터링에 의해 형성되었다. FePd 합금층(21)은 3 nm 내지 10 nm의 범위 내에서 선택된 약 3 nm의 두께를 갖는다. 호이슬러 합금층(22)은 상평형도(phase diagram) 상에서 Co_2MnSi 이 형성될 수 있는 Co, Mn, Si의 조성 범위를 가질 수 있다. 호이슬러 합금층(22)은 0 ~ 1.5 nm의 두께 범위 내에서 선택된 두께를 갖는 복수의 자기 박막 스택들의 샘플을 제조하였다. 하이브리드 자성층(20) 상에는 터널링 장벽층인 약 2 nm 두께의 MgO 막(30)을 형성하였다. MgO 막(30) 상에는 보호층으로서 Ta 층(40)을 형성하였다. Ta 층(40)의 두께는 약 3 nm이다. 상기 모든 층들을 형성한 후, 자기장을 가한 상태에서 약 400 °C에서 자기 박막 스택을 열처리하였다. 상기 열처리는 일반적으로 메모리 제조를 위한 배선 공정과 같은 후단의 고온 공정에 의해서도 이루어지기 때문에, 이를 모사하여, 증착된 상태 그대로의 다층 자성 박막 스택들(2000)에 대하여 약 1×10^{-6} Torr 이하의 진공 분위기에서 약 1 시간 정도 열처리를 수행하였다.

[0073] 도 5a 내지 도 5d는 도 4의 자기 박막 스택들(200)의 자기적 특성을 나타내는 그래프들이다. Magnetic moment-applied magnetic field ($m-H$) 루프는 상온에서 진동 샘플 마그네토미터 (vibrating sample magnetometer; VSM)를 이용하여 면외 (out-of-plane, H_{\perp}) 및 면내(in-plane, H_{\parallel}) 자기장 하에서 각 자기 박막 스택들의 자기적 특성을 평가하여 얻어진 것이다.

[0074] 도 5a를 참조하면, 호이슬러 합금층(22)이 없는 경우(즉, 두께 $t = 0$), 자기 박막 스택은 FePd 합금층(21)은 수평 자기 이방성만을 나타낸다. 이는, 후술하는 도 6의 설명과 같이, FePd 합금층(21)에서 면심 입방 구조의 FePd (200) 피크 및 FePd (002) 피크만이 확인되는 결과와 일치한다. 그러나, 도 5b 및 도 5c를 참조하면, 호이슬러 합금층(22)의 두께 t 가 0.2 내지 1.5 nm 범위 내인 0.5 nm 및 1 nm인 자기 박막 스택에서는 수직 자기 이방성이 관찰된다. 이는, 호이슬러 합금층(22)에 의해 FePd 합금층(21)이 $L1_0$ 구조로 안정적으로 상변화되었음을 의미한다. 또한, 이를 통하여 호이슬러 합금층(22)이 FePd 합금층(21)의 상변화 온도를 약 400 °C 정도로 낮추는데 영향을 미치고 있음을 알 수 있으며, (001) 방향으로 성장된 $L1_0$ 구조의 FePd 합금층(21)도 Co_2MnSi 합금층(22)의 $B2$ 또는 $L2_1$ 상으로의 성장에 도움을 준다. 이때의 자기이방성 상수(uniaxial magnetic anisotropy constant, K_u)는 약 $5 \times 10^6 \text{ erg/cm}^3$ 을 갖는다.

[0075] 그러나, 도 5d를 참조하면, 호이슬러 합금층(22)의 두께가 1.5 nm로 증가하면, 자장 H 가 포화 값으로부터 감소하여도 자기 모멘트값 M/M_s 값은 포화 자기 모멘트값으로부터 지속적으로 감소할 뿐이어서, 수평 자기 이방성이 다시 관찰된다. 이것은 호이슬러 합금층(22)이 갖는 수평 자기 이방성이 $L1_0$ 구조의 FePd 합금층(21)의 수직 자기 이방성보다 더 우세한 것에 의해 전체 하이브리드 자성층(20)이 수평 자기 이방성을 갖기 때문이다. 이러한 결과는 위 수학적 1을 참조로 하여 설명된 것과 일치한다.

[0077] 도 6은 본 발명의 일 실시예에 따른 FePd 합금층과 호이슬러 합금층을 포함하는 하이브리드 자성층에 대한 면외 (out-of-plane) X선 회절 분석 결과를 나타내는 그래프이다.

- [0078] 도 6을 참조하면, 호이슬러 합금층(22)이 없는 경우(즉, 두께 $t = 0$), FePd 합금층(21)은 면심 입방 구조의 FePd (200) 피크 및 FePd (002) 피크만이 확인된다. 그러나, 호이슬러 합금층(22)의 두께 t 가 0.5 nm 및 1 nm 인 자기 박막 스택에서는 $L1_0$ 구조와 관련된 FePd (001) 피크가 관찰된다. 마찬가지로, 호이슬러 합금층(22)의 두께 t 가 1.5 nm인 자기 박막 스택에서도 $L1_0$ 구조와 관련된 FePd (001) 피크가 관찰된다.
- [0079] 다만, 전술한 것과 같이, 호이슬러 합금층(22)이 수평 자기 이방성을 갖기 때문에, 두께가 증가한 호이슬러 합금층(22)에 의한 수평 자기 이방성이 우세해지면서 하이브리드 자성층(20)은 전체적으로 수평 자기 이방성을 갖게 됨을 알 수 있다. 호이슬러 합금층(22)에서는 Co_2MnSi (004) 피크가 관찰되었다.
- [0081] 도 7은 본 발명의 일 실시예에 따른 하이브리드 자성층에 대한 면내(in-plane) X선 회절 분석 결과를 나타내는 그래프이며, 도 8a 내지 도 8d는 상기 하이브리드 자성층의 성막 메커니즘을 설명하기 위한 결정 구조의 모식도들이다. 상기 하이브리드 자성층 내 호이슬러 합금층의 두께는 약 20 nm이다.
- [0082] 도 7을 참조하면, X선 회절 분석은, 자성층의 스캐터링 벡터를 MgO [110] 방향으로 고정하고 수행되었다. FePd 합금층(21)에서는 FePd (110)과 FePd (220) 피크만이 관찰되었다. 호이슬러 합금층(22)에서는 Co_2MnSi (200) 및 Co_2MnSi (400) 피크만이 관찰되었다. 이는 FePd 합금층(21)의 우선 배향 결정축과 호이슬러 합금층(22)의 우선 배향 결정축이 45° 만큼 틀어져 에피택셜 성장이 이루어졌음을 의미한다.
- [0083] 상기 에피택셜 성장이 가능한 이유와 관련하여, 도 8a 내지 도 8d를 참조하면, 터널링 장벽층인 MgO (001) 층(도 8a의 30), FePd (001) 합금층(도 8b의 21), 그리고 MgO (001)(30) 층과 FePd (001) 합금층(21) 사이의 호이슬러 합금층인 Co_2MnSi (001) 층(도 8c의 22)으로 된 다층 자기 박막 스택(도 8d)에서, MgO (001)과 Co_2MnSi (001) 면의 계면과 Co_2MnSi (001) 면과 FePd (001) 면의 계면에서의 격자 상수 및 결정학적 구조의 유사성이 고려될 수 있다. 호이슬러 합금층인 Co_2MnSi (001) 층(22)은 MgO (001)(30) 층과 격자 불일치도가 5.0 %에 불과하고, FePd (001) 합금층(21)과는 3.9 %이어서, 2 개의 박막들(21, 30) 사이에 삽입된 Co_2MnSi (001) 층(22)은 FePd 합금층과 MgO 층 사이의 9.3 %에 이르는 격자 불일치도를 감소시켜 $L1_0$ 구조의 FePd 합금층과 MgO 층의 에피택셜 성장을 유도하는 버퍼층으로서 기능한다.
- [0084] 본 발명의 실시예에 따르면, FePd 합금층(21)의 경우 (001)으로 성장한 경우에 $L1_0$ 상을 가지게 되어 높은 수직 자기 이방성을 기대할 수 있다. Co_2MnSi 층(22)의 경우에도 (001)으로 성장한 경우에 $B2$ 또는 $L2_1$ 상을 가짐으로써 높은 스핀 분극율을 기대할 수 있다. FePd 합금층(21)과 Co_2MnSi 층(22) 사이의 격자 불일치도가 3.9 %에 불과하기 때문에 상호간의 에피택셜 성장(epitaxial growth)이 실현될 수 있다.
- [0085] 전술한 실시예에서, 버퍼층인 Co_2MnSi 합금층은 예시일 뿐 본 발명이 이에 한정되는 것은 아니다. 호이슬러 합금층은 고용비에 따라 격자 상수의 조절이 가능하기 때문에, 호이슬러 합금층(22)은 코발트(Co)를 기본으로 하는 Co_2YZ (Y는 전이 금속이며, Z는 전형 원소임)의 화학식을 갖는 합금이 될 수 있다. 전이 금속 Y는, 예를 들면, 망간(Mn), 철(Fe), 및 크롬(Cr) 중 적어도 어느 하나일 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 전형 원소 Z는, 예를 들면, 실리콘(Si), 알루미늄(Al), 및 저머늄(Ge) 중 적어도 어느 하나 일 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 상기 호이슬러 합금층(22)은 $L2_1$ 또는 $B2$ 상을 가질 때 높은 수직분극율을 가질 수 있다. 예를 들면, 호이슬러 합금층(22)은 Co_2MnSi 임은 전술한 것과 같다.
- [0087] 도 9는 본 발명의 일 실시예에 따른 메모리 시스템(500)을 도시하는 블록도이다.
- [0088] 도 9를 참조하면, 메모리 시스템(500)은 메모리 컨트롤러(510) 및 비휘발성 메모리 소자(520)를 포함한다. 메모리 컨트롤러(510)는 비휘발성 메모리 소자(520)에 대해 에러정정코드를 수행할 수 있다. 메모리 컨트롤러(510)는 외부로부터의 명령어와 어드레스를 참조하여 비휘발성 메모리 소자(520)를 제어할 수 있다.
- [0089] 메모리 컨트롤러(510)는 호스트로부터 쓰기 요청을 수신하면, 쓰기 요청된 데이터에 대한 에러 정정 인코딩을 수행할 수 있다. 또한, 메모리 컨트롤러(510)는 상기 인코딩된 데이터를 제공된 어드레스에 대응하는 메모리 영역에 프로그램하도록 비휘발성 메모리 소자(520)를 제어할 수 있다. 또한, 메모리 컨트롤러(510)는 읽기 동

작성 비휘발성 메모리 소자(520)로부터 출력된 데이터에 대한 에러 정정 디코딩을 수행할 수 있다. 상기 에러 정정 디코딩에 의해서 출력 데이터에 포함되는 에러가 정정될 수 있다. 상기 에러의 검출 및 정정을 수행하기 위하여 메모리 컨트롤러(510)는 에러 정정 블록(515)을 포함할 수 있다.

[0090] 비휘발성 메모리 소자(520)는 메모리 셀 어레이(521) 및 페이지 버퍼(523)를 포함할 수 있다. 메모리 셀 어레이(521)는 전술한 다층 자기 박막 스택 또는 자기 터널링 접합을 포함하는 메모리 셀들의 어레이이며, 싱글 레벨 메모리 셀 또는 2 이상의 비트의 멀티 레벨 메모리 셀의 어레이를 포함할 수 있다. 메모리 컨트롤러(510)는 초기화 요청을 수신하면, 전술한 실시예들에 따라, 시변 소거 전압 신호를 이용한 프로그램 또는 소거 방식에 의해 각 메모리 층들의 스트링 선택 트랜지스터들이 소정의 상태를 갖도록 초기화할 수 있다.

[0092] 도 10은 본 발명의 일 실시예에 따른 고상 디스크(이하, SSD)를 포함하는 정보 저장 장치(1000)를 도시하는 블록도이다.

[0093] 도 10을 참조하면, 정보 저장 장치(1000)는 호스트(1100)와 SSD(1200)를 포함한다. SSD(1200)는 SSD 컨트롤러(1210), 버퍼 메모리(1220), 그리고 비휘발성 메모리 소자(1230)를 포함할 수 있다. SSD 컨트롤러(1210)는 호스트(1100)와 SSD(1200) 사이의 전기적 및 물리적 연결을 제공한다. 일 실시예에서, SSD 컨트롤러(1210)는 호스트(1100)의 버스 포맷(Bus format)에 대응하여 SSD(1200)와의 인터페이싱을 제공한다. 또한, SSD 컨트롤러(1210)는, 호스트(1100)로부터 제공되는 명령어를 디코딩하고 디코딩된 결과에 따라, 비휘발성 메모리 소자(1230)를 액세스할 수 있다. 호스트(1100)의 버스 포맷(Bus format)의 비제한적 예로서, USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA(Advanced Technology Attachment), PATA(Parallel ATA), SATA(Serial ATA), 및 SAS(Serial Attached SCSI)이 포함될 수 있다.

[0094] 버퍼 메모리(1220)에는 호스트(1100)로부터 제공되는 쓰기 데이터 또는 비휘발성 메모리 소자(1230)로부터 독출된 데이터가 임시 저장될 수 있다. 호스트(1100)의 읽기 요청시에 비휘발성 메모리 소자(1230)에 존재하는 데이터가 캐시되어 있는 경우에는, 버퍼 메모리(1220)는 캐시된 데이터를 직접 호스트(1100)로 제공하는 캐시 기능이 제공될 수 있다. 일반적으로, 호스트(1100)의 버스 포맷(예를 들면, SATA 또는 SAS)에 의한 데이터 전송 속도는 SSD(1200)의 메모리 채널의 전송 속도보다 더 빠를 수 있다. 이 경우, 대용량의 버퍼 메모리(1220)가 제공되어 속도 차이로 발생하는 성능 저하를 최소화할 수 있다. 이를 위한 버퍼 메모리(1220)는 충분한 버퍼링을 제공하기 위해 동기식 DRAM(Synchronous DRAM)일 수 있지만, 이에 한정되는 것은 아니다.

[0095] 비휘발성 메모리 소자(1230)는 SSD(1200)의 저장 매체로서 제공될 수 있다. 예를 들면, 비휘발성 메모리 소자(1230)는 전술한 실시예에 따른 대용량의 저장 능력을 가지는 STT-MRAM일 수 있다. 또 다른 예에서, 비휘발성 메모리 소자(1230)로서 노어 플래시 메모리, 상변화 메모리, 다른 자성 메모리, 저항 메모리, 강유전체 메모리 또는 이들 중 선택된 이종의 메모리 장치들이 혼용되는 메모리 시스템도 적용될 수 있다.

[0097] 도 11은 본 발명의 다른 실시예에 따른 메모리 시스템(2000)을 도시하는 블록도이다.

[0098] 도 11을 참조하면, 본 발명에 따른 메모리 시스템(2000)은 메모리 컨트롤러(2200) 및 자기 메모리 소자(2100)를 포함할 수 있다. 자기 메모리 소자(2100)는 도 1 내지 도 10을 참조하여 개시한 비휘발성 메모리 소자들을 포함할 수 있다. 메모리 컨트롤러(2200)는 자기 메모리 소자(2100)를 제어하도록 구성될 수 있다. SRAM(2230)은 CPU(2210)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(2220)는 메모리 시스템(2000)과 접속되는 호스트의 데이터 교환 프로토콜을 구현할 수 있다. 메모리 컨트롤러(2200)에 구비된 에러 정정 회로(2240)는 플래시 메모리(2100)로부터 독출된 데이터에 포함된 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(2260)는 본 발명의 자기 메모리 소자(2100)와 인터페이싱할 수 있다. CPU(2210)는 메모리 컨트롤러(2200)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 본 발명에 따른 메모리 시스템(2000)은 호스트(Host)와의 인터페이스를 위한 코드 데이터를 저장하는 ROM(미도시됨)을 더 포함할 수 있다.

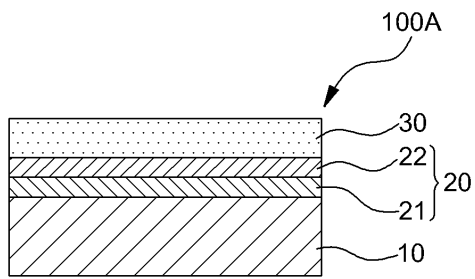
[0099] 메모리 컨트롤러(2100)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 또는 IDE과 같은 다양한 인터페이스 프로토콜들 중 어느 하나를 통해 외부 회로(예를 들면, 호스트)와 통신하도록 구성될 수 있다. 본 발명에 따른 메모리 시스템(2000)은, 컴퓨터, 휴대용 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털

털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크와 같은 다양한 사용자 장치들에 적용될 수 있다.

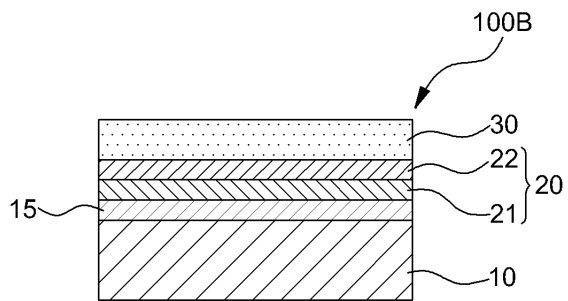
- [0101] 도 12는 본 발명의 다른 실시예에 따른 데이터 저장 장치(3000)를 도시하는 블록도이다.
- [0102] 도 12를 참조하면, 본 발명에 따른 데이터 저장 장치(3000)는 자기 메모리(3100) 및 자기 메모리 컨트롤러(3200)를 포함할 수 있다. 자기 메모리 컨트롤러(3200)는 데이터 저장 장치(3000)의 외부 회로로부터 수신된 제어 신호들에 기초하여 자기 메모리(3100)를 제어할 수 있다. 자기 메모리(3100)의 3 차원 메모리 어레이 구조는, 예를 들면, 크로스 포인트 구조 기반의 수평 또는 수직 적층된 구조를 가질 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0103] 본 발명의 데이터 저장 장치(3000)는 메모리 카드 장치, SSD 장치, 멀티미디어 카드 장치, SD 카드, 메모리 스틱 장치, 하드 디스크 드라이브 장치, 하이브리드 드라이브 장치, 또는 범용 직렬 버스 플래시 장치를 구성할 수 있다. 예를 들면, 본 발명의 데이터 저장 장치(3000)는 디지털, 카메라, 또는 개인 컴퓨터와 같은 전자 장치를 사용하기 위한 표준 또는 규격을 만족하는 메모리 카드일 수 있다.
- [0105] 도 13은 본 발명의 일 실시예에 따른 자기 메모리 소자(4100) 및 이를 포함하는 컴퓨팅 시스템(4000)을 도시하는 블록도이다.
- [0106] 도 13을 참조하면, 본 발명에 따른 컴퓨팅 시스템(4000)은 버스(4400)에 전기적으로 연결된 자기 메모리 소자(4100), 메모리 컨트롤러(4200), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(4300), 마이크로프로세서(4500), 그리고 사용자 인터페이스(4600)를 포함할 수 있다.
- [0107] 도 13에 도시된 자기 메모리 소자(4100)는 전술한 비휘발성 메모리 소자일 수 있다. 본 발명에 따른 컴퓨팅 시스템(4000)은 모바일 장치일 수 있으며, 이 경우, 컴퓨팅 시스템(4000)의 동작 전압을 공급하기 위한 배터리(4700)가 더 제공될 수 있다. 도시하지는 아니하였지만, 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 또는 모바일 디램이 더 제공될 수 있다. 메모리 컨트롤러(4200) 및 자기 메모리 장치(4100)는, 예를 들면, 데이터를 저장하는 비휘발성 메모리 소자를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다.
- [0108] 본 발명에 따른 비휘발성 메모리 장치 그리고/또는 메모리 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 자기 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), 또는 Wafer-Level Processed Stack Package(WSP)와 같은 패키지들을 이용하여 실장될 수 있다.
- [0110] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

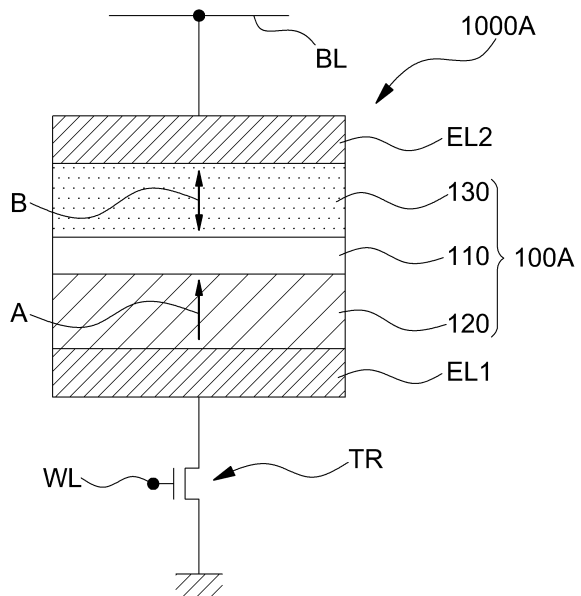
도면1a



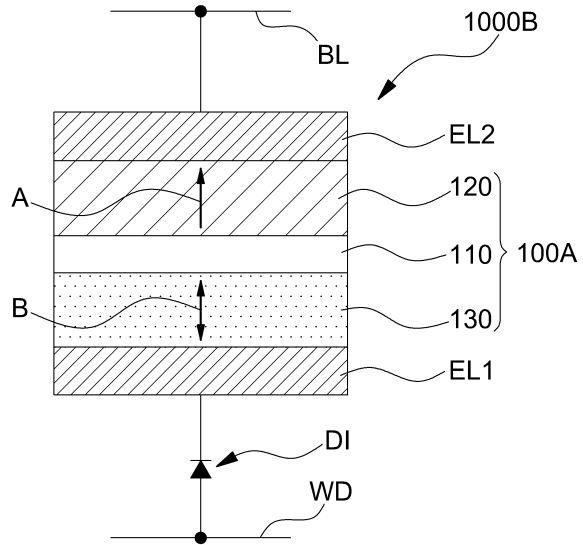
도면1b



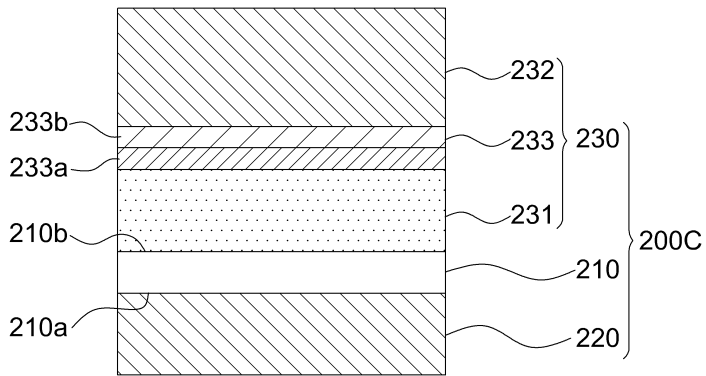
도면2a



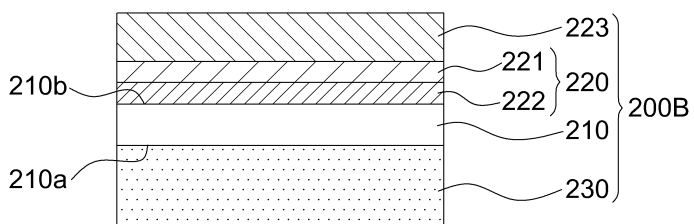
도면2b



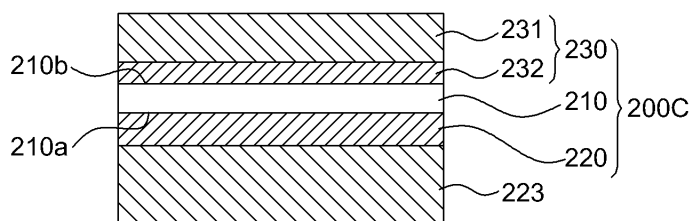
도면3a



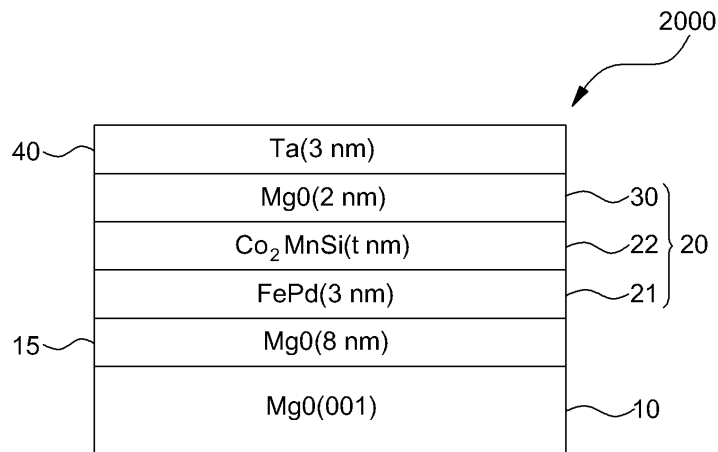
도면3b



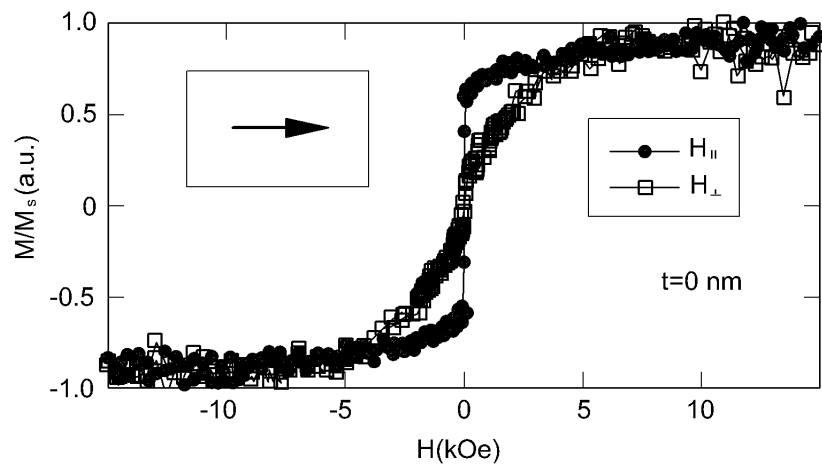
도면3c



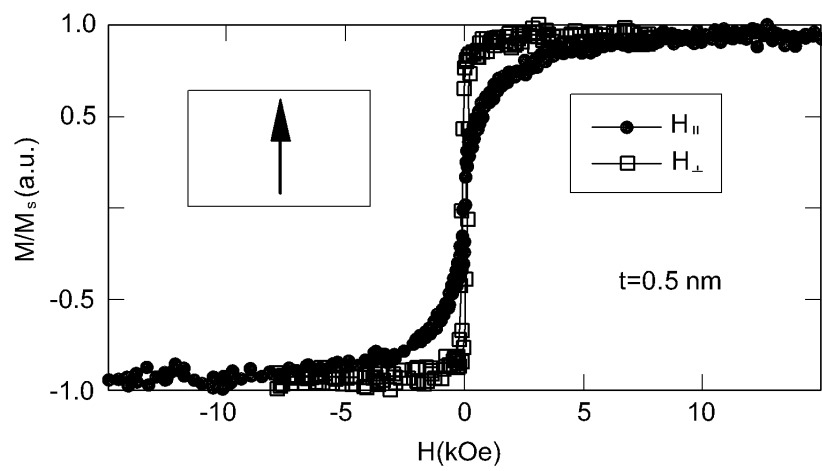
도면4



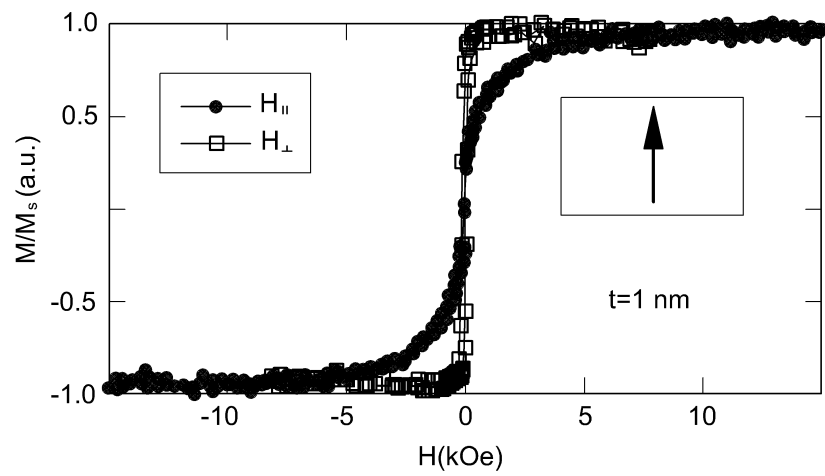
도면5a



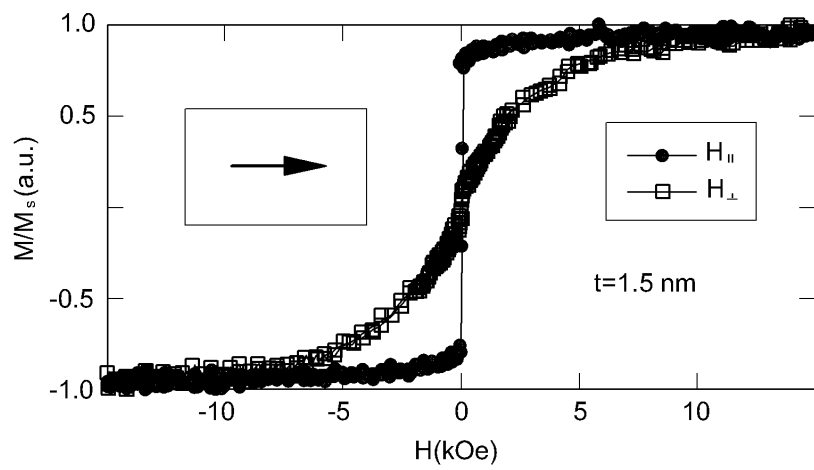
도면5b



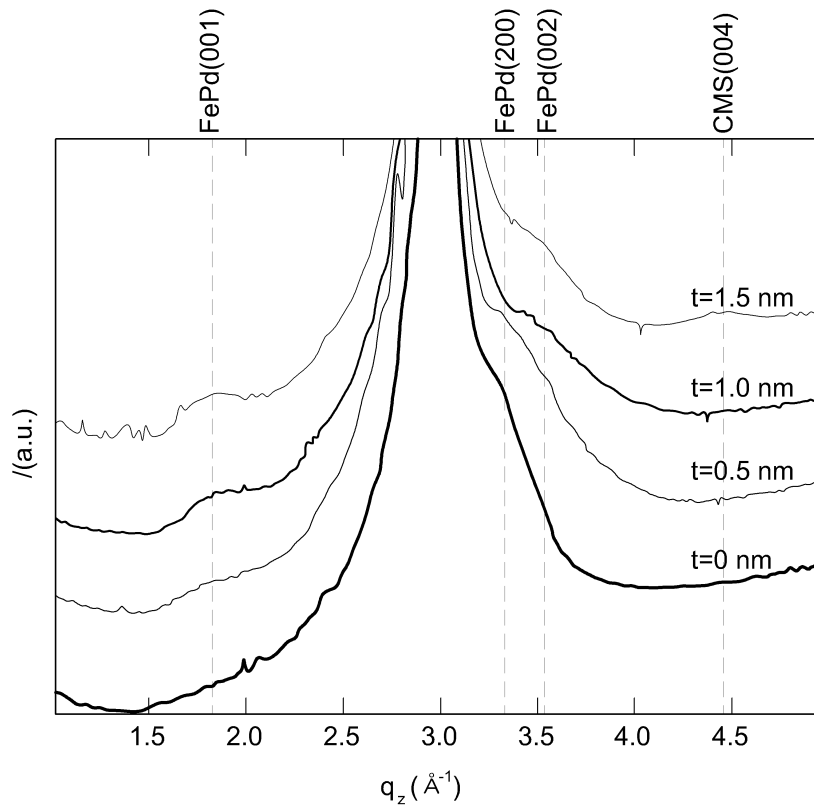
도면5c



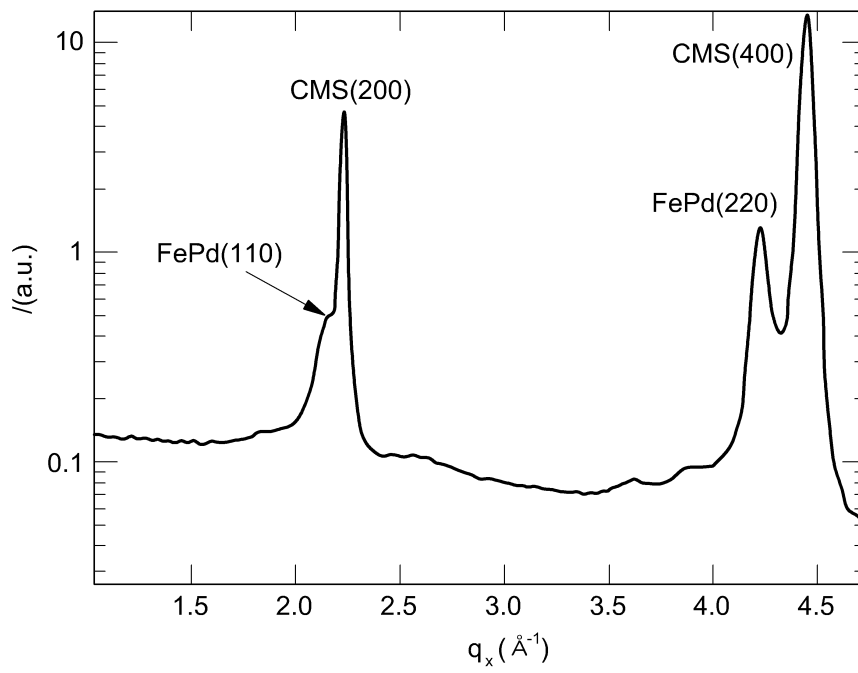
도면5d



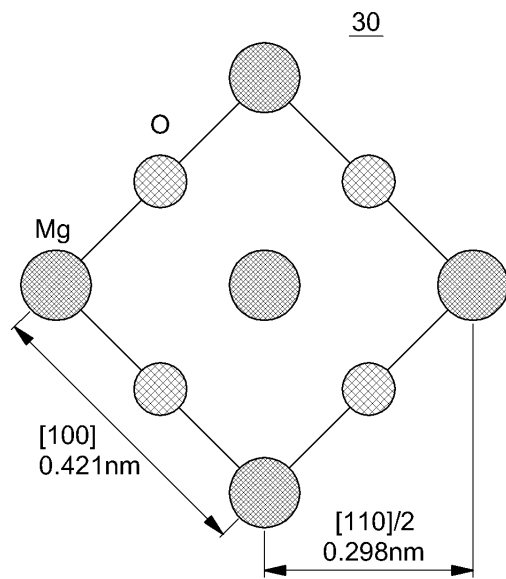
도면6



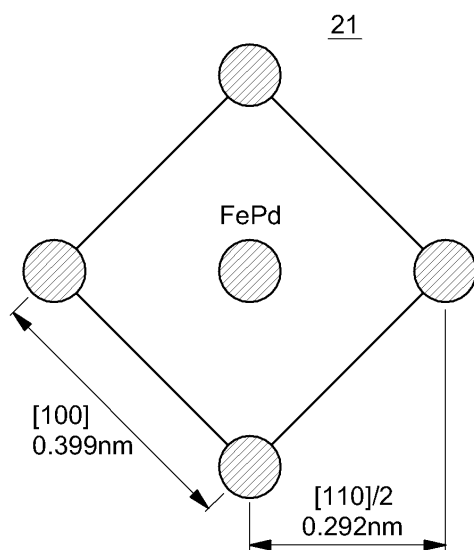
도면7



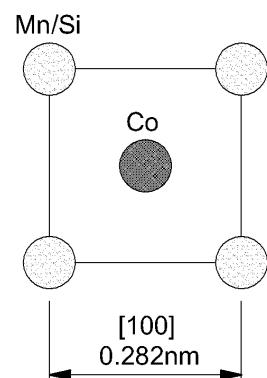
도면8a



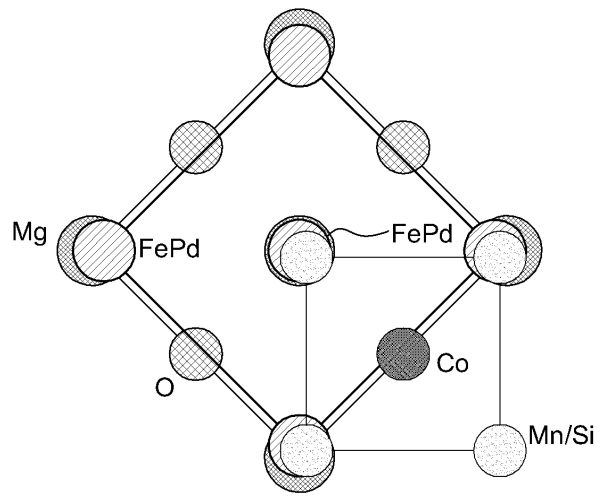
도면8b



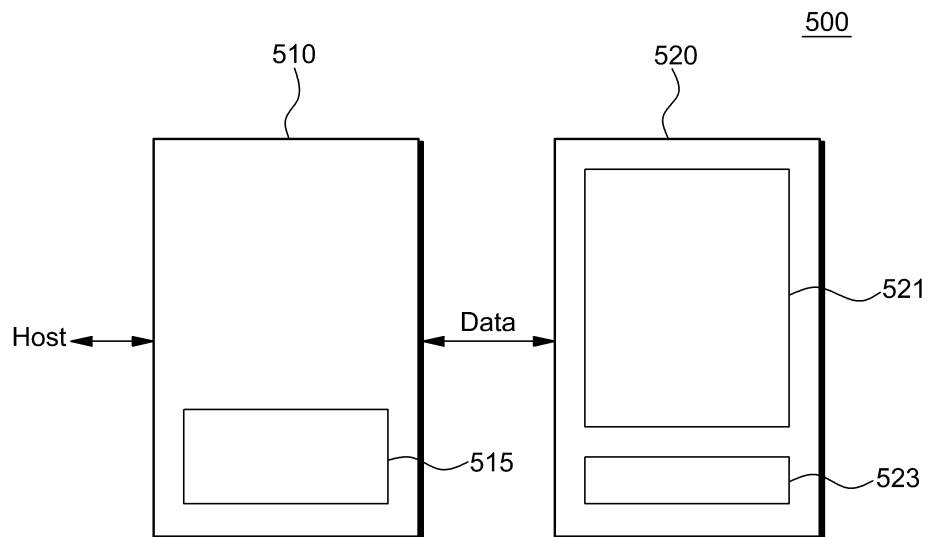
도면8c



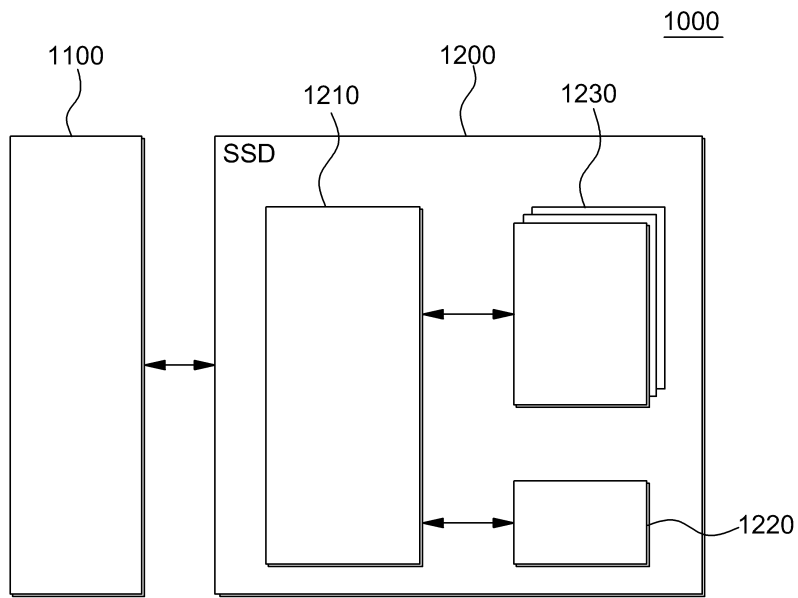
도면8d



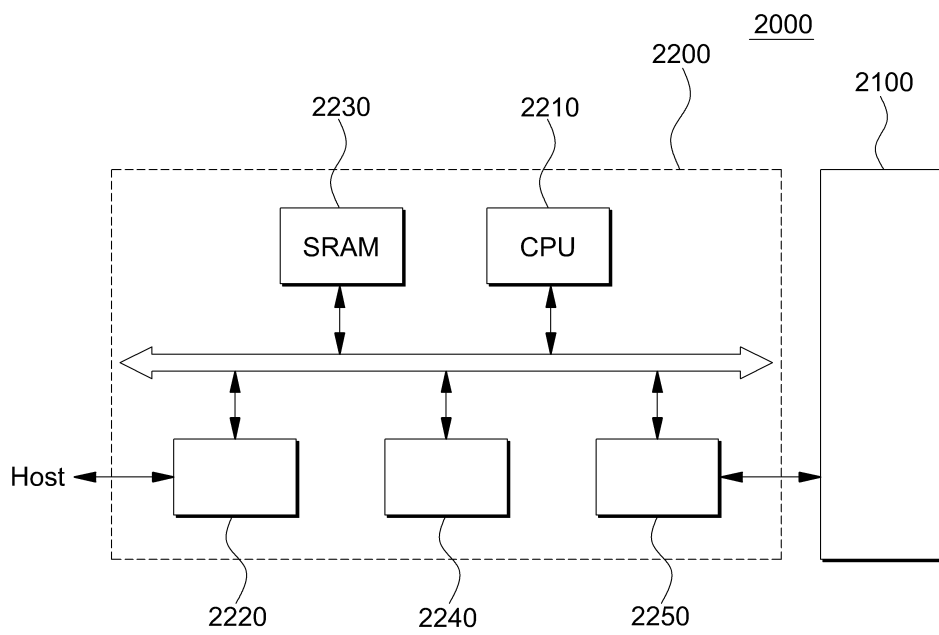
도면9



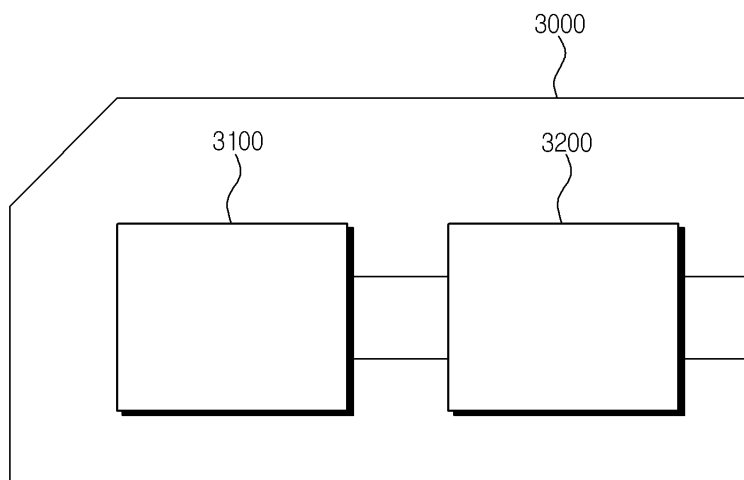
도면10



도면11



도면12



도면13

