



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0034568  
(43) 공개일자 2017년03월29일

(51) 국제특허분류(Int. Cl.)

H01L 21/02 (2006.01)

(52) CPC특허분류

H01L 21/02675 (2013.01)

H01L 21/02068 (2013.01)

(21) 출원번호 10-2015-0133013

(22) 출원일자 2015년09월21일

심사청구일자 2015년09월21일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

손현철

서울특별시 강남구 압구정로14길 20 (신사동, 유로미아파트)

나희도

서울특별시 서대문구 연세로 50 연세대학교 공학원 170D

윤성열

서울특별시 서대문구 연세로 50 연세대학교 공학원 170D호

(74) 대리인

김인철

전체 청구항 수 : 총 12 항

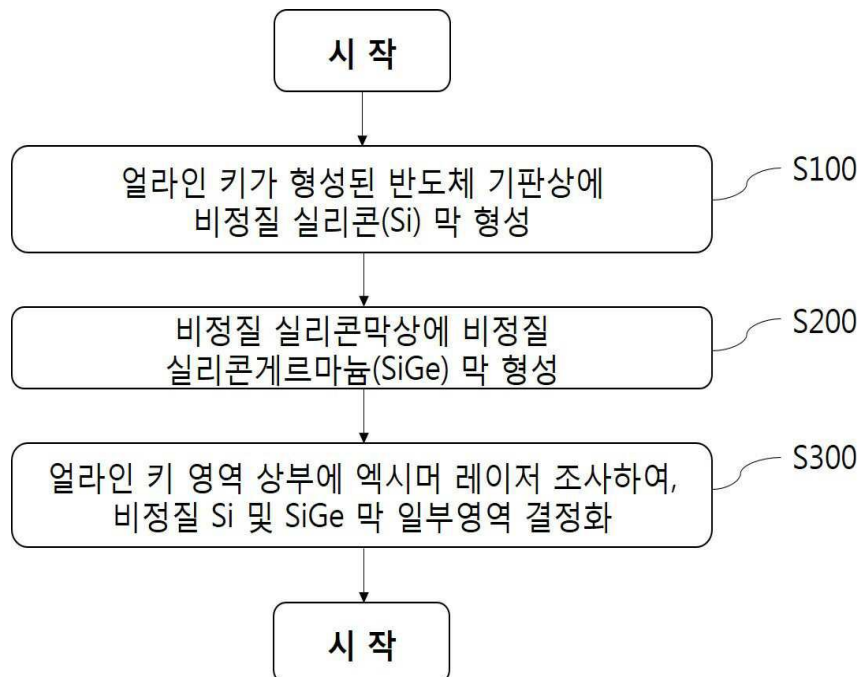
(54) 발명의 명칭 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법 및 그 방법으로 제조된 반도체 소자

(57) 요약

본 발명은 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법 및 그 방법으로 제조된 반도체 소자에 관한 것으로, (a) 얼라인 키가 형성된 반도체 기판상에 비정질 실리콘(Si)막을 형성하는 단계; (b) 상기 비정질 실리콘막 상부에 상기 비정질 실리콘(Si)막 보다 열전도도(thermal conductivity)가 낮고 발열층으로 사용하

(뒷면에 계속)

대표도 - 도1



는 비정질 실리콘화합물막을 형성하는 단계; 및 (c) 상기 얼라인 키 영역의 비정질 실리콘화합물막 상부에 엑시머 레이저를 조사하여 상기 비정질 실리콘(Si) 및 비정질 실리콘화합물막 일부 영역을 결정화하는 단계를 포함한다.

이와 같은 본 발명은, 저 에너지 레이저를 이용하여 얼라인 키 영역을 결정화하는 방법을 제공하고, 낮은 에너지에 의해 박막 데미지를 감소시켜 공정 수율을 높일 수 있는 하드마스크용 비정질 실리콘막의 결정화 방법 및 그 방법으로 제조된 반도체 소자를 제공한다.

(52) CPC특허분류

**H01L 21/02164** (2013.01)

**H01L 21/02667** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10044651

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 [RCMS]차세대 CMOS를 위한 실리콘기반의 터널링 접합 및 이중접합 에피 기술 연구(3/5)/(미래반도체소자)

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2015.06.01 ~ 2016.05.31

---

## 명세서

### 청구범위

#### 청구항 1

- (a) 얼라인 키가 형성된 반도체 기판 상부에 비정질 실리콘(Si)막을 형성하는 단계;
- (b) 상기 비정질 실리콘막 상부에 상기 비정질 실리콘(Si)막 보다 열전도도(thermal conductivity)가 낮고 발열층으로 사용하는 비정질 실리콘화합물막을 형성하는 단계; 및
- (c) 상기 얼라인 키 영역의 비정질 실리콘화합물막 상부에 엑시머 레이저를 조사하여 상기 비정질 실리콘(Si) 및 비정질 실리콘화합물막 일부 영역을 결정화하는 단계를 포함하는 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 2

청구항 1에 있어서,

상기 비정질 실리콘화합물막은 실리콘게르마늄(SiGe) 막인 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 3

청구항 1에 있어서,

상기 비정질 실리콘막은 하드마스크인 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 4

청구항 1에 있어서,

상기 (a) 단계는,

반도체 기판 상부에 물리기상증착법(PVD) 또는 화학기상증착법(CVD)으로 상기 비정질 실리콘(Si) 막을 형성하는 단계인 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 5

청구항 1에 있어서,

상기 (b) 단계는,

상기 비정질 실리콘막 상부에 물리기상증착법(PVD) 또는 화학기상증착법(CVD)으로 상기 비정질 실리콘게르마늄(SiGe)막을 형성하는 단계인 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 6

청구항 1에 있어서,

상기 실리콘게르마늄(SiGe) 막 내의 게르마늄 함량은 적어도 34% 이상인 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 7

청구항 1에 있어서,

상기 (c) 단계는,

상기 얼라인 키 영역의 비정질 실리콘게르마늄(SiGe)막 상부에 530 nm 내지 540nm 의 파장을 갖는 레이저 펄스

를 조사하는 단계를 포함하는 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 8

청구항 7에 있어서,

상기 레이저 펄스의 에너지는  $270 \text{ mJ/cm}^2$  내지  $330 \text{ mJ/cm}^2$  인 것을 특징으로 하는 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법.

#### 청구항 9

(a) 열라인 키가 형성된 반도체 기판 상부에 비정질 실리콘(Si)막을 형성하는 단계; (b) 상기 비정질 실리콘막 상부에 상기 비정질 실리콘(Si)막 보다 열전도도(thermal conductivity)가 낮고 발열층으로 사용하는 비정질 실리콘화합물막을 형성하는 단계; 및 (c) 상기 열라인 키 영역의 비정질 실리콘화합물막 상부에 엑시머 레이저를 조사하여 상기 비정질 실리콘(Si) 및 비정질 실리콘화합물막 일부영역을 결정화하는 단계를 포함하여 제조된 결정질 실리콘막을 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 10

청구항 9에 있어서,

상기 비정질 실리콘화합물막은 실리콘게르마늄(SiGe)막인 것을 특징으로 하는 반도체 소자.

#### 청구항 11

청구항 9에 있어서,

상기 비정질 실리콘막은 하드마스크인 것을 특징으로 하는 반도체 소자.

#### 청구항 12

청구항 9에 있어서,

상기 실리콘게르마늄(SiGe)막 내의 게르마늄 함량은 적어도 34% 이상인 것을 특징으로 하는 반도체 소자.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 하드마스크용으로 사용되는 비정질 실리콘 막의 결정화 방법에 관한 것으로, 보다 상세하게는 열전도도가 낮은 실리콘화합물을 발열체로 사용하여 저 에너지 레이저를 이용하여 열라인 키 영역의 비정질 실리콘막을 결정화시키는 방법 및 그 방법으로 제조된 반도체 소자에 관한 것이다.

#### 배경 기술

[0002] 반도체 소자의 제조공정은 실리콘 웨이퍼 상에 설계된 회로 패턴에 따라 수 십개의 서로 다른 종류의 막을 형성하는 과정으로 이루어진다. 그 중 비정질 실리콘막은 하드마스크, 채널층 등으로 사용되는데, 상기 비정질 실리콘막은 적어도 일부를 결정화 함으로서 투과도를 개선하고 오정렬을 방지할 수 있으므로, 비정질 실리콘막의 적어도 일부를 결정질 실리콘막으로 결정화하기 위한 다양한 방법이 제안되고 있다.

[0003] 종래의 비정질 실리콘막을 결정질 실리콘막으로 결정화하는 방법으로는 반응로 속에서 로를 가열하여 비정질 실리콘을 결정화하는 고상결정화(Solid Phase Crystallization, SPC)법, 빛을 이용하여 비정질 실리콘막을 급속히 가열하여 결정화시키는 고속열처리(Rapid Thermal Annealing; RTA)법, 엑시머 레이저를 비정질 실리콘막에 순간적으로 조사하여 비정질 실리콘막을 고온으로 순간적으로 가열하여 결정화하는 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA)법, 비정질 실리콘막에 선택적으로 증착된 금속을 씨드로 하여 결정화를 유도하는 금속유도결정화(Metal Induced Crystallization; MIC)법 등이 있다.

[0004] 엑시머 레이저 어닐링법은 비정질 실리콘 위에 높은 에너지를 갖는 레이저 펄스를 조사하여 비정질 실리콘막을

결정화시키는 방법으로서, 실리콘막의 공정온도만 올라가고, 하부의 기판 온도는 크게 올라가지 않으므로 고온에 노출됨으로서 기판이 변형되지 않는다는 장점이 있다.

[0005] 한편, 고성능의 반도체 CMOS Logic, 반도체 메모리 기술이 요구됨에 따라 좁은 공간에 더욱 많은 소자를 구현하기 위하여, 집적 공정기술이 개발 되고 있다. 하지만, 집적기술이 발전함에 따른 평면 면적 감소는 소자의 동작 성능 저하를 유발하게 되었다. 이러한 이슈를 해결하고자 기존의 평면 면적이 아닌 수직 방향으로의 면적을 증가시키는 방향으로 소자 연구가 진행 되고 있다. 이는 결국 소자의 깊이를 더욱 증가시킨다는 것으로, 이를 위하여 충분한 선택비가 나오는 두꺼운 하드마스크 사용이 필요하게 되었으며, 현재는 비정질 실리콘, 비정질 탄소 등 여러 물질의 하드마스크가 사용되고 있다.

[0006] 깊이 방향으로의 식각을 하기 위해서는 기존에 사용되는 비정질 실리콘의 최적 선택비 조건하에서, 두꺼운 두께를 이용하는 것이 필연적으로 필요하다. 하지만, 하드마스크용 비정질 실리콘은 사용 두께가 두꺼워 질수록 빛의 투과도가 감소하게 되어 하부 패턴과의 미스 얼라인 문제를 유발하게 된다. 이러한 문제를 해결하기 위하여 기존의 구조에서 레이저 열처리를 이용하여 부분적으로 투과도를 높이는 방법이 개발 되었었다.

[0007] 그러나, 반도체 기판상에 비정질 실리콘 막을 형성하고 상부에서 엑시머 레이저를 조사하여 어닐링함으로써, 조사 영역을 결정화하는 방법을 적용한다. 그러나, 이 방법을 이용하여 두꺼운 비정질 실리콘 전체를 열처리하기 위해서는 높은 에너지의 레이저를 필요로하며, 이렇게 높은 에너지를 사용함에 따라 하드 마스크의 데미지(damage) 및 에너지 대비 낮은 효율을 보이는 문제를 가지고 있다. 또한, 충분한 에너지가 없으면, 실리콘 전체 영역의 결정화가 어렵다는 문제점이 있다.

## 선행기술문헌

### 특허문헌

- [0008] (특허문헌 0001) 대한민국 공개특허공보 제10-2008-0040995호(공개일자: 2008년05월09일)  
(특허문헌 0002) 대한민국 공개특허공보 제10-2012-0111759호(공개일자: 2012년10월11일)

## 발명의 내용

### 해결하려는 과제

- [0009] 본 발명에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법 및 그 방법으로 제조된 반도체 소자는 다음과 같은 해결과제를 가진다.
- [0010] 첫째, 본 발명은 저 에너지 레이저를 이용하여 얼라인 키 영역을 결정화는 방법을 제공하고자 함이다.
- [0011] 둘째, 본 발명은 낮은 에너지에 의해 박막 데미지를 감소시켜 공정 수율을 높일 수 있는 하드마스크용 비정질 실리콘막의 결정화 방법 및 그 방법으로 제조된 반도체 소자를 제공하고자 함이다.
- [0012] 본 발명의 해결과제는 이상에서 언급한 것들에 한정되지 않으며, 언급되지 아니한 다른 해결과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

- [0013] 상술한 과제를 해결하고자 하는 본 발명의 제1 특징은, (a) 얼라인 키가 형성된 반도체 기판 상부에 비정질 실리콘(Si)막을 형성하는 단계; (b) 상기 비정질 실리콘막 상부에 상기 비정질 실리콘(Si)막 보다 열전도도(thermal conductivity)가 낮고 발열층으로 사용하는 비정질 실리콘화합물막을 형성하는 단계; 및 (c) 상기 얼라인 키 영역의 비정질 실리콘화합물막 상부에 엑시머 레이저를 조사하여 상기 비정질 실리콘(Si) 및 비정질 실리콘화합물막 일부 영역을 결정화하는 단계를 포함한다.
- [0014] 여기서, 상기 비정질 실리콘화합물막은 실리콘게르마늄(SiGe) 막인 것이 바람직하고, 상기 비정질 실리콘막은 하드마스크인 것이 바람직하며, 상기 (a) 단계는, 반도체 기판 상부에 물리기상증착법(PVD) 또는 화학기상증착법(CVD)으로 상기 비정질 실리콘(Si) 막을 형성하는 단계인 것이 바람직하다.
- [0015] 또한, 상기 (b) 단계는, 상기 비정질 실리콘막 상부에 물리기상증착법(PVD) 또는 화학기상증착법(CVD)으로 상기

비정질 실리콘게르마늄(SiGe)막을 형성하는 단계인 것이 바람직하고, 상기 실리콘게르마늄(SiGe) 막 내의 게르마늄 함량은 적어도 34% 이상인 것이 바람직하다.

[0016] 더하여, 바람직하게는 상기 (c) 단계는, 상기 얼라인 키 영역의 비정질 실리콘게르마늄(SiGe)막 상부에 530nm 내지 540nm의 파장을 갖는 레이저 펄스를 조사하는 단계를 포함하는 것일 수 있고, 상기 레이저 펄스의 에너지는  $270 \text{ mJ/cm}^2$  내지  $330 \text{ mJ/cm}^2$  인 것일 수 있다.

[0017] 그리고, 본 발명의 제2 특징은, (a) 얼라인 키가 형성된 반도체 기판 상부에 비정질 실리콘(Si)막을 형성하는 단계; (b) 상기 비정질 실리콘막 상부에 상기 비정질 실리콘(Si)막 보다 열전도도(thermal conductivity)가 낮고 발열층으로 사용하는 비정질 실리콘화합물막을 형성하는 단계; 및 (c) 상기 얼라인 키 영역의 비정질 실리콘화합물막 상부에 엑시머 레이저를 조사하여 상기 비정질 실리콘(Si) 및 비정질 실리콘화합물막 일부영역을 결정화하는 단계를 포함하여 제조된 결정질 실리콘막을 포함하는 것을 특징으로 하는 반도체 소자이다.

[0018] 여기서, 상기 비정질 실리콘화합물막은 실리콘게르마늄(SiGe)막인 것이 바람직하고, 상기 비정질 실리콘막은 하드마스크인 것이 바람직하며, 상기 실리콘게르마늄(SiGe)막 내의 게르마늄 함량은 적어도 34% 이상인 것이 바람직하다.

### 발명의 효과

[0019] 본 발명에 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법 및 그 방법으로 제조된 반도체 소자는 다음과 같은 효과를 가진다.

[0020] 첫째, 본 발명은 저 에너지 레이저를 사용하여 에너지 효율을 극대화할 수 있는 하드마스크용 비정질 실리콘막의 결정화 방법 및 그 방법으로 제조된 반도체 소자를 제공한다.

[0021] 둘째, 본 발명은 저전력에 의한 낮은 에너지의 레이저 사용으로 박막 데미지를 저감하고, 이에 따라 전체 공정 수율을 높일 수 있는 효율적인 하드마스크용 비정질 실리콘막 결정화 방법 및 그 방법으로 제조된 반도체 소자를 제공한다.

[0022] 본 발명의 효과는 이상에서 언급한 것들에 한정되지 않으며, 언급되지 아니한 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 도면의 간단한 설명

[0023] 도 1은 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법의 흐름을 나타내는 흐름도이다.

도 2는 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법에서 비정질 실리콘막 형성단계를 나타낸 모식도이다.

도 3은 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법에서 비정질 실리콘 화합물 막을 형성하는 단계를 나타낸 모식도이다.

도 4 및 도 5는 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법에서 레이저를 조사하여 결정화하는 단계를 나타낸 모식도이다.

도 6 및 도 7은 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법을 적용한 시뮬레이션 결과를 나타낸 그래프이다.

### 발명을 실시하기 위한 구체적인 내용

[0024] 본 발명의 추가적인 목적들, 특징들 및 장점들은 다음의 상세한 설명 및 첨부도면으로부터 보다 명료하게 이해될 수 있다.

[0025] 본 발명의 상세한 설명에 앞서, 본 발명은 다양한 변경을 도모할 수 있고, 여러 가지 실시 예를 가질 수 있는바, 아래에서 설명되고 도면에 도시된 예시들은 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에



직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0027] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도는 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0028] 또한, 명세서에 기재된 "...부", "...유닛", "...모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미할 수 있다.

[0029] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0031] 이하에서 본 발명의 바람직한 실시예를 도면을 참조하여 상세히 설명하기로 한다.

[0032] 도 1은 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법의 흐름을 나타내는 흐름도이다. 도 1에 나타난 바와 같이, 본 발명의 실시예에 따른 비정질 실리콘막 결정화 방법은, (a) 열라인 키가 형성된 반도체 기판 상부에 비정질 실리콘(Si) 막을 형성하는 단계(S100); (b) 상기 비정질 실리콘막 상부에 비정질 실리콘게르마늄(SiGe) 막을 형성하는 단계(S200); 및 (c) 상기 열라인 키 영역의 비정질 실리콘게르마늄(SiGe) 막 상부에 엑시머 레이저를 조사하여 상기 비정질 실리콘(Si) 및 실리콘게르마늄(SiGe) 막 일부영역을 결정화하는 단계(S300)를 포함하여 구성된다.

[0033] 이와 같이, 본 발명의 실시예는 하드 마스크용으로 사용하는 비정질 실리콘막 상부에 발열층으로 사용되는 실리콘게르마늄 막을 형성하여, 에너지 효율을 극대화하고 저 전력 공정이 가능한 저 에너지 레이저 결정화 방법을 제공한다. 또한, 낮은 에너지에 의한 박막 데미지의 감소 효과를 얻게되어 공정 수율을 높일 수 있게 된다.

[0035] 이하에서 공정단계별로 도면을 참조하여 상세히 설명하기로 한다.

[0036] 도 2는 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법에서 비정질 실리콘막 형성단계를 나타낸 모식도이다. 즉, 도 2는 상기 (a) 단계로서(S100), 열라인 키가 형성된 반도체 기판 상에 비정질 실리콘(Si) 막을 형성하는 단계를 나타낸 도면이다.

[0037] 도 2에 나타난 바와 같이, 열라인 키가 형성된 반도체 기판에 물리기상증착법(PVD) 또는 화학기상증착법(CVD)으로 하드 마스크용 저온(<600 °C) 비정질 실리콘막을 증착한다.

[0038] 여기서, 열라인 키(align key)는 반도체 기판상에서 상하부 패턴 간의 콘택과 패턴들의 배열을 맞추기 위한 표시 패턴을 말한다. 보다 구체적으로, 반도체 장치가 고집적화, 고용량화되어 가면서 소자의 크기가 작아지고 소자간의 간격이 좁아지며 라인 패턴들의 폭이 작아지고 있고, 디램(DRAM:Dynamic Random Access Memory)에 있어서, 집적도가 기가 비트(Giga bit) 시대에 도달하여 셀의 면적과 셀의 구성 소자인 트랜지스터와 커패시터의 크기가 매우 작아졌다. 반도체 장치는 다층의 막들을 형성하고 각 층에 소자와 배선들을 형성하기 때문에 소자와 소자, 소자와 배선 및 배선과 배선 사이를 연결하기 위한 콘택이 많이 필요하다.

[0039] 특히, 디자인 룰(design rule)이 작아지면서 콘택 영역에 정확히 콘택홀을 뚫어 콘택 플러그를 형성하는 고도의 기술이 요구된다. 그리고, 하부 패턴 상에 상부 패턴을 형성할 때, 하부 패턴과의 위치를 맞추는 작업이 필요하다. 즉, 각 층별로 다양하고 많은 패턴들을 형성하기 때문에 각 패턴들을 올바른 위치에 배열하는 것이 중요하기 때문에, 이러한, 상하부 패턴 간의 콘택과 패턴들의 배열을 맞추기 위해서 열라인 키를 사용한다. 특히, 레티클의 정확한 위치가 설정되어야만 사진공정(photolithography)에서 노광을 할 때 하부 패턴에 맞춰 상부 패턴을 정확히 정렬시킬 수 있기 때문에, 본 발명의 실시예에서와 같이 노광공정에 사용되는 하드 마스크에서는 열라인 키가 중요하게 된다.

[0040] 그리고, 본 발명의 실시예에서는 하드 마스크용으로 반도체 기판상에 비정질 실리콘막을 형성하는 것이 바람직

한데, 이는 상술한 바와 같이 식각 선택성이나 물성이 좋지 때문이다.

[0041] 반도체 산업기술이 발전을 거듭할수록 점점 고집적화된 소자를 제작하기 위해 패턴형성의 미세화가 이루어지게 되면서, 기존의 두꺼운 두께(> 300 nm)의 photoresist (PR)를 사용하게 되면, 높이와 바닥의 비율(aspect ratio)이 높아지게 되어 패턴이 무너지는 현상이 발생한다. 반대로 포토레지스트(PR)의 코팅두께를 낮추게 되면, 식각공정에서 기판에 대해 마스크의 역할을 충분히 수행하지 못하게 되어 반도체 공정에서 요구되는 깊이 만큼 충분히 깊은 패턴을 형성시킬 수가 없게 된다.

[0042] 이러한 문제를 해결하기 위하여 반도체 공정에서는 기판위에 주로 비정질 탄소층(amorphouscarbon layer)과 실리콘 옥시나이트라이드(silicon oxynitride :SiON) 박막 또는 비정질 실리콘막으로 구성된 하드마스크 라는 물질을 사용하며, 이는 PR의 패턴전사를 가능하게 해 준다. 또한 상기 하드 마스크용 비정질 실리콘막 등은 화학 증기증착법(chemical vapor deposition, CVD)이나 또는 물리기상증착법(Physical vapor deposition, PVD)에 의해 제조하는 경우 식각선택성이나 물성이 좋아지는 특성이 있다.

[0044] 도 3은 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법에서 비정질 실리콘 화합물 막을 형성하는 단계를 나타낸 모식도이다. 즉, 도 3은 상기 (b) 단계로서(S200), 실리콘막 상부에 물리기상증착법(PVD) 또는 화학기상증착법(CVD)으로 상기 비정질 실리콘막보다 열전도도(Thermal conductivity)가 낮은 비정질 실리콘 화합물 막을 증착한다. 이때 비정질 실리콘 화합물 막은 3 및 5 족 반도체 물질 또는 4족 반도체 물질을 포함하는 실리콘 화합물 막인 것이 바람직하다. 그 외에도 열전도도가 낮고 반도체 특성에 맞는 실리콘화합물이면 모두 가능하다.

[0045] 본 발명의 실시예에서는 비정질 실리콘 화합물 막을 비정질 실리콘게르마늄(SiGe) 막을 사용하고, 실리콘게르마늄(SiGe) 막 내의 게르마늄(Ge) 함량은 34% 이상인 것이 바람직하다.

[0046] 상술한 바와 같이, 하드 마스크로 사용되는 두꺼운 비정질 실리콘 전체를 열처리 하기 위해서는 높은 에너지의 레이저를 필요로 하고, 높은 에너지를 사용함에 따라 하드 마스크의 데미지 및 에너지 대비 낮은 효율을 보이는 문제를 가지고 있을 뿐만 아니라, 충분한 에너지가 없으면, 실리콘 전체 영역의 결정화가 어렵다는 문제점이 있었다.

[0047] 이에 본 발명의 실시예에서는 비정질 실리콘막 상부에 보다 열전도도가 낮은 비정질 실리콘화합물막을 형성하여, 레이저에 의한 열에너지 손실을 줄이고 효율적으로 비정질 실리콘막으로 열전달 하기 위한 발열층으로 기능을 수행함으로써, 결정화 시 에너지 효율을 극대화하고, 저 전력 공정이 가능하게 할 뿐만 아니라, 낮은 에너지에 의한 박막 데미지의 감소시켜 공정 수율을 높일 수 있는 효과적인 결정화 방법을 제안한다.

[0049] 이하에서 본 발명의 실시예에 사용되는 발열층으로서, 실리콘게르마늄(SiGe)막의 기능을 설명하기 위해 레이저 열처리 전산모사를 위한 모델링(modeling)을 설명한다.

[0050] 본 발명의 실시예에서는 레이저 열처리 동안에 비정질 실리콘(a-S) 내에서의 열적 분석을 위해 열 전달 전산모사를 수행하고, 전산모사를 위한 도구로 Abaqus/standard를 사용한다. 모델의 구조는 실리콘 기판 위에 실리콘 산화막(SiO<sub>2</sub>) 및 비정질 실리콘막(a-Si)을 차례로 쌓아 올린 형태로 구성한다. 구조 전체의 기하학적 형상 및 열 하중의 위치가 모두 1/4으로 대칭을 이루고 있으므로 자유도를 낮추고자 1/4모델 (quarter model)로 구조화한다.

[0051] 전산모사의 열적 분석 조건으로는 과도 상태 (transient state)의 대류 열전달 (conductive heat transfer)을 바탕으로 다음의 [수학식 1]에 의해 해석 된다.

### 수학식 1

$$\rho C_p(T) \left( \frac{\partial T}{\partial t} \right) = k(T) \left[ \left( \frac{\partial^2 T}{\partial x^2} \right) + \left( \frac{\partial^2 T}{\partial y^2} \right) + \left( \frac{\partial^2 T}{\partial z^2} \right) \right] + S_L(x, y, z, t) + S_{LH}(x, y, z, t)$$

[0053]



[0055] (여기서,  $\rho$ 는 밀도이고,  $c_p(T)$ 는 열용량이고,  $k(T)$ 는 열전도도이고,  $S_L(x,y,z,t)$ 는 체적에너지 세기이고,  $S_{LH}(x,y,z,t)$ 는 잠열을 나타낸다.)

[0056] [수학식 1]에 나타난 것과 같이 열 전달 해석을 위해 재료의 물성 값으로는 밀도, 열 용량, 열전도, 잠열이 요구된다. 또한 열원으로써 레이저 열처리에 의해 흡수되는 체적 에너지와 상 변화에 의해 발생 될 수 있는 잠열을 포함된다.

## 수학식 2

$$S_L(x,y,z,t) = (1 - R) I(x,y,t) \alpha \exp(-\alpha d)$$

[0058]

[0060] (여기서,  $S_L(x,y,z,t)$ 는 체적에너지 세기이고,  $I(x,y,t)$ 는 빛의 세기이고,  $R$ 은 표면 반사율이고,  $\alpha$ 는 흡수 계수이며,  $d$ 는 두께를 나타낸다.)

[0061] 체적 에너지는 [수학식 2]와 같이 표현되며 재료와 빛의 파장에 따른 반사율과 흡수계수에 의해 레이저 에너지 밀도가 시편에 흡수되는 것을 반영한다. 체적 에너지가 전산모사에 사용됨에 따라 전산모사 시 사용한 열전달 방식은 체적 열 유량 (body heat flux)이 적용된다.

[0062] 이와 같이 레이저 열처리 전산모사를 위한 모델링을 통해 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법에서 발열층으로 실리콘게르마늄막을 형성하는 이유를 살펴보면 다음과 같다.

[0063] [수학식 1]에서 첫 번째로 열처리 할 때 잠열(latent heat)는 나타나지 않기 때문에  $S_{LH}$ 는 값은 0이고,  $S_L$  값은 레이저의 에너지이기 때문에 고정된 값이 된다.

[0064] 이는, 시료의 온도  $\delta T$ 는  $k$  및  $C$  값에 영향을 받게 되고, 열전도(Thermal conductivity)인  $k$  값이 감소한다는 것은  $(\delta^2 T / \delta x^2)$ 가 증가하는 것을 의미하기 때문에, 이는 열전도도가 낮은 비정질 실리콘화합물막인 경우 동일 에너지의 레이저가 인가 되었을때 발생하는 열을 더욱 증가시키게 된다는 점에서, 레이저에 의한 에너지 전달 효율이 비정질 실리콘막 보다 더 좋아짐을 의미한다.

[0065] 그러므로, 본 발명의 실시예에서는 비정질 실리콘막 상부에 보다 열전도도가 낮은 실리콘게르마늄막과 같은 비정질 실리콘화합물막을 형성하여 레이저를 조사하게 함으로써, 적은 에너지로 결정화에 이를 수 있는 에너지를 충분히 전달할 수 있는 발열층의 기능을 수행할 수 있게 되어 결정화 시 에너지 효율을 극대화 하고, 저 전력 공정이 가능하게 할 뿐만 아니라, 낮은 에너지에 의한 박막 데미지의 감소시켜 공정 수율을 높일 수 있는 효과를 얻을 수 있다.

[0067] 도 4 및 도 5는 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법에서 레이저를 조사하여 결정화하는 단계를 나타낸 모식도이다. 즉, (c) 단계로서(S300)로서, 도 4는 비정질 실리콘게르마늄(SiGe)막 상부에 엑시머 레이저를 조사하는 것을 나타내고, 도 5는 레이저 조사에 따라 얼라인 키 상부 영역인 비정질 실리콘막과 비정질 실리콘게르마늄막 일부가 결정화 되는 것을 나타낸 모식도이다.

[0068] 여기서 엑시머 레이저를 비정질 실리콘막에 조사하는 공정을 엑시머 어닐링(excimer laser annealing; ELA)이라 하는데, 레이저 결정화 공정을 적용하는데 사용된다. 레이저 결정화 공정은 높은 에너지를 갖는 레이저빔을 결정화가 요구되는 부분의 비정질 실리콘막에 조사하는 것으로, 순간적인 가열에 의해 결정화가 이루어지기 때문에 기판을 변형시키지 않으면서 결정화를 수행할 수 있다. 또한, 레이저빔의 조사에 의해 비정질 실리콘막이 액체 상태로 용융된 후 고체로 고상화될 때 실리콘 원자들이 우수한 결정성을 갖는 그레인 형태로 재배열되므로

폴리실리콘막의 우수한 전기적 특성을 확보할 수 있다는 장점이 있다.

[0069] 그리고, 도 4에 나타난 바와 같이, 본 발명의 실시예에서는 발열층으로서 비정질 실리콘막 상부에 비정질 실리콘게르마늄막을 형성하고, 얼라인 키 영역 상부에서 약 532 nm 파장을 갖는 엑시머(eximer) 레이저 1펄스를 조사한다. 이때 레이저 에너지는 약  $300 \text{ mJ/cm}^2$  이다. 그리고 나서, 도 5에 나타난 바와 같이, 입사된 레이저 의해 발생하는 열은 표면의 실리콘게르마늄막에서 급격하게 열을 발생하며 결정화되고, 이 열은 하부로 전달되어 비정질 실리콘막을 결정화하게 된다.

[0071] 도 6 및 도 7은 본 발명의 실시예에 따른 저 에너지 레이저 열처리를 통한 비정질 실리콘막 결정화 방법을 적용한 시뮬레이션 결과를 나타낸 그래프이다. 도 6은 시간에 따른 실리콘게르마늄막의 온도 변화를 나타내고, 도 7은 깊이에 따른 온도 변화를 나타낸 그래프이다.

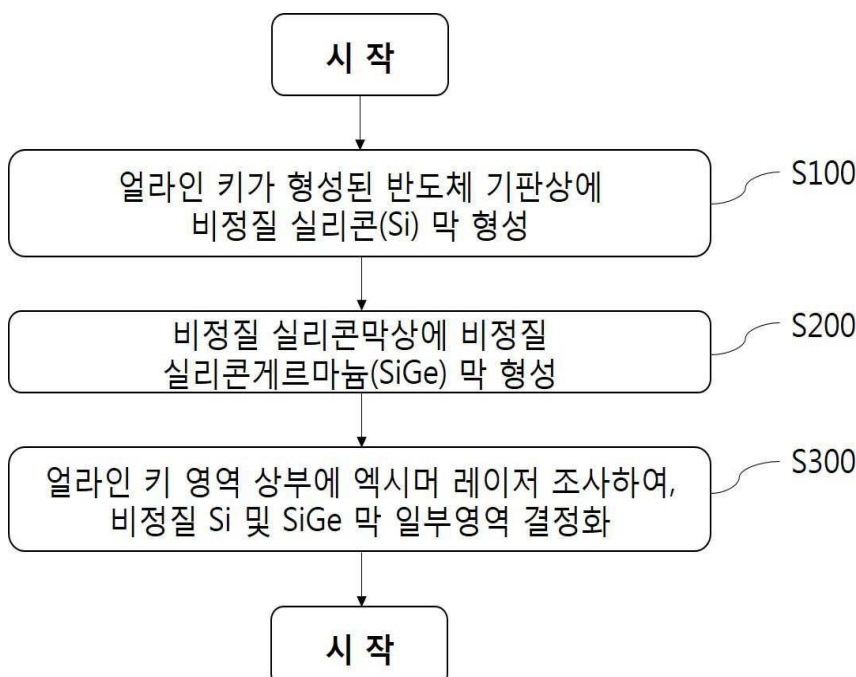
[0072] 도 6에 나타난 바와 같이, 본 발명의 실시예에 따른 실리콘게르마늄막의 레이저 열처리 시뮬레이션의 결과는 약 34%의 게르마늄(Ge)를 함유하고 있는 실리콘게르마늄막(SiGe)에 532nm 파장을 갖는 엑시머 레이저 열처리시  $350 \text{ mJ/cm}^2$  의 낮은 에너지 밀도에서도  $1000^\circ\text{C}$  정도의 고온 열처리가 가능함을 알 수 있고, 이 온도는 비정질 실리콘만을 사용하는 경우의 온도  $800^\circ\text{C}$  보다 높은 온도임이 명확하다.

[0073] 그리고 도 7에 나타난 바와 같이, 비정질 실리콘게르마늄막(SiGe)에 레이저 열처리 이후 40nm의 깊이까지 약  $900^\circ\text{C}$  이상의 온도가 나타나고 있음을 알 수 있다. 이는 낮은 에너지 밀도에서도 보다 깊은 깊이까지 결정화 할 수 있음을 의미한다.

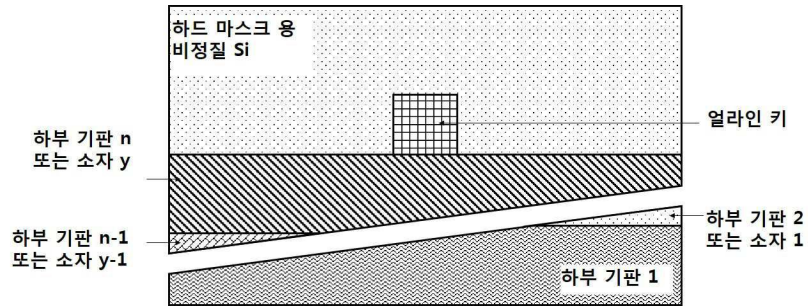
[0075] 본 명세서에서 설명되는 실시 예와 첨부된 도면은 본 발명에 포함되는 기술적 사상의 일부를 예시적으로 설명하는 것에 불과하다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술적 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아님은 자명하다. 본 발명의 명세서 및 도면에 포함된 기술적 사상의 범위 내에서 당업자가 용이하게 유추할 수 있는 변형 예와 구체적인 실시 예는 모두 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

## 도면

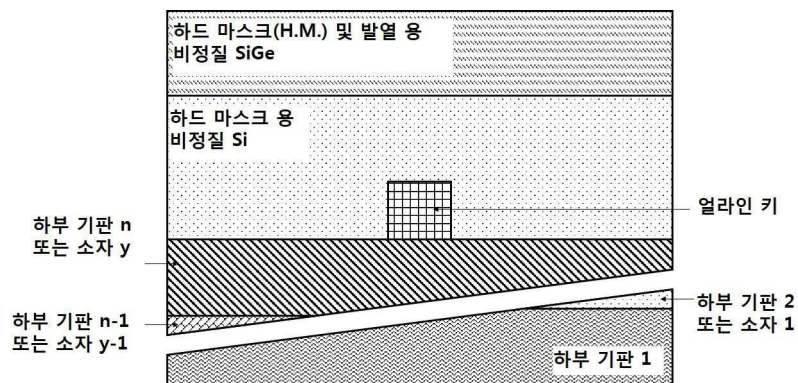
### 도면1



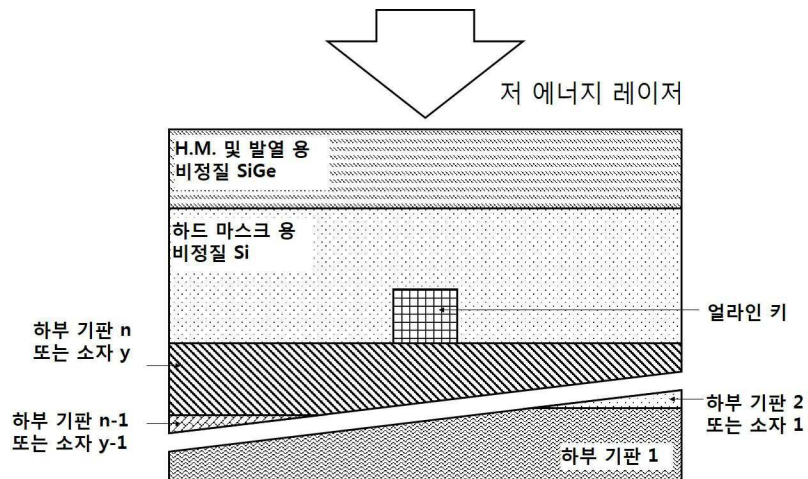
도면2



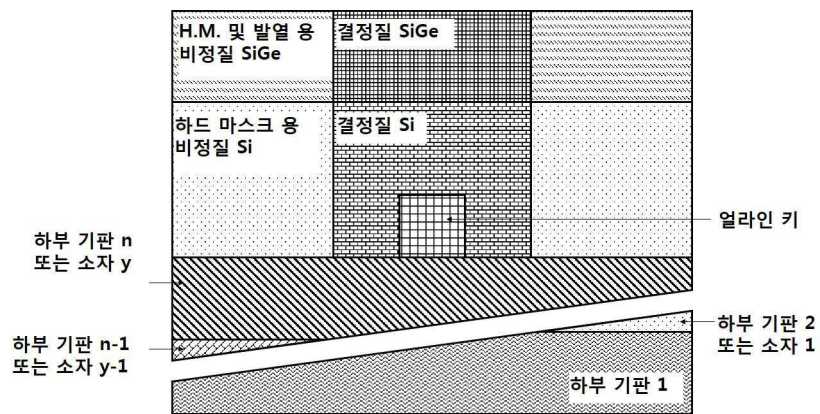
도면3



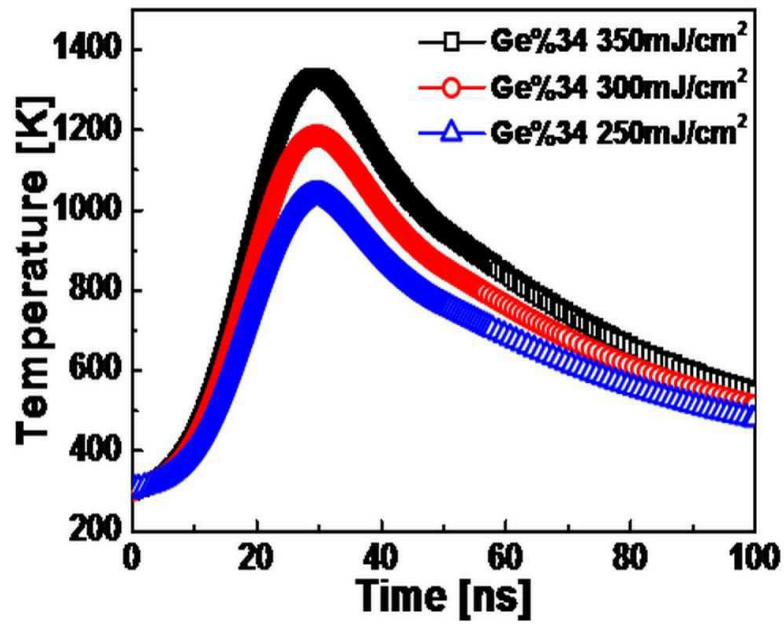
도면4



도면5



도면6



도면7

