



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0122920
(43) 공개일자 2017년11월07일

(51) 국제특허분류(Int. Cl.)
H03K 21/02 (2006.01) H03K 23/50 (2006.01)
H03M 1/34 (2006.01)
(52) CPC특허분류
H03K 21/023 (2013.01)
H03K 21/026 (2013.01)
(21) 출원번호 10-2016-0051885
(22) 출원일자 2016년04월28일
심사청구일자 없음

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
채영철
서울특별시 서대문구 연세로 50, 제2공학관 712 (신촌동, 연세대학교)
박인준
서울특별시 서대문구 연세로 50, 공학원 165B (신촌동, 연세대학교)
(74) 대리인
오위환, 나성곤, 정기택

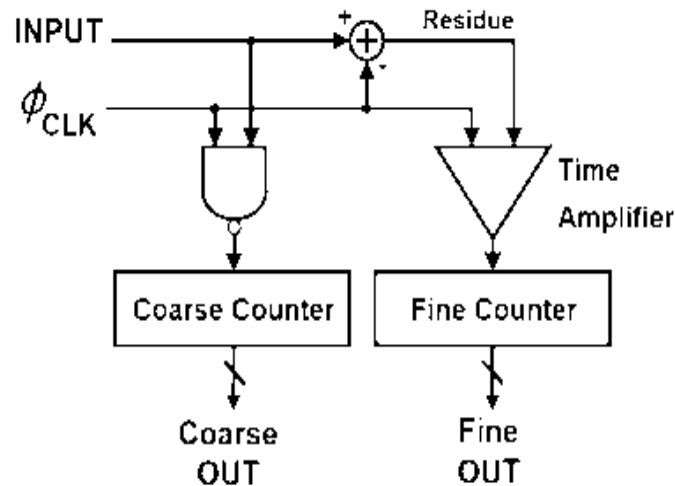
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 시간 증폭기를 이용하는 2-스텝 카운터

(57) 요약

본 발명은 시간 증폭기를 이용하는 2-스텝 카운터의 회로도에 관한 것이다. 본 발명은 입력값(input)과 클럭값을 마스킹 블록을 통하여 입력받고, 입력된 입력값과 클럭값에 근거하여 카운팅 값을 출력하는 제1 카운터, 및 제1 카운터에서 발생하는 잔여값(residue)을 시간 증폭기(time amplifier)통하여 입력받고, 시간 증폭기에 의하여 증폭된 잔여값에 근거하여 카운팅 값을 출력하는 제2 카운터로 이루어지며, 제1 카운터와 제2 카운터를 이용한 2-step 방식으로 카운팅 값을 조절하는 것을 특징으로 한다. 따라서 본 발명에 따르면 카운터 클럭의 속도를 높이지 않고 고속 동작이 가능하고 저전력으로 구동될 수 있다.

대 표 도 - 도1



(52) CPC특허분류

H03K 23/50 (2013.01)

H03M 1/34 (2013.01)

H04N 5/335 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2015-11-0588

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 [RCMS](주)오토닉스/ 광시야각을 갖는 반송시간 측정 센서(TOF sensor)와 스테레오 카메라
를 융합한 저가형 로봇용 3차원 실내외 공간인식 센서

기 여 율 1/2

주관기관 연세대학교 산학협력단

연구기간 2015.08.01 ~ 2016.05.31이 발명을 지원한 국가연구개발사업

과제고유번호 2015-22-0087

부처명 연세대학교

연구관리전문기관 연세대학교 산학협력단

연구사업명 연세미래선도연구사업

연구과제명 [미래선도-챌린지] 웨어러블 기기를 위한 Always-On CMOS 이미지센서 기술

기 여 율 1/2

주관기관 연세대학교

연구기간 2015.09.01 ~ 2016.08.31

명세서

청구범위

청구항 1

입력값(input)과 클락값을 마스크 블록을 통하여 입력받고, 상기 입력된 입력값과 클락값에 근거하여 카운팅 값을 출력하는 제1 카운터; 및

상기 제1 카운터에서 발생하는 잔여값(residue)을 시간 증폭기(time amplifier)통하여 입력받고, 상기 시간 증폭기에 의하여 증폭된 잔여값에 근거하여 카운팅 값을 출력하는 제2 카운터를 포함하여,

상기 제1 카운터와 상기 제2 카운터를 이용한 2-step 방식으로 카운팅 값을 조절하는 것을 특징으로 하는 시간 증폭기를 이용하는 2-스텝 카운터.

청구항 2

제1항에 있어서,

상기 제2 카운터의 시간 증폭기는 입력되는 잔여값(residue)을 이득값(Gain) 만큼 증폭시켜 제2 카운터로 입력하여, 상기 이득값만큼 레졸루션(resolution)이 증폭되어 클락의 주파수를 낮추는 것을 특징으로 하는 시간 증폭기를 이용하는 2-스텝 카운터.

청구항 3

제2항에 있어서,

상기 시간 증폭기는 하나의 전류원과 각각 다른 용량을 갖는 두 개의 커패시터로 이루어지고, 상기 시간 증폭기의 양과 음의 입력단자에 각각 연결된 상기 두 개의 커패시터의 비에 따라 이득값이 결정되도록 설계된 것을 특징으로 하는 시간 증폭기를 이용하는 2-스텝 카운터.

청구항 4

제3항에 있어서,

상기 시간 증폭기는 하나의 전류원으로 각각의 커패시터를 방전시키는 시간 차이를 이용하여 시간 입력을 증폭시키는 것을 특징으로 하는 시간 증폭기를 이용하는 2-스텝 카운터.

청구항 5

제1항에 있어서,

상기 제1 카운터는 DDR(더블데이터 레이트)로 설계되어, 1-bit redundancy를 확보하는 것을 특징으로 하는 시간 증폭기를 이용하는 2-스텝 카운터.

발명의 설명

기술 분야

[0001] 본 발명은 시간 증폭기를 이용하는 2-스텝 카운터에 관한 것으로, 보다 상세하게는 카운터 클락의 속도를 높이 지 않고 고속 동작이 가능하고 저전력으로 구동되는 시간 증폭기를 이용하는 2-스텝 카운터에 관한 것이다.

배경 기술

[0002] 최근에 이미지 센서 등과 같은 소자의 속도가 점점 더 고속화되면서 이에 따라 카운터의 속도 또한 고속화되었다. 고속 카운터는 카운터 클락의 속도에 비례하게 전력을 소모하여 이는 전체 고속 이미지 센서의 전력 소모량을 증가시키게 되었다. 따라서 고속 동작이 가능하면서 적은 전력을 소모하는 카운터의 필요성이 대두되었다.

[0003] 한편, 미국등록특허 제7,942,207호는 다중의 Ramp 신호를 사용하는 방식으로 한 개의 Ramp 신호를 사용하는

Single Slope ADC보다 속도에서 우수하며 클락의 요구 속도가 낮은 장점이 있다. 그러나 다중의 아날로그 신호를 사용함으로써 인하여 잡음에 민감하며 선형성을 확보하기가 까다로우며 설계가 어렵다는 단점이 있다.

[0004] 이와 같이, 종래의 카운터는 클락의 속도를 낮추지 못하는 문제점을 가지고 있거나, 다수의 Ramp 신호를 사용하여 선형성이 낮은 문제점을 가진다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 이와 같은 문제점을 감안한 것으로서, 본 발명은 상세하게는 카운터 클락의 속도를 높이지 않고 고속 동작이 가능하고 저전력으로 구동되는 시간 증폭기를 이용하는 2-스텝 카운터를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 실시예들에 따른 시간 증폭기를 이용하는 2-스텝 카운터는 입력값(input)과 클락값을 마스크 블록을 통하여 입력받고, 상기 입력된 입력값과 클락값에 근거하여 카운팅 값을 출력하는 제1 카운터; 및 상기 제1 카운터에서 발생하는 잔여값(residue)을 시간 증폭기(time amplifier)를 통하여 입력받고, 상기 시간 증폭기에 의하여 증폭된 잔여값에 근거하여 카운팅 값을 출력하는 제2 카운터로 이루어져, 상기 제1 카운터와 상기 제2 카운터를 이용한 2-step 방식으로 카운팅 값을 조절하는 것을 특징으로 한다.

발명의 효과

[0007] 이상에서 설명한 바와 같은 시간 증폭기를 이용하는 2-스텝 카운터 및 방법에 따르면 다음과 같은 효과가 있다.

[0008] 첫째, 이미지 센서 등 카운터의 속도가 요구되는 분야에서, 본 발명은 클락의 속도를 별도로 증가시키지 않고 카운터의 속도를 증가시킬 수 있는 2-step 방법을 가지고 있음으로써, 저전력으로 고속 구동이 가능하다는 효과가 있다.

[0009] 둘째, 본 발명은 2-step이 되도록 Time Amplifier를 사용하고, Time Amplifier는 1 개의 전류 전원과 2 개의 커패시터로 구성함으로써, variation의 영향을 받지 않고 선형성이 좋다는 장점을 갖는다.

[0010] 셋째, 본 발명은 Time Amplifier에 구비된 커패시터 비에 따른 Gain 값만큼 클락의 속도를 늦출 수 있기 때문에, 고속 동작이 가능하고 저전력으로 구동될 수 있다.

[0011] 넷째, 2-step을 위하여 2 개의 카운터를 사용하는 경우, 본 발명은 적어도 하나의 카운터를 DDR로 설계함으로써, 1-bit redundancy를 확보할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 시간 증폭기를 이용하는 2-스텝 카운터의 회로도

도 2는 도 1에 도시된 시간 증폭기를 구체적으로 설명하기 위한 도면

발명을 실시하기 위한 구체적인 내용

[0013] 첨부한 도면을 참조하여 본 발명의 실시예들에 따른 시간 증폭기를 이용하는 2-스텝 카운터에 대하여 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하거나, 개략적인 구성을 이해하기 위하여 실제보다 축소하여 도시한 것이다.

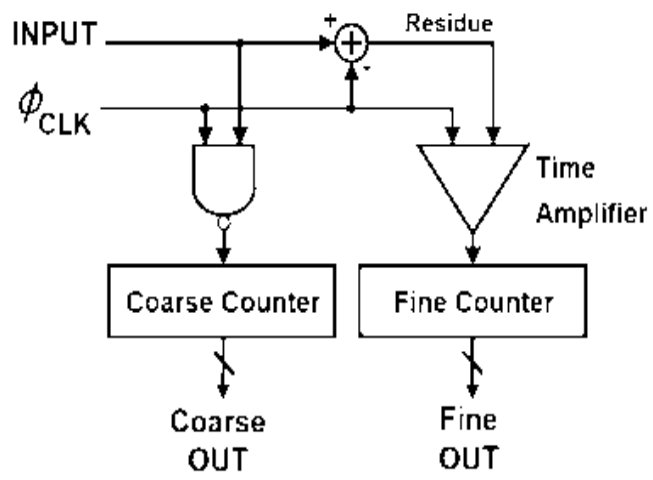
[0014] 또한, 제1 및 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 한편, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진

자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0015] 도 1은 본 발명의 일 실시예에 따른 시간 증폭기를 이용하는 2-스텝 카운터의 회로도이고, 도 2는 도 1에 도시된 시간 증폭기를 구체적으로 설명하기 위한 도면이다.
- [0016] 도 1 및 도 2를 참조하면, 본 발명의 실시예들에 따른 시간 증폭기를 이용하는 2-스텝 카운터는 입력값(input)과 클락값을 마스킹 블록을 통하여 입력받고, 상기 입력된 입력값과 클락값에 근거하여 카운팅 값을 출력하는 제1 카운터; 및 상기 제1 카운터에서 발생하는 잔여값(residue)을 시간 증폭기(time amplifier)통하여 입력받고, 상기 시간 증폭기에 의하여 증폭된 잔여값에 근거하여 카운팅 값을 출력하는 제2 카운터로 이루어져, 상기 제1 카운터와 상기 제2 카운터를 이용한 2-step 방식으로 카운팅 값을 조절하는 것을 특징으로 한다. 즉, 본 발명은 기존의 카운터를 두 개의 카운터로 분리하고, 두 개의 카운터 중 하나의 카운터의 입력 단에 시간 증폭기가 구비된 구조이다.
- [0017] 도 1에서는 제1 카운터가 Coarse Counter이고, 제2 카운터가 Fine Counter이다. 여기서, 제1 카운터는 DDR(더블데이터 레이트)로 설계되어, 1-bit redundancy를 확보할 수 있다. 한편, 본 발명의 카운터는 제1 카운터와 제2 카운터 중 적어도 하나의 카운터만 DDR로 설계될 수 있다.
- [0018] 본 발명의 실시예들에 있어서, 상기 제2 카운터의 시간 증폭기는 입력되는 잔여값(residue)을 이득값(Gain) 만큼 증폭시켜 제2 카운터로 입력한다. 그리고 상기 이득값만큼 레졸루션(resolution)이 증폭되어 클락의 주파수를 낮출 수 있다.
- [0019] 본 발명의 실시예들에 있어서, 상기 시간 증폭기는 하나의 전류원과 각각 다른 용량을 갖는 두 개의 커패시터로 이루어진다. 이에 상기 시간 증폭기의 양과 음의 입력단자에 각각 연결된 상기 두 개의 커패시터의 비(C1/C2)에 따라 이득값이 결정된다. 구체적으로, 상기 시간 증폭기는 하나의 전류원으로 각각의 커패시터를 방전시키는 시간 차이를 이용하여 시간 입력을 증폭시키는 것을 특징으로 한다.
- [0020] 상기 시간 증폭기에서 VF와 VS 노드의 전압을 Dynamic Latched 비교기로 비교하며, 출력이 제2 카운터로 입력된다. 또한, 시간 증폭기는 두 개의 커패시터를 리셋하기 위한 리셋 스위치를 포함할 수 있다.
- [0021] 이와 같이, 하나의 카운터로 클락 속도를 높이는 종래의 카운터와 달리, 본 발명은 시간 증폭을 이용한 두 단계의 카운터로 구성되어 클락의 속도를 증가시키지 않고 전체 카운터의 속도를 증가시킬 수 있다.
- [0022] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

도면1



도면2

