



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0095346  
(43) 공개일자 2014년08월01일

(51) 국제특허분류(Int. Cl.)

H04B 7/04 (2006.01) H04L 1/06 (2006.01)

(21) 출원번호 10-2013-0008220

(22) 출원일자 2013년01월24일

심사청구일자 없음

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50, 연세대학교 (신촌동)

(72) 발명자

김동구

서울 강남구 일원로 120, 103동 1104호 (일원동, 샘터마을아파트)

안찬호

서울 송파구 문정로 83, 104동 1202호 (문정동, 문정래미안아파트)

(74) 대리인

최관락, 송인호, 민영준

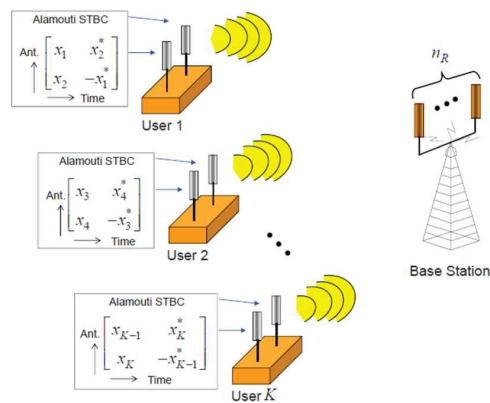
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 STBC 시스템에서 격자 감소 방법

### (57) 요약

매티릭스 파티션, 부분적 격자 감소 및 잔여 베이스스 감소 단계를 포함하는 STBC 시스템에서 격자 감소 방법 격자 감소 방법이 개시된다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 1415107372

부처명 지식경제부

연구사업명 산업원천기술개발

연구과제명 고해상도 영상정보 수집용 Gbps급 초고속 초저전력 무선통신 SoC 연구

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2012.03.01 ~ 2013.02.28

---

## 특허청구의 범위

### 청구항 1

매터릭스 파티션, 부분적 격자 감소 및 잔여 베이스 감소 단계를 포함하는 STBC 시스템에서 격자 감소 방법  
격자 감소 방법.

## 명세서

### 기술 분야

[0001] 본 발명의 실시예들은 격자 감소 방법에 관한 것으로서, 더욱 상세하게는 STBC 시스템에서 격자 감소 방법에 관한 것이다.

### 배경 기술

[0002] 기존의 격자(Lattice) 감소 기법과 최초 정렬을 실행 시 그 위치를 계속해서 기억하고 저장해야 하며, 격자 감소와 정렬이 완료되고 난 후에 역치환을 적용한다. 이것은 불필요한 복잡한 절차이다. 또 다른 기존 기술은 두 사용자가 지속적으로 각자의 데이터 스트림을 알라무티 코드를 이용해 전송하는 경우에만 적용 가능하다는 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0003] 본 발명에서는 낮은 복잡도를 가지고 스택 STBC 시스템에서 적용 가능한 격자 감소 방법을 제안한다.

#### 과제의 해결 수단

[0004] 상기한 목적을 달성하기 위해 본 발명의 일 실시예에 따르면, 매터릭스 파티션, 부분적 격자 감소 및 잔여 베이스 감소 단계를 포함하는 STBC 시스템에서 격자 감소 방법 격자 감소 방법이 제공된다.

#### 발명의 효과

[0005] 본 발명의 격자 감소 기법은 낮은 복잡도를 가지고 스택 STBC 시스템에서 적용 가능한 장점이 있다.

#### 도면의 간단한 설명

[0006] 도 1은 두 개의 안테나를 구비한 본 발명의 시스템을 도시한 도면.

도 2는 본 발명의 고정 구조를 가지는 격자 감소 기법을 도시한 도면.

도 3은 본 발명의 격자 감소 기법에 대한 전체적인 흐름을 도시한 순서도.

도 4는 본 발명의 g-DSLRL의 예를 도시한 도면.

#### 발명을 실시하기 위한 구체적인 내용

[0007] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0008] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

[0009] 도 1은 두 개의 안테나를 구비한 본 발명의 시스템을 도시한 도면이다.

[0010] 본 발명에서는  $n_T \times n_R$ 의 stacked STBC 시스템을 가정한다. 여기서,  $n_T$ 는 송신 안테나 수이고  $n_R$ 은 수신 안테나

수이다. 이에 따라 받은 신호벡터  $y_c$ 를 다음과 같이 첫 번째 시간과 두 번째 시간에서 이어 적을 수 있다.

[0011] 받는 신호 벡터  $y_c$ 는 다음의 수학식 1과 같이 표현될 수 있다.

### 수학식 1

[0012]  $y_c = H_c x_c + n_c,$

$$y_c = \left[ \begin{bmatrix} y_1(1) & y_1(2) \end{bmatrix}, \cdots, \begin{bmatrix} y_{n_R}(1) & y_{n_R}(2) \end{bmatrix} \right]^T,$$

$$x_c = \left[ \begin{bmatrix} x_1 & x_2 \end{bmatrix}, \cdots, \begin{bmatrix} x_{n_T-1} & x_{n_T} \end{bmatrix} \right]^T,$$

$$n_c = \left[ \begin{bmatrix} n_1(1) & n_1(2) \end{bmatrix}, \cdots, \begin{bmatrix} n_{n_R}(1) & n_{n_R}(2) \end{bmatrix} \right]^T,$$

[0013]

[0014] 이 경우 채널은 다음의 수학식 2와 같이 표현될 수 있다.

### 수학식 2

$$H_c = \begin{bmatrix} H_{1,1} & \cdots & H_{1,n_T/2} \\ \vdots & \ddots & \vdots \\ H_{n_R,1} & \cdots & H_{n_R,n_T/2} \end{bmatrix}.$$

[0015]

[0016] 여기서  $H_{i,j}$ 는 실효 채널 행렬이고 개별적인 알라무티 코드를 가지고 있으며, 도 1은 이를 송신 안테나가 2개인 경우에 대해 도시한 것이다.

[0017] 본 발명은  $4 \times n_R$  stacked STBC system(2 사용자 uplink MIMO)에 대하여 낮은 복잡도로 격자를 감소시키는 방법을 제시한다. 이는  $n_T \times n_R$ 의 stacked STBC system(K사용자 uplink MIMO system)의 특수 케이스라 볼 수 있다.

[0018] 본 발명에서는 고정 구조를 가지는 격자 감소 기법을 제안하며, 이는 총 두 단계로 이루어지며 각 단계는 3개의 블록(매트릭스 파티션, 부분적 격자 감소, 잔여 베이스스 감소)으로 이루어져 있다.

[0019] 도 2는 본 발명의 고정 구조를 가지는 격자 감소 기법을 도시한 도면이다.

[0020] 우선, 채널 행렬  $H_c$ 는 크기에 따라 오름차순으로 정렬한다. 이를  $H_c^{\text{sort}}$ 라고 한다.

[0021] 오름차순으로 정렬된 행렬  $H_c$ 를 CSLR 기법의 입력  $H_{\text{input}}^{1st}$ 로 집어넣는다. 전송된 신호가DSTTD system의 STBC stack이므로,  $H_{\text{input}}^{1st}$ 는 직교하는 성질을 가지고 있다.  $H_{\text{input}}^{1st}$ 과 그 직교하는 성질을 나타내는 식은 다음의 수학식 3과 같다.

### 수학식 3

$$\mathbf{H}_{\text{input}}^{\text{1st}} = \begin{bmatrix} \mathbf{h}_{i,1} & \mathbf{h}_{i,2} & \mathbf{h}_{i,3} & \mathbf{h}_{i,4} \end{bmatrix}$$

$$\mathbf{h}_{i,l}^H \mathbf{h}_{i,l+1} = 0, \quad (\text{for } l = 1, 3).$$

[0022]

[0023] 1) 매트릭스 파티션(Matrix Partitioning)

[0024] 직교하는 성질을 이용해 입력 행렬을 다음과 같이 둘로 나눈다.

$$\mathbf{H}_\alpha = [\mathbf{h}_{i,1}, \mathbf{h}_{i,3}].$$

[0025]

[0026] 2)  $\mathbf{H}_\alpha$  이용한 부분적 격자 감소

[0027] 반으로 나뉜 행렬  $\mathbf{H}_\alpha$ 에 대하여 격자 감소를 수행한다. CLLL-LR을 적용하지 않고, 두 격자 벡터간 상관은 다음의 수학식 4와 같이 단순화된다.

### 수학식 4

$$\tilde{\mathbf{h}}_{i,1} = \mathbf{h}_{i,1}, \quad \tilde{\mathbf{h}}_{i,3} = \mathbf{h}_{i,3} - \left[ \frac{\mathbf{h}_{i,1}^T \mathbf{h}_{i,3}}{\|\mathbf{h}_{i,1}\|^2} \right] \mathbf{h}_{i,1}.$$

[0028]

[0029] 격자 감소를 통해 다음의 수학식 5와 같은 출력이 나오게 된다.

### 수학식 5

$$\tilde{\mathbf{H}}_\alpha = [\tilde{\mathbf{h}}_{i,1}, \tilde{\mathbf{h}}_{i,3}]$$

[0030]

[0031] 1) 잔여 베이스스 감소(Remaining Basis Reduction)

[0032] 제안하는 기법은 격자 감소를 수행하지 않고 나머지  $\tilde{\mathbf{h}}_{i,2}, \tilde{\mathbf{h}}_{i,4}$  격자 벡터를 생성한다.  $\tilde{\mathbf{h}}_{i,2}, \tilde{\mathbf{h}}_{i,4}$ 는 다음의 수학식 6(STBC 구조에 의해 이미 알려진)에 의해 구해진다.

### 수학식 6

$$\tilde{\mathbf{h}}_{i,l+1} = \left[ \tilde{h}_{i,l}^*(2), -\tilde{h}_l^*(1), \dots, \tilde{h}_l^*(2n_R), -\tilde{h}_l^*(2n_R - 1) \right]^T,$$

[0033]

[0034] 따라서, 줄어든 베이스스 벡터  $\{\tilde{\mathbf{h}}_{i,1}, \dots, \tilde{\mathbf{h}}_{i,4}\}$  는 스택 STBC 구조를 만족하게 된다. 이는 다음의 수학적 7과 같다.

### 수학적 7

[0035]

$$\mathbf{H}_{\text{output}}^{\text{1st}} = \tilde{\mathbf{H}} = \begin{bmatrix} \tilde{\mathbf{h}}_{i,1} & \tilde{\mathbf{h}}_{i,2} & \tilde{\mathbf{h}}_{i,3} & \tilde{\mathbf{h}}_{i,4} \end{bmatrix},$$

[0036]

위 수학적 7의 행렬이 첫 번째 단계의 첫 번째 출력 행렬이다.

[0037]

두 번째 단계에서는 첫 번째 단계의 출력행렬을 입력( $\mathbf{H}_{\text{input}}^{\text{2nd}} = \begin{bmatrix} \mathbf{h}_1^{\text{in}} & \mathbf{h}_2^{\text{in}} & \mathbf{h}_3^{\text{in}} & \mathbf{h}_4^{\text{in}} \end{bmatrix}$ )으로 받는다. 첫 번째 단계와 비슷하게 입력행렬을  $\mathbf{H}_{\beta}$  로 나눈다. 이 행렬은 첫 번째 단계의 출력의 첫 번째, 네 번째 열로 이루어진다. 이는 다음의 수학적 8과 같다.

### 수학적 8

[0038]

$$\mathbf{H}_{\beta} = [\mathbf{h}_{i,1}, \mathbf{h}_{i,4}].$$

[0039]

여기에 첫 번째 단계와 동일한 방법으로, 즉  $\mathbf{H}_{\beta}$  를  $\mathbf{H}_{\alpha}$  와 동일한 방법을 사용해 다음을 구한다. 최종적으로 2 번째의 output은 다음의 수학적 9와 같이 나타난다.

### 수학적 9

[0040]

$$\mathbf{H}_{\text{output}}^{\text{2nd}} = \tilde{\mathbf{H}} = \begin{bmatrix} \tilde{\mathbf{h}}_{i,1} & \tilde{\mathbf{h}}_{i,2} & \tilde{\mathbf{h}}_{i,3} & \tilde{\mathbf{h}}_{i,4} \end{bmatrix}.$$

[0041]

위 수학적 9에서 격자 행렬의 크기가 반으로 줄었고 이를 통해 복잡도 저하를 달성할 수 있다.

[0042]

고정 구조 격자 감소 기법(DSLR)은 공통된 격자 감소를 두 개의 단계로 나눠 각각 단계에서 절반 크기의 행렬을 처리함으로써 복잡도를 낮추었다. 하지만,  $\|\tilde{\mathbf{h}}_{i,1}\| > \|\tilde{\mathbf{h}}_{i,3}\|$  인 경우 결과 행렬은 더 줄어들 수 있다. 하지만 이는 LLL의 두 번째 조건에 위배된다. 그 조건은 다음의 수학적 10과 같다.

### 수학적 10

[0043]

$$\|\mathbf{h}_i^*\|^2 \geq (\delta - \mu_{i,i-1}^2) \|\mathbf{h}_{i-1}^*\|^2, \quad \text{for } 1 < i \leq n,$$

[0044]

따라서, 여기서 iterative DSLR(iDSLRL) 기법을 제기하고 이를 통해 베이스스 벡터를 더욱 감소시킨다. iDSLRL은 첫 번째 stage의  $\mathbf{H}_{\text{c}}^{\text{sort}}$  의 첫 번째, 세 번째 열과 두 번째 stage의  $\mathbf{H}_{\text{output}}^{\text{1st}}$  의 두 번째, 네 번째 열을 사용한다. 방법은 DSLR과 같고, 두 번째 단계의 출력이  $\|\tilde{\mathbf{h}}_{i,1}\| > \|\tilde{\mathbf{h}}_{i,3}\|$  라면 벡터들은 오름차순으로 정렬되었고, 이는 다음

의 수학적식 11과 같다.

### 수학적식 11

$$\mathbf{H}_{\text{output}}^{\text{2nd}} = \tilde{\mathbf{H}} = \begin{bmatrix} \tilde{\mathbf{h}}_{i,3} & \tilde{\mathbf{h}}_{i,4} & \tilde{\mathbf{h}}_{i,1} & \tilde{\mathbf{h}}_{i,2} \end{bmatrix}.$$

이후에 입력 행렬을 위의  $\mathbf{H}_{\text{output}}^{\text{2nd}} = \tilde{\mathbf{H}} = \begin{bmatrix} \tilde{\mathbf{h}}_{i,3} & \tilde{\mathbf{h}}_{i,4} & \tilde{\mathbf{h}}_{i,1} & \tilde{\mathbf{h}}_{i,2} \end{bmatrix}$  로 업데이트 한다. 그렇지 않으면 두 번째 단계의 출력 행렬  $\mathbf{H}_{\text{output}}^{\text{2nd}} = \tilde{\mathbf{H}} = \begin{bmatrix} \tilde{\mathbf{h}}_{i,3} & \tilde{\mathbf{h}}_{i,4} & \tilde{\mathbf{h}}_{i,1} & \tilde{\mathbf{h}}_{i,2} \end{bmatrix}$  가 최종 감소된 행렬로 결정되고 프로세스가 끝난다. 이 일련의 과정들은 여전히 STBC 구조를 사용한다.

도 3은 본 발명의 격자 감소 기법에 대한 전체적인 흐름을 도시한 순서도이며, 본 발명의 방법은 유한 번의 횟수로 완료가 되며, 출력은 상관이 줄어든 채널 행렬이 된다.

스택 STBC 시스템에 대하여 보편적인 경우에 대해 DSLR이 적용이 가능하다는 것을 보인다. 이는 g-DSLR이라 명명한다.

g-DSLR은  $n_t$ 개의 송신 안테나 수가 짝수인 경우, 아래 그림과 같이 4개씩 짝을 지어 총  $\frac{n_T/2(n_T/2-1)}{2}$  개 쌍을 각각 DSLR을 수행한다. 짝을 짓는 방법은 홀수만 뽑아 그 중 2개를 뽑는 조합, 즉  $n_T/2 C_2$  개를 뽑고 이를 순서대로 나열한 후, 홀수 번 뒤에 짝수 번을 붙이는 방식이다.

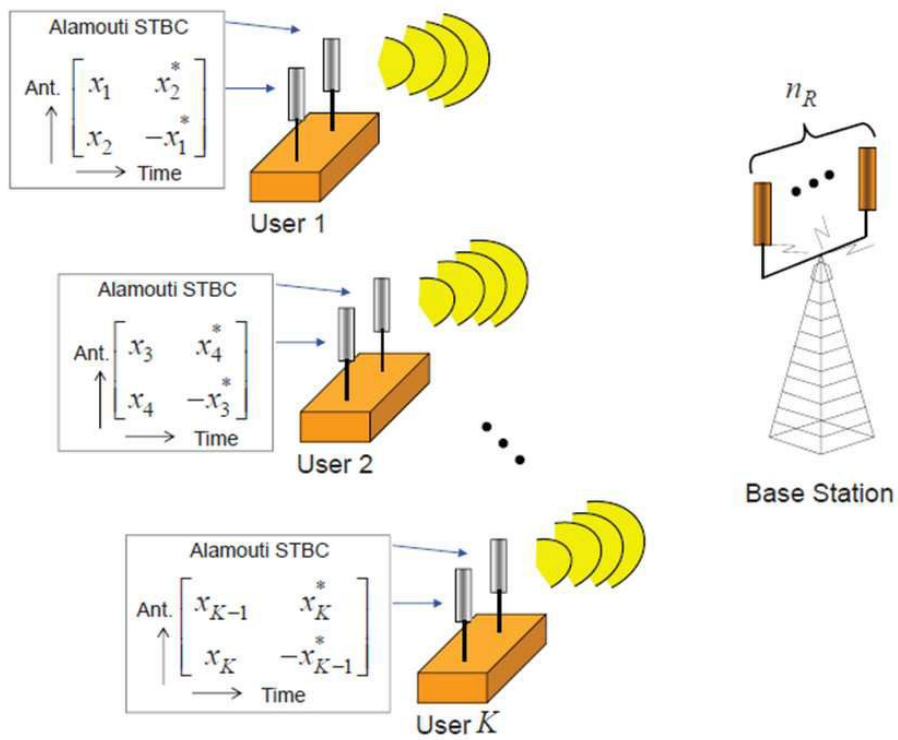
도 4는 본 발명의 g-DSLR의 예를 도시한 도면이며, 도 4의 예를 통해 설명한 방식을 쉽게 이해할 수 있다.

g-iDSLR은 g-DSLR에 iteration을 추가하는 것으로, 그 방법은 iDSLR과 같다. g-DLSR을 수행하고 난 뒤에 결과로 나온 채널 벡터의 크기(magnitude)를 측정한다. 결과 벡터의 크기가 오름차순으로 정렬되어 있지 않을 경우, g-iDSLR을 통하여 iteration이 행해진다. 이는 벡터의 크기가 오름차순으로 정렬될 때까지 계속된다.

이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

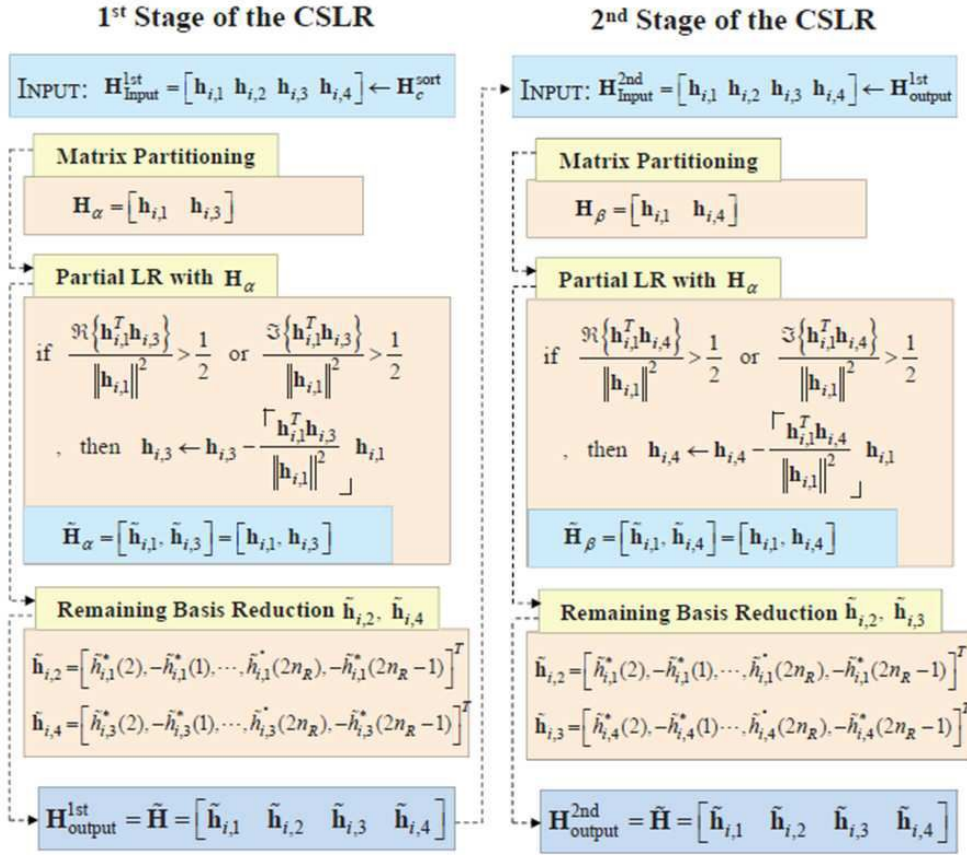
도면

도면1

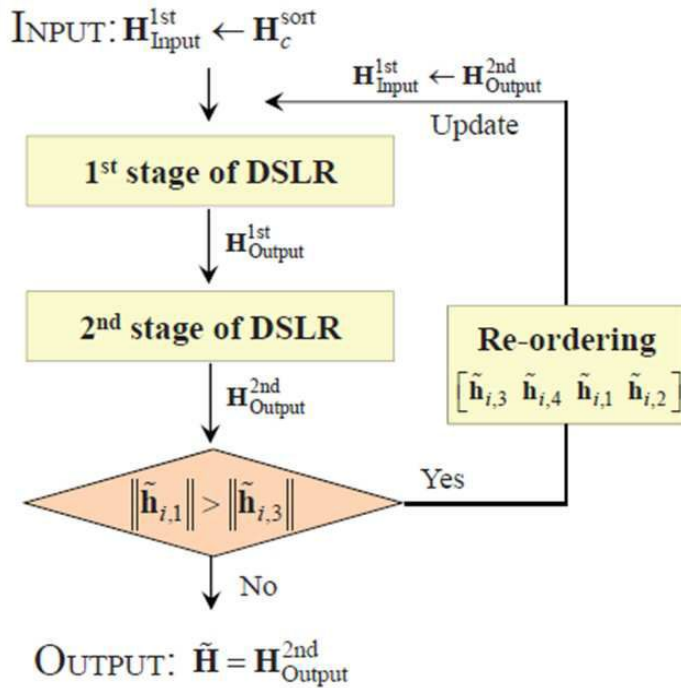




도면2



도면3



도면4

