

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G06T 1/20 (2006.01)

G06T 1/60 (2006.01)

(11) 공개번호

10-2006-0044124

(43) 공개일자

2006년05월16일

(21) 출원번호 10-2004-0091939

(22) 출원일자 2004년11월11일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
학교법인연세대학교
서울 서대문구 신촌동 134번지

(72) 발명자 임정환
경기도 성남시 분당구 수내동 파크타운대림아파트 138동 120 2호
김경호
경기도 성남시 분당구 이매동 이매촌삼성아파트 1001동 803 호
김주광
경기도 용인시 구성면 상하리 쌍용아파트 304동 301호
변성수
경기도 안양시 동안구 범계동 목련대우아파트 204동 408호
한탁돈
서울특별시 송파구 잠실7동 86 아시아선수촌아파트 14동 804 호
김일산
서울특별시 은평구 신사2동 40-20 301호
박우찬
서울특별시 종로구 무악동 82 무악현대아파트 108동 1604호

(74) 대리인 이견주

심사청구 : 없음

(54) 3차원 그래픽 가속을 위한 그래픽 시스템 및 메모리 장치

요약

본 발명은 이동 단말 응용 분야에서 3차원 그래픽 압축 텍스처 데이터를 효과적으로 처리하는 컴퓨터 그래픽 시스템 및 메모리 장치에 관한 것이다. 상기 메모리 장치는, 텍스처 데이터를 저장하기 위한 텍스처 버퍼로 할당된 제1 메모리 영역과, 프레임 데이터를 픽셀 단위로 저장하기 위한 프레임 버퍼로 할당된 제2 메모리 영역을 포함하는 메모리 구조와, 상기 메모리 구조의 입력주소에 따라, 상기 입력주소가 상기 제1 메모리 영역을 나타내면 상기 메모리 구조가 상기 텍스처 버퍼로 동작하도록 제어하고, 상기 입력주소가 상기 제2 메모리 영역을 나타내면 상기 메모리 구조가 상기 프레임 버퍼로 동작하도록 제어하는 비교기와, 상기 메모리 구조가 상기 프레임 버퍼로 동작하는 경우, 입력되는 프레임 데이터와 상기 프레임 버퍼로부터 읽어낸 프레임 데이터에 대해 깊이비교 또는 알파블렌딩을 수행하는 논리연산 장치(ALU)를 포함한다. 이러한 본 발명은 가격과 효율 면에서 효과적인 단일 메모리 시스템을 채택할 수 있으며, 고속 DRAM 기술에 적합하고, 내부 캐시가 불필요하여 하드웨어 절감 및 성능 향상의 효과를 얻을 수 있다.

대표도

도 7

색인어

3D Graphics, Graphics Processor, Rasterization, Texture mapping, Depth compare, Alpha blending, pixel processing pipeline

명세서

도면의 간단한 설명

도 1은 본 발명이 적용되는 3차원 개체를 나타낸 도면.

도 2는 본 발명이 적용되는 컴퓨터 시스템의 일 실시예를 나타낸 도면.

도 3은 도 2에 도시된 그래픽 시스템의 상세 구성의 일 예를 나타낸 도면.

도 4는 본 발명의 바람직한 실시예에 따른 픽셀 래스터처리 파이프라인을 개념적으로 도시한 도면.

도 5는 깊이비교 파이프라인 및 알파블렌딩 파이프라인을 메모리 내부에 장착한 프레임 버퍼의 일 실시예를 나타낸 도면.

도 6은 복수의 3D RAM들을 포함하며 깊이검사 및 알파 블렌딩을 수행하는 그래픽 시스템의 구조.

도 7은 본 발명의 바람직한 실시예에 따른 그래픽 메모리의 구조를 나타낸 도면.

도 8은 256 비트의 버스를 갖는 3차원 그래픽 프로세서와 SDRAM들을 포함하는 그래픽 시스템의 구조.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 컴퓨터 그래픽 시스템에 관한 것으로서, 특히 이동 단말 응용 분야에서 3차원 그래픽 압축 텍스처(texture) 데이터를 효과적으로 처리하는 메모리 장치에 관한 것이다.

3차원 그래픽 처리는 크게 기하학 처리(Geometry processing)와 래스터처리(Rasterization)로 나뉜다. 기하학 처리에서는 그래픽 형태를 나타내는 다각형, 통상 삼각형을 이루는 정점들을 시점에 맞추어서 변환시키고 각 정점들에 대해 해당 조명 모델에 따른 색깔을 계산한다. 래스터처리에서는 상기 기하학 처리된 삼각형을 최종 픽셀로 변환하여 텍스처매핑(texture mapping), 깊이비교(depth compare), 알파블렌딩(alpha blending) 등을 수행한다.

3차원 그래픽 처리는 적어도 부분적으로는 독립된 많은 동작들로 이루어진다. 이러한 동작들의 병렬 처리를 위한 잘 알려진 기술 중의 하나는 파이프라인화(pipelineing)이다. 파이프라인 기술에서 개별적인 프로세서들은 직렬로 접속되며 하나의 프로세서는 하나의 데이터에 대한 일련의 동작들을 수행한 후 다른 동작들을 수행하는 다른 프로세서에게 상기 처리된 데이터를 전달한다. 동시에 상기 첫 번째 프로세서는 다른 데이터에 대한 동작들을 수행한다. 3차원 그래픽 시스템에서는 텍스처매핑, 깊이비교, 알파블렌딩을 대표적인 파이프라인으로 각각 구성하여, 처리 효율을 향상시킨다.

SUNTM과 MitsubishiTM이 개발한 3차원 그래픽 하드웨어 가속기는, 깊이비교 파이프라인 및 알파블렌딩 파이프라인을 메모리 내부에 장착한 형태의 그래픽 메모리인 3D RAM(Random Access Memory)을 사용한다. 상기 3D RAM을 장착한 그래픽 하드웨어 가속기인 경우 깊이비교 및 알파블렌딩은 3차원 그래픽 프로세서 내부에서 수행되지 않고 3D RAM에서 수

행된다. 3D RAM이 장착되지 않았을 경우 깊이비교 및 알파블렌딩시 읽기-변형-쓰기(read-modify-write) 연산을 필요로 함에 반하여, 3D RAM이 장착되었을 경우 깊이비교 및 알파블렌딩시 쓰기(write-only) 연산만을 필요로 한다. 따라서, 그래픽 프로세서와 프레임 버퍼 간에 요구되는 대역폭이 줄어들게 되고 성능이 향상된다.

종래의 고속 메모리는 동기(Synchronous) DRAM(Dynamic RAM) 형태로써 한 블록의 버스트 데이터에 대하여 연속적으로 읽기 및 쓰기에 매우 적합함에 반하여, 기존의 3D RAM은 연속적인 픽셀들에 대한 처리를 통하여 성능을 올리기 위하여 내부 캐시(Internal Cache)와 선인출(prefetch) 기법을 사용하였다. 이로 인하여 별도의 하드웨어가 필요하고 제어가 복잡해지며 캐시미스(Cache miss)로 인한 성능저하가 발생할 수 있었다.

다른 문제점으로 3D RAM은 픽셀 형태의 프레임 데이터를 저장하고 깊이비교 및 알파 블렌딩을 잘 처리하도록 고안된 메모리이지만, 텍스처의 저장이나 스텐실 버퍼 등은 고려하지 않은 구조이다. 3D RAM의 개발될 당시에는 프레임 버퍼와 텍스처 메모리 공간이 별도로 존재하는 전용 메모리(dedicated memory) 시스템이 주로 사용되었다. 그러나 최근 거의 대부분의 그래픽 메모리 시스템은 메모리 기술의 빠른 발전으로 인하여 그래픽 처리에 관련된 데이터들인 텍스처 메모리, 스텐실 버퍼, 프레임 버퍼 등이 하나의 메모리 공간에 존재하는 단일화(unified) 메모리 시스템을 사용한다. 따라서, 현재의 메모리 기술로 3D RAM의 기능을 하는 메모리를 만드는 경우 텍스처 메모리 등이 프레임 버퍼와 같은 칩 내에 저장할 수 있는 구조가 되어야 한다. 그러나, 3D RAM의 동작은 텍스처 메모리의 동작과 매우 상이하기 때문에 효과적인 구조를 구성하기가 매우 어렵다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서 상기한 바와 같이 동작되는 종래 기술의 문제점을 해결하기 위하여 창안된 본 발명의 목적은, 연속적인 픽셀들로 구성된 버스트 데이터에 대하여 깊이 비교 및 알파 블렌딩을 고속으로 처리하는 3차원 그래픽 처리 방법 및 장치를 제공하는 것이다.

본 발명의 다른 목적은, 프레임 버퍼와 텍스처 데이터 등이 하나의 메모리 공간에 존재하는 단일화 메모리 시스템을 제공하는 그래픽 DRAM 구조 및 그 동작 방법을 제공하는 것이다.

상기한 바와 같은 목적을 달성하기 위하여 창안된 본 발명의 실시예는, 3차원 그래픽 처리를 수행하는 그래픽 시스템의 메모리 장치에 있어서,

텍스처 데이터를 저장하기 위한 텍스처 버퍼로 할당된 제1 메모리 영역과, 프레임 데이터를 픽셀 단위로 저장하기 위한 프레임 버퍼로 할당된 제2 메모리 영역을 포함하는 메모리 구조와,

상기 메모리 구조의 입력주소에 따라, 상기 입력주소가 상기 제1 메모리 영역을 나타내면 상기 메모리 구조가 상기 텍스처 버퍼로 동작하도록 제어하고, 상기 입력주소가 상기 제2 메모리 영역을 나타내면 상기 메모리 구조가 상기 프레임 버퍼로 동작하도록 제어하는 비교기와,

상기 메모리 구조가 상기 프레임 버퍼로 동작하는 경우, 입력되는 프레임 데이터와 상기 프레임 버퍼로부터 읽어낸 프레임 데이터에 대해 깊이비교 또는 알파블렌딩을 수행하는 논리연산 장치(ALU)를 포함하는 것을 특징으로 한다.

본 발명의 다른 실시예는, 3차원 그래픽 처리를 수행하는 그래픽 시스템에 있어서,

3차원 개체의 처리를 위한 프래그먼트 정보를 입력받아 텍스처 매핑을 수행하는 3차원 그래픽 프로세서와,

상기 텍스처 매핑을 위해 참조되는 텍스처 데이터와 상기 프래그먼트 정보를 포함하는 픽셀 단위의 프레임 데이터를 저장하고, 상기 프레임 데이터에 대한 깊이비교와 알파블렌딩을 수행하는 적어도 한 쌍의 메모리 장치들을 포함하는 것을 특징으로 하는 한다.

발명의 구성 및 작용

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대한 동작 원리를 상세히 설명한다. 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경

우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

도 1은 본 발명이 적용되는 3차원 개체를 나타낸 것이다.

도시한 바와 같이, 3차원 공간상의 개체(10)는 고유한 3차원 좌표축 (x_{obj} , y_{obj} , z_{obj})에 따른 기하사면체(tetrahedron)로서, 좌표축 (x_{eye} , y_{eye} , z_{eye})에 따른 관측점(viewing point)(12)의 좌표 시스템에서 번역되고 스케일되고 배치된다. 상기 개체(10)는 원근법적으로 관측면(14)에 투영되어 2차원적으로 보이게 된다. 상기 개체의 z -좌표는 추후의 사용을 위하여 보존된다. 상기 개체(10)는 최종적으로 좌표축 (x_{screen} , y_{screen} , z_{screen})에 기초하여 디스플레이 스크린(16) 상으로 옮겨진다. 상기 개체(10) 상의 점들은 디스플레이 스크린(16)에서 픽셀로 표현되는 x 와 y 의 좌표들과, 관측점(12)으로부터의 거리의 스케일된 버전의 z 좌표를 가진다.

도 2는 본 발명이 적용되는 컴퓨터 시스템의 일 실시예를 나타낸 것이다.

도 2를 참조하면, 컴퓨터 시스템은 시스템 버스(고속 메모리 버스 또는 호스트 버스라고도 칭함)(20)에 연결된 중앙처리장치(Central Processing Unit: 이하 CPU라 칭함)(22)를 포함한다. 시스템 메모리(24)는 시스템 버스(20)를 통해 상기 CPU(22)와 통신한다. CPU(22)는 다양한 프로세서 타입의 하나 또는 그 이상의 프로세서들을 포함할 수 있으며, 시스템 메모리는 또한 다양한 유형의 메모리들의 조합이 될 수 있다. 그래픽 시스템(26)은 상기 CPU(22)나 시스템 메모리(24)로부터 상기 시스템 버스(20)를 통해 그래픽 데이터를 제공받거나, 인터넷이나 네트워크 등과 같은 외부 소스로부터 그래픽 데이터를 직접 제공받기 위한 통신 포트를 가질 수 있다. 상기 그래픽 데이터는 상기 그래픽 시스템(26)에 의해 처리된 후 상기 그래픽 시스템에 접속된 적어도 하나의 디스플레이 장치(28)로 출력된다.

도 3은 도 2에 도시된 그래픽 시스템(26)의 상세 구성의 일 예를 나타낸 것이다.

도 3을 참조하면, 그래픽 시스템(26)은 적어도 하나의 미디어 프로세서(30)와 적어도 하나의 하드웨어 가속기(34)와 적어도 하나의 텍스처 버퍼(36)와 적어도 하나의 프레임 버퍼(38)와 적어도 하나의 영상 출력 프로세서(Video Output Processor)(40)를 포함한다. 또한 디스플레이 장치(28)와 연결되는 디지털/아날로그 변환기(Digital to Analog Converter: DAC라 표기함)(42)와 영상 부호기(Video Encoder)(46), 디스플레이 구동기(driver)(도시하지 않음) 등이 더 포함된다. 상기 미디어 프로세서(30)와 상기 하드웨어 가속기(34)는 서로 다른 집적회로로 구성되거나, 또는 동일한 집적회로 내에 혼합될 수 있다.

상기와 같이 구성되는 그래픽 시스템(26)은 시스템 버스(20)를 통한 CPU(22)의 명령에 응답하여 이네이블된다. 상기 미디어 프로세서(30)는 시스템 버스(20)를 통한 상기 명령을 해석하고 상기 CPU(22)와 통신하는 상기 그래픽 시스템(26)과 상기 CPU(22) 사이의 인터페이스로서 동작한다. 또한 상기 미디어 프로세서(30)는 변형(transformation), 라이팅(lighting) 등과 같은 그래픽 데이터에 대한 일반적인 처리를 수행할 수 있다. 상기 미디어 프로세서(30)를 위한 프로그램과 데이터는 직접 램버스(Direct Rambus: RD) DRAM(Dynamic RAM)(32)에 저장되어 있다.

하드웨어 가속기(34)는 미디어 데이터(30)로부터 그래픽 데이터를 수신하고, 래스터처리, 3차원 텍스처처리(texturing), 픽셀 전송, 이미징, 프래그먼트 처리, 클리핑(clipping), 깊이검사, 투명도 처리, 렌더링 등의 다양한 처리를 수행한다. 상기 하드웨어 가속기(34)는 그래픽 데이터를 프레임 버퍼(38)로부터 읽어내거나 기록하며, 텍스처 버퍼(36)에서 텍셀(texel) 데이터를 읽어낸다.

상기 하드웨어 가속기(34)가 수행하는 주요한 3차원 그래픽 처리 중의 하나인 래스터처리(Rasterization)를 위하여 파이프라인 구조를 가진다. 구체적으로 상기 파이프라인 구조는, 텍스처매핑 파이프라인, 깊이비교 파이프라인, 알파블렌딩 파이프라인을 포함한다.

도 4는 본 발명의 바람직한 실시예에 따른 픽셀 래스터처리 파이프라인(Pixel rasterization pipeline)을 개념적으로 도시한 것이다. 여기에서 그래픽 메모리(140)는 텍스처 버퍼와 프레임 버퍼를 포함하며, 상기 프레임 버퍼는 깊이 버퍼와 색깔 버퍼 등을 포함한다.

도 4를 참조하면, 입력되는 프래그먼트 정보(fragment information)는 보간(interpolation)을 통하여 생성된 픽셀들에 대한 색깔(color), 3차원 위치좌표 (x , y , z), 텍스처 좌표 등을 포함한다. 상기 색깔은 4개의 값들, 즉 빨강(R), 초록(G), 파랑

(B) 및 알파(A)에 의해 정의된다. 일 예로서, 색깔은 상기 각 요소들에 대해 8비트씩 32비트의 값을 가진다. 여기서 알파 값은 각 픽셀에 대한 투명도(Transparency)를 나타낸다. 알파 값이 8비트인 경우, 0은 완전히 투명한 상태이고 255는 불투명한 상태를 나타낸다. 알파 값은 유리제품이나 자막과 같은 투명화상을 배경과 혼합할 때 이용되고, 이와 같이 투명한 화상을 배경과 혼합하는 방법을 알파 블렌딩이라 한다.

텍스처 매핑 파이프라인(texture mapping pipeline)(110)에서는 해당 텍스처 좌표에 대하여 4개 혹은 8개의 텍셀(texel) 값들(142)을 그래픽 메모리(140)로부터 읽기 연산(112)을 하고, 상기 읽어낸 8개의 텍셀 값들(142)에 대해 텍스처 필터링 및 블렌딩(114)을 수행하여 한 개의 텍셀 값을 생성한다. 여기서 텍셀은 컴퓨터 그래픽에서 텍스처에 사용되는 3차원 객체의 최소 그래픽 구성요소를 나타낸다.

상기 생성된 텍셀 값은 상기 프래그먼트 정보의 일부인 색깔 값과 혼합된 후, 이에 대한 알파(alpha) 값으로 변환된다. 알파 검사(116)는 주어진 픽셀의 알파 값을 기준 알파 값과 비교함으로써 수행된다. 상기 비교의 유형은 여러 가지로 정의될 수 있다. 예를 들어 상기 주어진 픽셀의 알파 값이 상기 기준 알파 값보다 크면 상기 알파 검사에 성공(pass)한다. 다른 예로서 상기 주어진 픽셀의 알파 값이 상기 기준 알파 값보다 작으면 상기 알파 검사에 성공한다. 알파 검사(116)는 프래그먼트별 동작이다. 따라서 상기 프래그먼트 정보의 모든 픽셀들에 대한 알파 검사가 성공이면 다음 파이프라인 단계(120)로 계속 진행이 되고, 실패(fail)이면 다음 파이프라인 단계(120)로 진행되지 않고 상기 프래그먼트 정보는 폐기된다.

텍스처매핑 파이프라인(110) 이후에는 깊이 비교 및 알파 블렌딩이 수행된다.

깊이비교 파이프라인(z-test pipeline)(120)에서는 그래픽 메모리(140)로부터 깊이 값(Z)(144)에 대한 읽기 연산을 수행하고(122) 상기 읽어낸 깊이 값(Z)(144)을 상기 프래그먼트 정보에 대한 깊이 값과 비교하는 깊이 검사(Depth test or Z-test)(124)를 수행한다. 상기 깊이 검사(124)의 유형은 알파 검사와 마찬가지로 다양하게 정해질 수 있다. 예를 들어, 상기 읽어낸 깊이 값(144)이 상기 프래그먼트 정보의 깊이 값보다 크거나, 작거나, 이상이거나, 미만이면, 상기 깊이 검사(124)는 성공한다.

상기 깊이 검사(124)가 실패이면, 즉 상기 프래그먼트 정보가 이전에 처리된 영상으로 인하여 보이지 않으면, 상기 프래그먼트 정보는 현재 파이프라인(120)에서 폐기된다. 상기 깊이 검사가 성공이면 상기 프래그먼트 정보의 깊이 값(146)은 그래픽 메모리(140)에 포함된 깊이 버퍼에 쓰여지게 된다.(126)

알파 블렌딩 파이프라인(alpha-blending pipeline)(130)에서는 그래픽 메모리(140)로부터 색깔 값(148)에 대한 읽기 연산(132)을 수행하고, 상기 읽어낸 색깔 값과 상기 프래그먼트 정보의 현재까지 처리된 색깔 값에 대하여 알파 블렌딩(134)을 수행하여, 구해진 최종적인 색깔 값(150)을 그래픽 메모리(140)에 포함된 색깔 버퍼에 기록하게 된다.(136) 여기서 알파 블렌딩은 상기 프래그먼트 정보의 색깔 값의 R, G, B, A 값들에 상기 읽어낸 색깔 값의 R, G, B, A를 결합하는 것이다.

상기에서 설명한 바와 같이, 그래픽 처리를 위한 파이프라인들은 그래픽 메모리(140)의 버퍼들, 즉 텍스처 버퍼, 프레임 버퍼(깊이 버퍼, 색깔 버퍼) 등을 수시로 액세스하게 된다. 도 5는 깊이비교 파이프라인 및 알파블렌딩 파이프라인을 메모리 내부에 장착한 형태의 그래픽 메모리인 적어도 하나의 3D RAM을 사용하는 상기 프레임 버퍼의 일 실시예를 나타낸 것이다.

도 5를 참조하면, 3D RAM(210)의 전체 저장 용량은 깊이 버퍼 또는 색깔 버퍼를 구성할 수 있는 4개의 DRAM 뱅크들 A 내지 D(211a 내지 211d, 즉 211)로 균등하게 구분된다. 각각의 뱅크는 각각 직접적으로 액세스될 수 있는 데이터의 최소 단위를 나타내는 복수의 페이지들로 다시 구분된다. 모든 뱅크들(211)은 페이지 어드레스에 응답하여 페이지 그룹을 형성한다. DRAM 뱅크들(211)은 레벨-투 캐시들(212a 내지 212d, 즉 212)을 구비한다. 예를 들어 상기 캐시들(212)은 한 페이지의 데이터를 유지할 정도의 크기를 가지며 페이지 버퍼라 칭해질 수 있다.

쓰기 버스(217)와 읽기 버스(218)는 소정 크기의 한 블록의 픽셀들 전체를 운반할 정도의 용량을 가지며, 상기 캐시들(212)과 다수 블록들의 버스트 픽셀 데이터를 저장할 수 있는 2K 비트 SRAM(Static RAM) 픽셀 캐시(215) 사이에 픽셀 데이터를 운반한다. 픽셀 캐시(215)는 상기 캐시들(212)과는 달리 단일 캐시 태그 엔트리들 각각에 한 블록씩의 픽셀 데이터를 저장하는 레벨-원 캐시 메모리로 구성될 수 있다. 픽셀 캐시(215) 내의 각 픽셀 블록은 하나의 DRAM 뱅크(211)에 저장된 데이터에 해당한다. 상기 픽셀 캐시(215)는 상기 캐시들(212)과의 입출력을 위한 2개의 포트들 이외에 논리연산 장치(Arithmetic-Logic Unit: 이하 ALU라 칭함)(216)와 연결되기 위한 전용의 포트를 가지며, 고속으로 동작하는 ALU(216)와 DRAM 뱅크들(211) 간의 속도를 맞추어주기 위하여 사용되었다.

ALU(216)는 3D RAM(210)의 외부회로부터 제공되는 입력 픽셀 데이터(inbound pixel data)를 하나의 피연산자로서 수신한다. 다른 피연산자는 픽셀 캐시(215)의 저장위치로부터 페치(fetch)된다. 상기 ALU(216)는 새로운 픽셀 데이터와 3D RAM(210)에 존재하는 데이터를 조합하거나 블렌딩하기 위한 많은 수학적 함수들을 구현한 것이다. 구체적으로 상기 ALU(216)는 깊이 검사를 수행하거나 알파 블렌딩을 수행하면서, 3D RAM(210)이 읽기-변형-쓰기(read-modify-write) 연산 대신 쓰기(write-only) 연산만을 수행하도록 한다.

상기 3D RAM(210)은 또한 2개의 영상 버퍼/쉬프트 레지스터들(213a와 213b, 즉 213)을 구비한다. 상기 쉬프트 레지스터들(213)은 DRAM 뱅크들(211)로부터의 병렬 입력을 버퍼링하였다가, 다중화기(214)로 향하는 직렬 출력으로 각각 변환한다. 다중화기(214)는 상기 쉬프트 레지스터들(213)로부터 제공되는 연속된 픽셀 스트림을 영상 출력으로 연결한다.

도 6은 복수의 3D RAM들을 포함하며 깊이검사 및 알파 블렌딩을 수행하는 그래픽 시스템의 구조를 나타낸 것이다. 여기에서는 일 예로서 각각 32비트의 픽셀 데이터를 처리하는 3D RAM들(210a와 210b, 즉 210)을 도시하였다.

도 6을 참조하면, 깊이 처리를 위한 4개의 3D RAM들(210a)은 깊이 버퍼로 동작하는 DRAM(220)과 픽셀 캐시(222)와 깊이 비교 연산을 수행하는 비교부로 동작하는 ALU(224)로 구성된다. 또한 색깔 처리를 위한 4개의 3D RAM들(210b)은 색깔 버퍼로 동작하는 DRAM(230)과 영상 버퍼(232)와 픽셀 캐시(234)와 알파 블렌딩을 수행하는 블렌딩부로 동작하는 ALU(236)로 구성된다.

3차원 그래픽 프로세서(도시하지 않음)에서 생성되어 100MHz 읽기 전용 클럭에 동기하여 입력되는 깊이 값(new-Z)(240)과 색깔 값(new-RGBA)(242)은 각각 깊이 처리 3D RAM들(210a)과 색깔 처리 3D RAM들(210b)에 입력된다. 깊이 처리 3D RAM(210a)의 비교부(224)에서는 상기 new-Z(240)와, 상기 픽셀 캐시(222)를 통해 깊이 버퍼(220)로부터 읽어낸 깊이 값을 가지고 깊이 비교를 수행하고, 상기 깊이 비교의 결과는 pass_out(244)과 pass_in(246)을 거쳐서 색깔 처리 3D RAM(210b)에 입력된다. 이때, 상기 깊이 비교의 결과가 성공이면, 상기 new-Z(240)가 픽셀 캐시(222)를 통해 상기 깊이 버퍼(220)에 기록된다.

색깔 처리 3D RAM(210b)의 블렌딩부(236)에서는 상기 new-RGBA(242)와, 픽셀 캐시(234)를 통해 색깔 버퍼(230)에서 읽어낸 색깔 값과의 알파 블렌딩을 수행한다. 상기 알파 블렌딩에 의해 구해진 최종적인 색깔 값은 픽셀 캐시(234)에 의해 색깔 버퍼(230)에 기록된다. 한 블록의 버스트 픽셀 데이터에 대한 그래픽 처리가 완료되면, 색깔 버퍼(230)에 기록된 픽셀 값은 영상 버퍼(232)에 의해 RAMDAC(RAM Digital to Analog Converter)(42)로 전달된다.

도 7은 본 발명의 바람직한 실시예에 따른 그래픽 메모리의 구조를 나타낸 것으로서, 도시한 바와 같이 그래픽 프로세싱에 사용되는 128M DDR(Double Data Rate) SDRAM(Synchronous Dynamic RAM)(320)에 ALU(310) 및 비교기(326)가 삽입되었다.

도 4를 참조하면, DDR SDRAM 메모리 구조의 DRAM(320)은 64 비트로 참조되고 외부로는 32 비트로 전송될 수 있는 프레임 데이터 및 텍스처 데이터를 모두 저장한다. 상기 DDR SDRAM 메모리 구조에는 행 주소 복호기(Row Decoder)(322), 열 주소 복호기(Column Decoder)(324), 입력 버퍼(Input Buffer)(330), 2비트 프리페치(2-bit prefetch)(328), 출력 버퍼(Output Buffer)(332)가 구비된다. ALU(310)는 비교부(314)와 블렌딩부(312)를 포함한다.

행 주소 복호기(322)는 행 주소를 수신하고 상기 행 주소에 대응하는 상기 DRAM(320)의 메모리 영역을 활성화한다. 열 주소 복호기(324)는 열 주소를 수신하고 상기 열 주소에 대응하는 상기 DRAM(320)의 비트 위치를 활성화한다. 프리페치(328)는 각 주소 사이클에서 메모리로부터 데이터를 읽어내어 출력 버퍼(332)로 전달함으로써, DRAM(320)의 클럭 속도의 몇 배로 데이터가 액세스될 수 있도록 한다. 도시한 메모리 구조에서는 버스트 픽셀 데이터에 대하여 읽기와 쓰기가 번갈아가며 수행되기 때문에 캐시 메모리는 불필요하다.

DRAM(320)은 텍스처 버퍼와 프레임 버퍼를 같은 칩 내의 서로 다른 메모리 영역에 포함할 수 있다. 비교기(326)는 입력 주소가 참조하고자 하는 부분이 프레임 데이터인지 텍스처 데이터인지의 여부를 판별한다. 이러한 판별은, 행 주소 복호기(322)에 입력되는 상기 입력주소를 확인함으로써 결정된다. 예를 들어 텍스처 데이터가 DRAM(320)의 상위 메모리 영역에 할당된 경우, 상기 입력주소의 상위 소정 비트가 모두 '0'이면 상기 참조하고자 하는 부분이 텍스처 데이터인 것으로 판단하며 DRAM(320)은 3차원 그래픽 프로세서가 텍스처 데이터를 읽어내도록 허용한다. 반면 상기 참조하고자 하는 부분이 깊이비교 및 알파블렌딩을 위한 프레임 데이터라면, ALU(310)는 깊이비교 및 알파블렌딩을 수행한다.

본 발명의 바람직한 실시예에 따른 그래픽 시스템은 도 7에 도시한 바와 같이 구성되는 복수 개의 DDR SDRAM들로 구성될 수 있다. 도 8은 256 비트의 버스를 갖는 3차원 그래픽 프로세서와 SDRAM들을 포함하는 그래픽 시스템의 구조를 보여주고 있다. 여기에서는 각각 32비트의 버스트 픽셀 데이터를 처리하는 8개의 DDR SDRAM들(300a 내지 300h)이 도시되었다. 상기 DDR SDRAM들(300a 내지 300h, 즉 300) 각각은 고유한 메모리 칩으로 구성된다.

도 8을 참조하면, 각각의 메모리 칩(300) 내부에는 ALU(310a, 310b), 프레임 버퍼(320a, 320d), 텍스처 버퍼(320c, 320f), 다른 버퍼(320b, 320e) 등이 함께 존재한다. 상기 다른 버퍼(320b, 320e)는 스텐실 버퍼 또는 추가의 색깔 버퍼 등으로 이용될 수 있다. 도 6의 경우와 유사하게, 깊이 버퍼(320a)를 포함하는 메모리 칩들(300a, 300c, 300e, 300g)과 색깔 버퍼(320d)를 포함하는 메모리 칩들(300b, 300d, 300f, 300h)이 쌍으로 구성되어 있으며, 4개의 쌍이 도시되었다.

3차원 그래픽 프로세서(350)는 32 비트인 4개의 깊이 값들과 32 비트인 4개의 색깔 값들의 쌍들로 구성된 256 비트의 픽셀 데이터를 8개의 메모리 칩들(300)의 깊이 버퍼(310a)와 색깔버퍼(310b)로 보낸다. 다음의 256 비트를 보낼 경우에도, SDRAM들로 구성된 메모리 칩들(300)은 파이프라인의 중지없이 상기 다음의 256비트를 바로 입력받을 수 있다. 깊이 값들 및 색깔 값들을 포함하는 프래그먼트 정보가 입력되면, 3차원 그래픽 프로세서(350)는 모든 메모리 칩들에 위치할 수 있는 텍스처 버퍼들(320c, 320f 등)로부터 저장된 텍스처 데이터를 읽어내고, 상기 읽어낸 텍스처 데이터를 사용하여 상기 색깔 값들에 대한 텍스처 매핑 동작을 수행한다.

상기 깊이 처리 메모리 칩(300a)의 ALU(310a)에 의한 깊이 비교 결과는 pass-out 핀을 통해 쌍을 이루는 메모리 칩(300b)으로 출력된다. 색깔 처리를 위한 상기 메모리 칩(300b)에서는 상기 출력된 깊이 비교 결과를 pass-in 핀으로 입력받아, 색깔 버퍼(320d)에 저장된 32비트 색깔 값들과 결합하여 알파 블렌딩을 수행한다.

구체적으로 설명하면, 깊이 처리를 위한 메모리 칩(300a)의 ALU(310a)는 입력되는 32비트 깊이 값과 깊이 버퍼(320a)에 저장된 32비트 깊이 값들에 대해 깊이 비교를 수행한다. 상기 깊이비교의 결과가 성공이면, 상기 입력된 깊이 값은 깊이 버퍼(320a)에 저장되고 pass_out을 통해 성공을 나타내는 신호가 출력되며, 실패이면 pass_out을 통해 실패를 나타내는 신호가 출력된다. 상기 pass_out은 색깔 처리를 위한 메모리 칩(300b)의 pass_in으로 연결된다.

상기 색깔 처리 메모리 칩(300b)의 ALU(310b)는 입력되는 32비트 색깔 값과 색깔 버퍼(320d)에 저장된 32비트 색깔 값을 가지고 알파블렌딩을 수행한 후, 입력되는 pass_in 신호가 성공이면 상기 알파 블렌딩된 값은 색깔 버퍼(320d)에 저장되고, 상기 pass_in 신호가 실패이면 상기 알파 블렌딩된 값은 폐기된다.

이러한 깊이 비교와 알파 블렌딩의 처리는 버스트 데이터에 대해서 수행되기 때문에, 외부로부터 입력되는 데이터의 속도와 메모리 칩 내부에서의 메모리 참조 속도를 같게 할 수 있다. 따라서 별도의 캐시 메모리가 없이도 ALU들(310a, 310b)은 파이프라인 정지 없이 동작할 수 있다.

일 예로서, 버스트 데이터가 매 단계마다 k 의 처리 시간이 소요되는 깊이 비교 및 알파 블렌딩을 필요로 하고, 버스트 데이터의 읽기 연산을 수행한 후 쓰기 연산을 수행하기 위해 필요한 설정(setup) 지연 시간(latency)을 m 사이클이라고 하면, 각 파이프라인 단계는 $k+m$ 의 처리 시간을 필요로 한다. 이때, 상기 m 사이클 동안에도 다음 픽셀 데이터에 대해 파이프라인이 진행되기 때문에, 상기 지연 시간 m 으로 인한 파이프라인 중지가 발생하지는 않는다. 즉, 32 비트 픽셀 값은 한 파이프라인 단계를 통해 $k+m$ 사이클 후에 출력되고, 바로 버스트 데이터의 쓰기가 수행된다. 따라서 하나의 버스트 데이터에 대한 깊이 비교 및 알파 블렌딩을 위해 단지 $2k+m$ 사이클만큼의 시간이 소요된다.

한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으며, 후술되는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

이상에서 상세히 설명한 바와 같이 동작하는 본 발명에 있어서, 개시되는 발명중 대표적인 것에 의하여 얻어지는 효과를 간단히 설명하면 다음과 같다.

본 발명은, 프레임 메모리와 텍스처 메모리를 하나의 주소공간에 배치함으로써 가격과 효율 면에서 효과적인 단일 메모리 시스템을 채택할 수 있도록 한다. 즉 복수의 픽셀들로 구성된 버스트 데이터가 한꺼번에 깊이비교 및 알파블렌딩을 거치기 때문에 고속 DRAM 기술에 적합하며, 내부 캐시가 불필요하여 하드웨어 절감 및 성능 향상의 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

3차원 그래픽 처리를 수행하는 그래픽 시스템의 메모리 장치에 있어서,

텍스처 데이터를 저장하기 위한 텍스처 버퍼로 할당된 제1 메모리 영역과, 프레임 데이터를 픽셀 단위로 저장하기 위한 프레임 버퍼로 할당된 제2 메모리 영역을 포함하는 메모리 구조와,

상기 메모리 구조의 입력주소에 따라, 상기 입력주소가 상기 제1 메모리 영역을 나타내면 상기 메모리 구조가 상기 텍스처 버퍼로 동작하도록 제어하고, 상기 입력주소가 상기 제2 메모리 영역을 나타내면 상기 메모리 구조가 상기 프레임 버퍼로 동작하도록 제어하는 비교기와,

상기 메모리 구조가 상기 프레임 버퍼로 동작하는 경우, 입력되는 프레임 데이터와 상기 프레임 버퍼로부터 읽어낸 프레임 데이터에 대해 깊이비교 또는 알파블렌딩을 수행하는 논리연산 장치(ALU)를 포함하는 것을 특징으로 하는 상기 장치.

청구항 2.

제 1 항에 있어서, 상기 메모리 구조는,

DDR(Double Data Rate) SDRAM(Synchronous Dynamic RAM)으로 구성되는 것을 특징으로 하는 상기 장치.

청구항 3.

제 1 항에 있어서, 상기 프레임 버퍼는,

상기 프레임 데이터의 깊이 값들을 저장하는 깊이 버퍼와,

상기 프레임 데이터의 색깔 값들을 저장하는 색깔 버퍼를 포함하는 것을 특징으로 하는 상기 장치.

청구항 4.

제 1 항에 있어서, 상기 메모리 구조는,

상기 제1 메모리 영역과 상기 제2 메모리 영역을 포함하는 DRAM과,

입력되는 행 주소에 대응하는 상기 DRAM의 메모리 영역을 활성화하는 행 주소 복호기와,

입력되는 열 주소에 대응하는 상기 DRAM의 비트 위치를 활성화하는 열 주소 복호기와,

상기 DRAM으로 입력되는 데이터를 버퍼링하는 입력 버퍼와,

상기 DRAM으로부터 출력되는 데이터를 버퍼링하는 출력 버퍼와,

상기 DRAM과 상기 출력 버퍼 사이에 위치하는 프리페치를 포함하는 것을 특징으로 하는 상기 장치.

청구항 5.

제 4 항에 있어서, 상기 ALU는,

상기 프리페치로부터 출력되는 상기 프레임 데이터를 입력받고, 상기 깊이비교 또는 알파블렌딩이 수행된 데이터를 상기 입력버퍼를 통해 상기 DRAM에 저장하는 것을 특징으로 하는 상기 장치.

청구항 6.

3차원 그래픽 처리를 수행하는 그래픽 시스템에 있어서,

3차원 개체의 처리를 위한 프래그먼트 정보를 입력받아 텍스처 매핑을 수행하는 3차원 그래픽 프로세서와,

상기 텍스처 매핑을 위해 참조되는 텍스처 데이터와 상기 프래그먼트 정보를 포함하는 픽셀 단위의 프레임 데이터를 저장하고, 상기 프레임 데이터에 대한 깊이비교와 알파블렌딩을 수행하는 적어도 한 쌍의 메모리 장치들을 포함하는 것을 특징으로 하는 상기 장치.

청구항 7.

제 6 항에 있어서, 상기 메모리 장치들 각각은,

상기 텍스처 데이터를 저장하기 위한 텍스처 버퍼로 할당된 제1 메모리 영역과, 상기 프레임 데이터를 저장하기 위한 프레임 버퍼로 할당된 제2 메모리 영역을 포함하는 메모리 구조와,

상기 메모리 구조의 입력주소에 따라, 상기 입력주소가 상기 제1 메모리 영역을 나타내면 상기 메모리 구조가 상기 텍스처 버퍼로 동작하도록 제어하고, 상기 입력주소가 상기 제2 메모리 영역을 나타내면 상기 메모리 구조가 상기 프레임 버퍼로 동작하도록 제어하는 비교기와,

상기 메모리 구조가 상기 프레임 버퍼로 동작하는 경우, 입력되는 프레임 데이터와 상기 프레임 버퍼로부터 읽어낸 프레임 데이터에 대해 깊이비교 또는 알파블렌딩을 수행하는 논리연산 장치(ALU)를 포함하는 것을 특징으로 하는 상기 장치.

청구항 8.

제 7 항에 있어서, 상기 메모리 구조는,

DDR(Double Data Rate) SDRAM(Synchronous Dynamic RAM)으로 구성되는 것을 특징으로 하는 상기 장치.

청구항 9.

제 7 항에 있어서, 상기 프레임 버퍼는,

상기 프레임 데이터의 깊이 값들을 저장하는 깊이 버퍼와,

상기 프레임 데이터의 색깔 값들을 저장하는 색깔 버퍼를 포함하는 것을 특징으로 하는 상기 장치.

청구항 10.

제 7 항에 있어서, 상기 메모리 구조는,

상기 제1 메모리 영역과 상기 제2 메모리 영역을 포함하는 DRAM과,
 입력되는 행 주소에 대응하는 상기 DRAM의 메모리 영역을 활성화하는 행 주소 복호기와,
 입력되는 열 주소에 대응하는 상기 DRAM의 비트 위치를 활성화하는 열 주소 복호기와,
 상기 DRAM으로 입력되는 데이터를 버퍼링하는 입력 버퍼와,
 상기 DRAM으로부터 출력되는 데이터를 버퍼링하는 출력 버퍼와,
 상기 DRAM과 상기 출력 버퍼 사이에 위치하는 프리페치를 포함하는 것을 특징으로 하는 상기 장치.

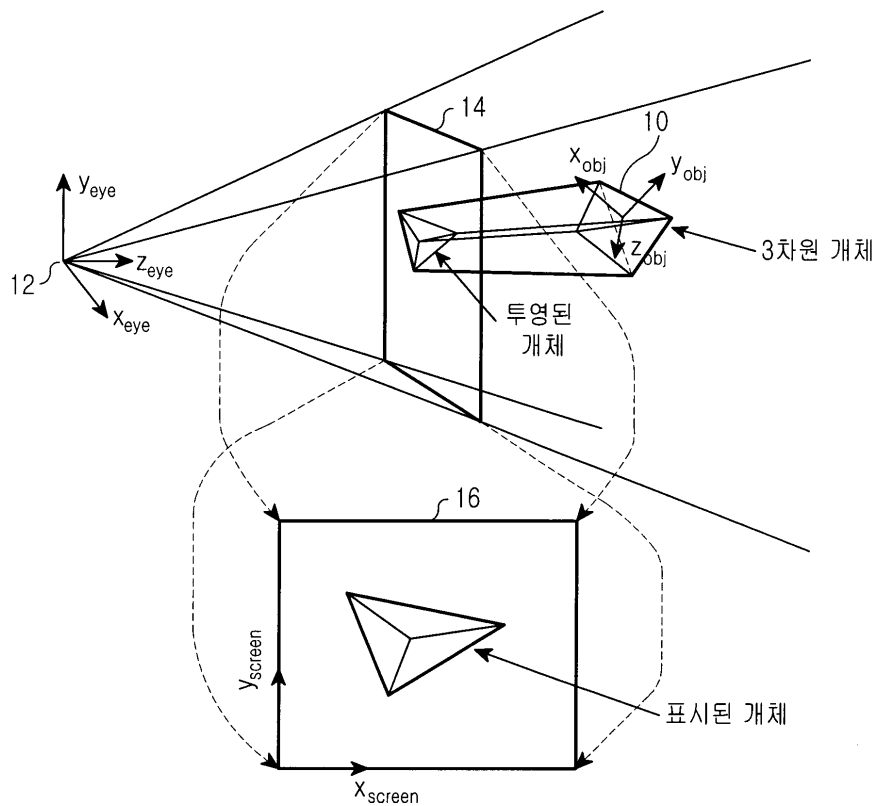
청구항 11.

제 10 항에 있어서, 상기 ALU는,

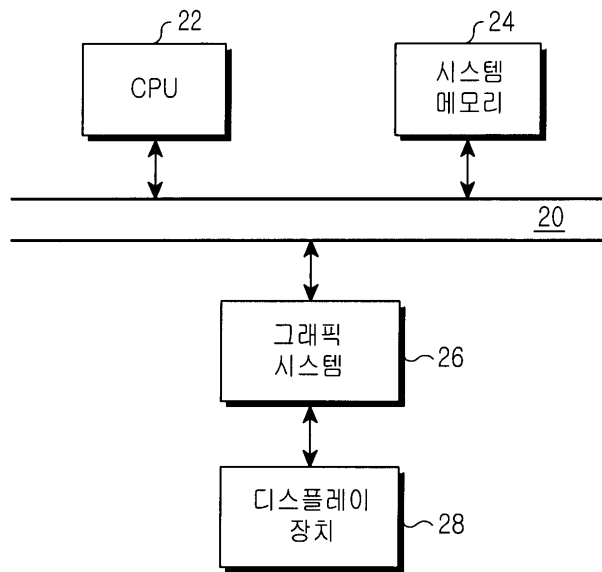
상기 프리페치로부터 출력되는 상기 프레임 데이터를 입력받고, 상기 깊이비교 또는 알파블렌딩이 수행된 데이터를 상기 입력버퍼를 통해 상기 DRAM에 저장하는 것을 특징으로 하는 상기 장치.

도면

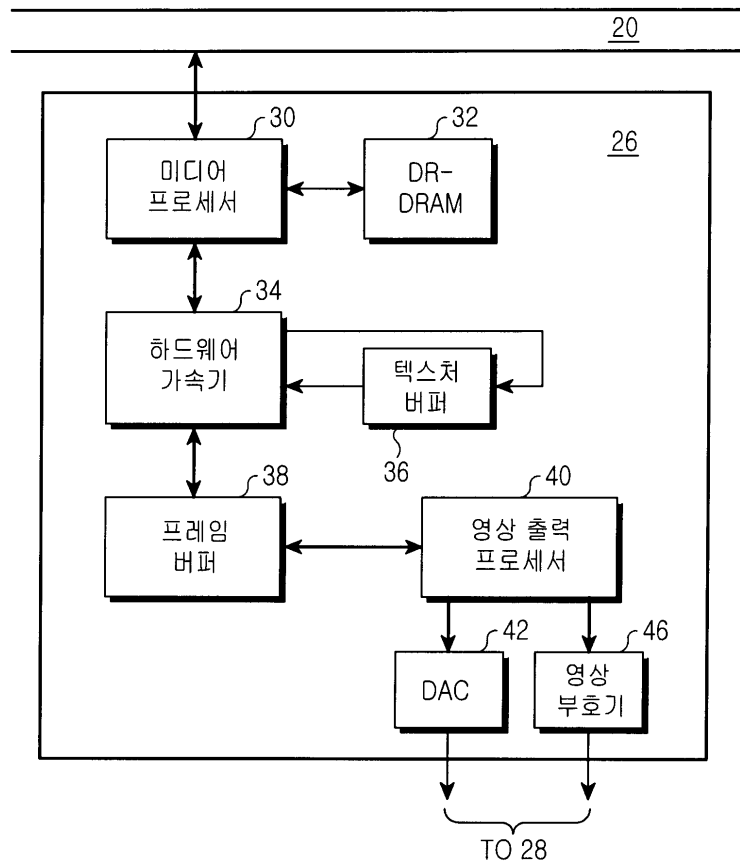
도면1



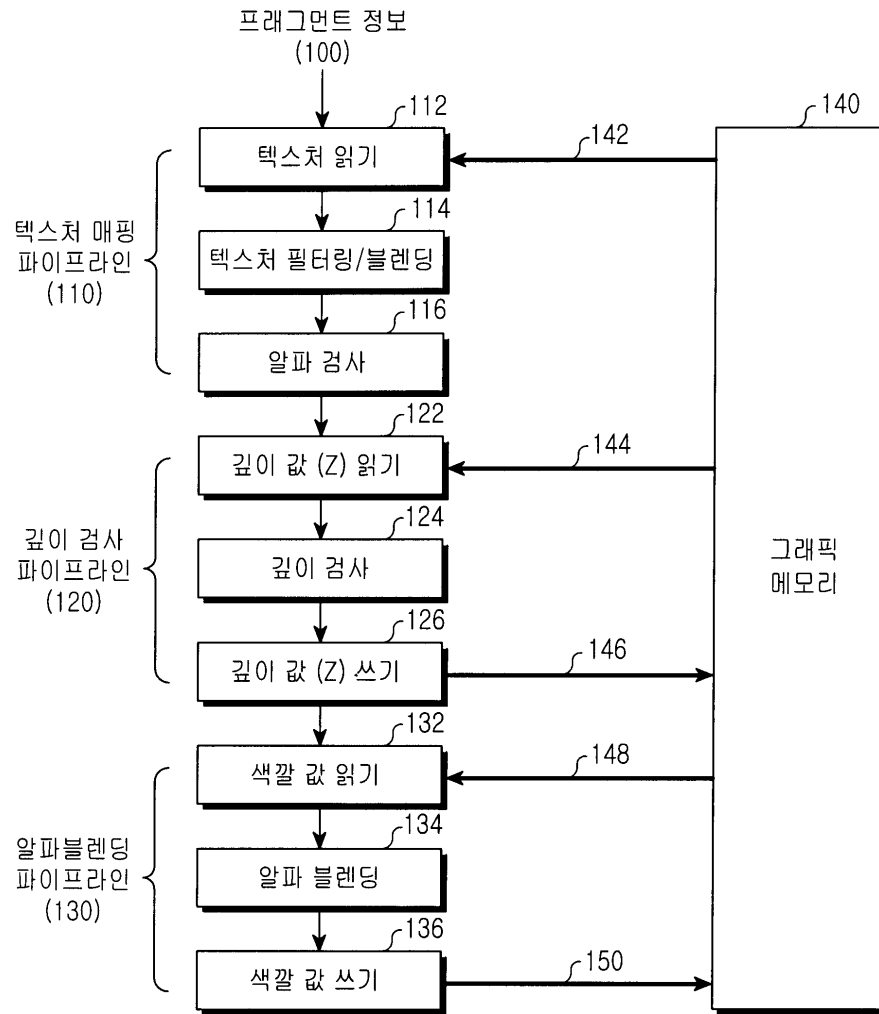
도면2



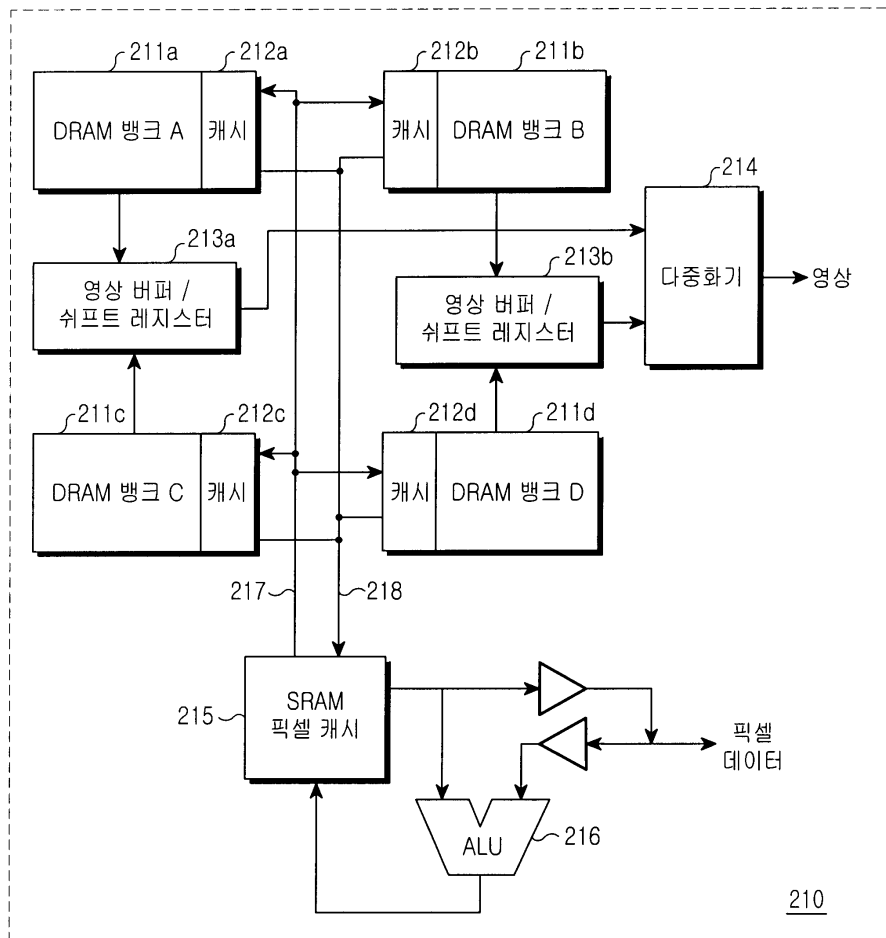
도면3



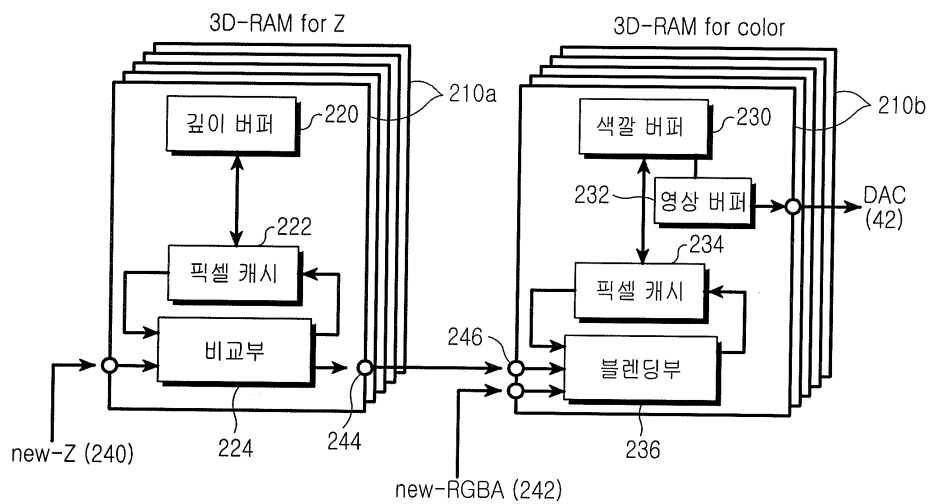
도면4



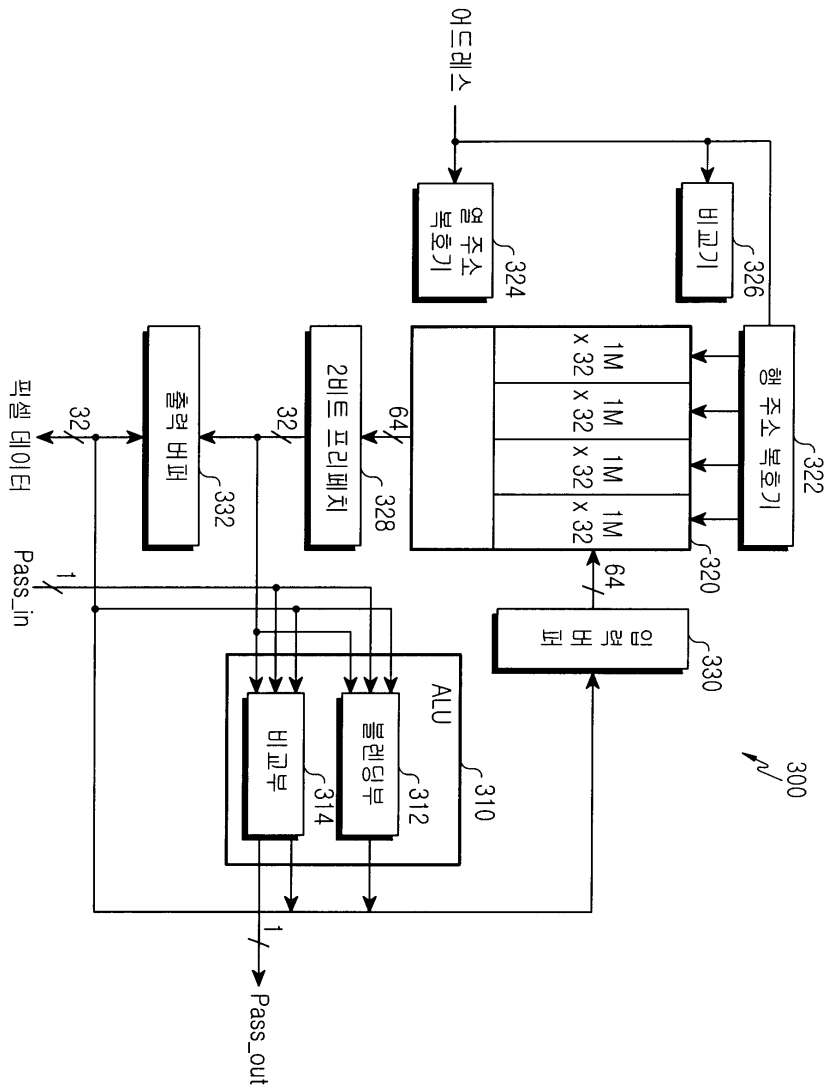
도면5



도면6



도면7



도면8

