

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0094225
H03M 1/10 (2006.01) (43) 공개일자 2006년08월29일

(21) 출원번호 10-2005-0015214

(22) 출원일자 2005년02월24일

(71) 출원인 연세대학교 산학협력단
서울 서대문구 신촌동 134 연세대학교
한국전자통신연구원
대전 유성구 가정동 161번지

(72) 발명자 윤홍일
서울 서대문구 신촌동 134 연세대학교 전기전자공학부 449-940
이경민
서울시 강남구 역삼2동 709번지 정보아파트 C동 106호
이충근
경남 밀양시 내이동 1245-15

(74) 대리인 특허법인 신성

심사청구 : 있음

(54) B I S T 장치의 크기를 줄이기 위한 단순화로직

요약

아날로그 테스트 패턴으로 삼각파나 램프 파형을 이용하는 BIST에서 선형성이나 이득의 이상유무를 간단하게 판단할 수 있는 회로로서, N비트의 해상도를 가진 ADC로부터 받은 출력을 한 번 미분하는 수단(미도시)과, 상기 미분수단의 출력신호를 입력받아, N비트의 입력 중 일정한 기울기만을 검사하는데 필요한 하위 비트와, 필요하지 않으면서 부호 비트를 포함한 상위 비트로 나누는 수단과, 상기 상위 비트값을 '0'과 비교하여 일치여부를 출력하는 제1비교수단과, 상기 하위 비트값을 이상값 'A' 및 '0'과 비교하여 그 일치여부를 출력하는 제2비교수단 및 제3비교수단 및 상기 제1~3비교수단에서 출력된 결과에 따라 테스트대상의 상태를 파악하는 수단을 포함하여 구성되는 단순화로직.

대표도

도 3

색인어

BIST, BISC, ADC, 단순화, 미분신호

명세서

도면의 간단한 설명

도1은 공지된 ADC BIST 회로의 일례를 나타내는 블록도.

도2는 종래의 보다 구체적인 ADC의 BIST 회로도.

도3은 본 발명의 개념적 회로도.

도4는 본 발명의 구체적 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 아날로그-디지털 변환기(ADC)의 BIST 및 BISC 장치에 관한 것이다.

반도체소자의 자체테스트(BIST, built-in self test)란, 인쇄회로기판(PCB)의 상호연결선(interconnection)을 테스트하기 위한 기법의 하나로써 IEEE 1149.1 표준인 경계주사(boundary scan)라는 테스트용이화 설계기법(DFT: design for testability)을 의미한다. IEEE-standard 1149.1은 경계주사셀(boundary scan cell)을 소자의 입출력 단자에 연결하여 경계주사 체인을 구성함으로써, 소자의 입출력 단자에서의 제어도와 관측도를 향상시키는 것을 내용으로 하고 있다.

도1은 Intersil사의 논문[John Kornblum, "Intersil Sigma-Delta Calibration Technique", May 1995]에 공표되어 있는 것으로서, 아날로그-디지털 변환기(ADC)의 BIST 및 BISC(Built-in Self Calibration)를 구현한 예를 나타내고 있다. ADC를 통과한 신호의 디지털 변환값을 점검하고 선형성(linearity)이나 이득(gain)에 문제가 있을 경우 이를 수정하는 역할을 하는 장치들이 디지털필터의 출력 이후 부분에 연결되어 있다.

그런데, 기존 기술에서 소개하는 BIST 방식은 옵셋 및 이득의 변화 등을 계산하기 위해서 많은 양의 데이터 RAM과 레지스터, 그리고 큰 크기의 카운터 그리고 연산회로를 요구한다. 입력신호의 시간에 따른 선형성과 이득 및 부호를 검사하기 위해서는 두 번의 미분과정을 거쳐야 하는데, 이 과정에서 필요한 레지스터와 연산회로의 크기로 인하여 BIST장치의 크기가 매우 커질 수도 있다. 예를 들어 도2와 같은 경우, 20비트의 ADC에서 3번의 연속된 출력 값을 저장하기 위해서는 60개의 레지스터가 필요해진다(미리 설명하지만, 도3에 나타난 본 발명의 방식을 이용할 경우 레지스터는 9개로 줄어든다).

발명이 이루고자 하는 기술적 과제

이에 본 발명자들은 상기한 바와 같은 종래의 ADC의 BIST 및 BISC를 개선하여, 새로운 단순화로직을 제공함으로써 기존의 연산을 통한 비교방법에 비해 오버헤드가 작고 빠른 BIST장치를 개발하였다.

발명의 구성 및 작용

도3은 도2를 개선한 본 발명의 방식을 개략적으로 나타내는 블록도이다. 도2의 블록도에서 ALU의 출력에 단순화로직(simplifying logic)이 삽입되어 있음을 볼 수 있다.

이 단순화로직에 대해서는 도4에서 구체적으로 나타내고 있다. 이 회로에는, 아날로그 테스트 패턴으로 삼각파나 램프 파형을 이용하는 BIST에서 선형성이나 이득의 이상유무를 간단하게 판단할 수 있는 회로로서, N비트의 해상도를 가진 ADC로부터 받은 출력을 한 번 미분하는 수단(미도시)과, 상기 미분수단의 출력신호를 입력받아, N비트의 입력 중 일정한 기울기만을 검사하는데 필요한 하위 비트와, 필요하지 않으면서 부호 비트를 포함한 상위 비트로 나누는 수단과, 상기 상위 비트값을 '0'과 비교하여 일치여부를 출력하는 제1비교수단과, 상기 하위 비트값을 이상값 'A' 및 '0'과 비교하여 그 일치여부를 출력하는 제2비교수단 및 제3비교수단 및 상기 제1~3비교수단에서 출력된 결과에 따라 테스트대상의 상태를 파악하는 수단을 포함하여 구성된다.

위의 구성에 대해서 구체적인 작용을 설명하면, 우선, 20비트의 해상도를 가진 ADC로부터 받은 출력을 한번 미분하여 입력(differential input)으로 받고 있다. 이 20비트의 입력은 일정한 기울기만을 검사하는데 필요한 하위 4비트와, 필요하지 않으면서 부호 비트를 포함한 상위 16비트로 나누어 각각을 '0'이나 이상적인 값 'A'와 비교하여 일치 여부를 C1~C3(제

1~제3비교수단)의 출력으로 내보내고 있다. 삼각파형과 같이 기울기의 절대값은 일정하지만 부호만이 변하는 출력은 C1을 통해서 알 수 있으며, 어떠한 기울기와 일치하는지의 여부는 C2, 값이 변화하지 않는지의 유무는 C3를 통해서 알 수 있다. 한편, 상기 C1~C3의 출력에는 여러 단계의 레지스터가 연결되어, 신호의 시간에 따른 변화를 관찰할 수도 있다.

발명의 효과

앞에서 언급한 바와 같이 본 발명에 따르면 비교수단의 개수가 종래에 비해 대폭 줄어들기 때문에 ADC의 BIST에 있어서 기존의 연산을 통한 비교방법에 비해 오버헤드가 작고 빠르기 때문에 경제성이 향상되는 효과가 있다.

(57) 청구의 범위

청구항 1.

임의 파형의 아날로그 테스트 패턴을 사용하여 아날로그-디지털 변환기의 선형성이나 이득의 이상유무를 판단하는 BIST 회로로서,

N비트의 해상도를 가진 ADC로부터 받은 출력을 한 번 미분하는 수단,

상기 미분수단의 출력신호를 입력받아, N비트의 입력 중 일정한 기울기만을 검사하는데 필요한 하위 비트와, 필요하지 않으면서 부호 비트를 포함한 상위 비트로 나누는 수단,

상기 상위 비트값을 '0'과 비교하여 일치여부를 출력하는 제1비교수단, 상기 하위 비트값을 이상값 'A' 및 '0'과 비교하여 그 일치여부를 출력하는 제2비교수단 및 제3비교수단 및 상기 제1~3비교수단에서 출력된 결과에 따라 테스트대상의 상태를 파악하는 수단을 포함하는, BIST장치의 크기를 줄이기 위한 단순화로직 장치.

청구항 2.

제1항에 있어서,

상기 N은 20이고, 상기 하위 비트는 4개 비트이고, 상기 상위 비트는 16개 비트인 것을 특징으로 하는, BIST장치의 크기를 줄이기 위한 단순화로직 장치.

청구항 3.

제1 또는 2항에 있어서, 상기 제1 및 제3비교수단은 NOR 게이트이고, 제2비교수단은 EX-NOR 게이트인 것을 특징으로 하는, BIST장치의 크기를 줄이기 위한 단순화로직 장치.

청구항 4.

제1 또는 2항에 있어서, 상기 이상유무 판정 수단에서,

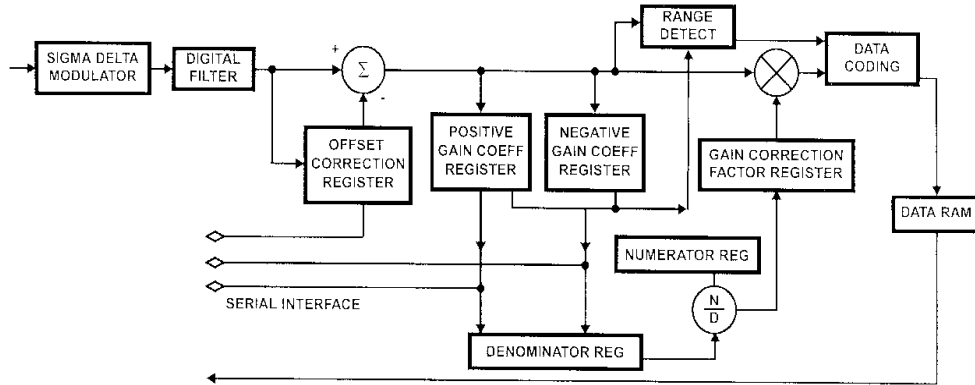
기울기의 절대값은 일정하지만 부호만이 변하는 출력은 제1비교수단의 출력값을 통해서 파악하고, 어떠한 기울기와 일치하는지의 여부는 제2비교수단의 출력값을 통해서 파악하고, 값이 변화하지 않는지의 유무는 제3비교수단을 통해서 파악되는 것을 특징으로 하는, BIST장치의 크기를 줄이기 위한 단순화로직 장치.

청구항 5.

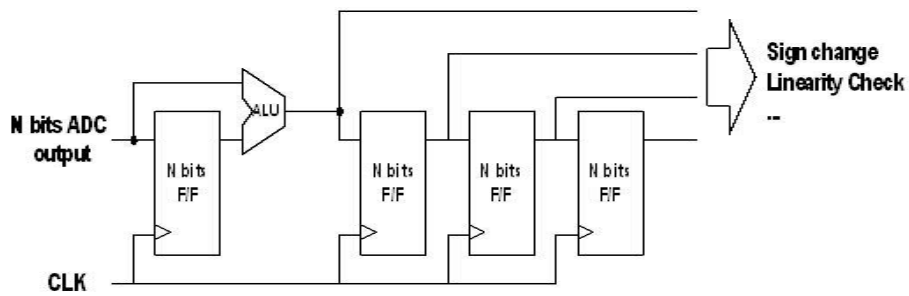
제1항에 있어서, 상기 이상유무 판정 수단의 각 출력으로부터의 신호의 시간에 따른 변화를 관찰하기 위하여 레지스터가 추가로 연결되는 것을 특징으로 하는, BIST장치의 크기를 줄이기 위한 단순화로직 장치.

도면

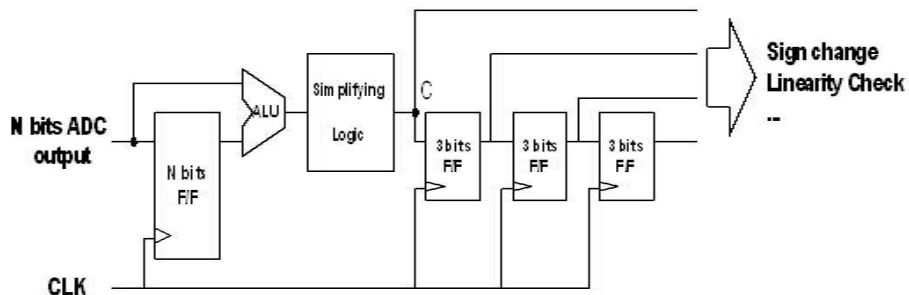
도면1



도면2



도면3



도면4

