



특허청구의 범위

청구항 1

- (a) 램프 신호를 발생시키는 단계;
- (b) 상기 신호를 아날로그-디지털 변환기에 입력시키는 단계;
- (c) 상기 변환기의 출력 중 하위 두 비트를 입력받아 천이를 감지하는 단계;
- (d) 상기 변환기의 출력 중 하위 두 비트 및 상기 감지된 천이를 입력받아 INL을 검출하여 정적 파라미터를 계산하는 단계;
- (e) 상기 감지된 천이를 입력받아 DNL을 검출하여 정적 파라미터를 계산하는 단계;
- (f) 상기 계산된 정적 파라미터를 이용하여 변환기의 고장 유무를 판단하는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 2

청구항 1에 있어서,

상기 (a) 단계 후 (b) 단계 전에 있어서,

상기 발생된 램프 신호가 아날로그 MUX를 통과하는 단계를 더 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 3

청구항 2에 있어서,

상기 아날로그 MUX는, 정상 동작 모드와 테스트 모드를 구분하여 입력 신호를 결정하는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 4

청구항 1에 있어서,

상기 (c) 단계는,

2 비트의 상향 카운터와 상기 ADC의 하위 두 비트 값을 비교하여 천이 발생 여부를 판단하는 단계;

천이가 발생한 경우 천이 신호를 전송하고 상기 2 비트의 상향 카운터 값을 1만큼 증가시키는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 5

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 (d) 단계는,

2 비트 카운터의 값을 상기 ADC의 하위 2비트와 일치하도록 설정하는 단계;

(2+m) 비트 카운터를 테스트 시작점으로부터 카운트하는 단계;

천이 신호가 전달되는 단계;

상기 2 비트 카운터의 값을 1 증가시키는 단계;

상기 2 비트 카운터 값과 상기 (2+m) 비트 카운터의 상위 2 비트 값을 비교하여 INL 값을 검출하는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 6

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 (e) 단계는,

천이 신호가 검출되는 단계;

카운터 및 업/다운 레지스터를 초기화하는 단계;

이상적인 시간 간격(1 LSB)이 지날 경우 카운터 값이 0이 되도록 일정한 시간 간격으로 카운터 값을 감소시키는 단계;

상기 카운터 값의 감소 단계에 의하여 카운터 값이 0이 된 경우, 일정한 시간 간격으로 카운터 값을 증가시키는 단계;

상기 카운터 값을 감소 또는 증가시키는 단계 진행 중 천이 신호가 검출될 경우, 상기 카운터 값을 이용하여 DNL 값을 검출하는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 7

(a) 램프 신호를 발생시키는 단계;

(b) 상기 신호를 아날로그-디지털 변환기에 입력시키는 단계;

(c) 상기 변환기의 출력 중 하위 두 비트를 입력받아 천이를 감지하는 단계;

(d) 상기 감지된 천이를 입력받아 DNL을 검출하여 정적 파라미터를 계산하는 단계;

(e) 상기 변환기의 출력 중 하위 두 비트 및 상기 감지된 천이를 입력받아 INL을 검출하여 정적 파라미터를 계산하는 단계;

(f) 상기 계산된 정적 파라미터를 이용하여 변환기의 고장 유무를 판단하는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 8

청구항 7에 있어서,

상기 (a) 단계 후 (b) 단계 전에 있어서,

상기 발생된 램프 신호가 아날로그 MUX를 통과하는 단계를 더 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 9

청구항 8에 있어서,

상기 아날로그 MUX는, 정상 동작 모드와 테스트 모드를 구분하여 입력 신호를 결정하는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 10

청구항 7에 있어서,

상기 (c) 단계는,

2 비트의 상향 카운터와 상기 ADC의 하위 두 비트 값을 비교하여 천이 발생 여부를 판단하는 단계;

천이가 발생한 경우 천이 신호를 전송하고 상기 2 비트의 상향 카운터 값을 1만큼 증가시키는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 11

청구항 7 내지 청구항 10 중 어느 한 항에 있어서,

상기 (d) 단계는,

천이 신호가 검출되는 단계;

카운터 및 업/다운 레지스터를 초기화하는 단계;

이상적인 시간 간격(1 LSB)이 지날 경우 카운터 값이 0이 되도록 일정한 시간 간격으로 카운터 값을 감소시키는 단계;

상기 카운터 값의 감소 단계에 의하여 카운터 값이 0이 된 경우, 일정한 시간 간격으로 카운터 값을 증가시키는 단계;

상기 카운터 값을 감소 또는 증가시키는 단계 진행 중 천이 신호가 검출될 경우, 상기 카운터 값을 이용하여 DNL값을 검출하는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 12

청구항 7 내지 10 중 어느 한 항에 있어서,

상기 (e) 단계는,

2 비트 카운터의 값을 상기 ADC의 하위 2비트와 일치하도록 설정하는 단계;

(2+m) 비트 카운터를 테스트 시작점으로부터 카운트하는 단계;

천이 신호가 전달되는 단계;

상기 2 비트 카운터의 값을 1 증가시키는 단계;

상기 2 비트 카운터 값과 상기 (2+m) 비트 카운터의 상위 2 비트 값을 비교하여 INL 값을 검출하는 단계를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 방법.

청구항 13

램프 신호를 발생시키는 램프 신호 발생기;

상기 램프 신호 발생기에 연결되어 상기 램프 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기;

상기 변환기에 연결되어 변환기의 출력 중 하위 두 비트를 이용하여 천이를 감지하고 전송하는 천이 검출기;

(2+m) 비트의 크기를 갖는 참조 카운터;

상기 변환기, 천이 검출기 그리고 참조 카운터에 연결되어, 변환기의 출력 중 하위 두 비트, 천이 신호, 참조 카운터의 값을 이용하여 INL을 검출하는 INL 검출부;

상기 천이 검출기에 연결되어, 천이 신호를 이용하여 DNL을 검출하는 DNL 검출부를 포함하여 구성되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 장치.

청구항 14

청구항 13에 있어서,

상기 램프 신호 발생기와 아날로그-디지털 변환기 사이에 연결되는 아날로그 MUX (AMUX) 를 더 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 장치.

청구항 15

청구항 14에 있어서,

상기 아날로그 MUX는, 정상 동작 모드와 테스트 모드를 구분하여 입력 신호를 결정하는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 장치.

청구항 16

청구항 13에 있어서,

상기 천이 검출기는,

2 비트의 상향 카운터를 포함하여 구성되며, 상기 상향 카운터와 ADC의 하위 두 비트를 비교하여 두 값이 같은 경우 천이 발생 신호를 생성하고 상기 상향 카운터 값을 1 증가시키는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 장치.

청구항 17

청구항 13 내지 16 중 어느 한 항에 있어서,

상기 INL 검출부는,

2 비트의 카운터를 포함하여 구성되며, 상기 2 비트 카운터는 ADC의 하위 2 비트와 일치하도록 초기화되고, 천이 신호가 감지되면 값이 1 증가되며, 상기 (2+m) 크기의 참조 카운터의 상위 두 비트와 값이 비교되어 두 개의 값이 일치할 경우 INL 오류가 없는 것으로 판단하는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 장치.

청구항 18

청구항 13 내지 16 중 어느 한 항에 있어서,

상기 DNL 검출부는,

카운터 및 업/다운 레지스터를 포함하여 구성되며, 천이가 검출되면 하향 카운트를 시작하고, 상기 하향 카운트에 의해 카운터 값이 0이 될 경우에는 상향 카운트를 시작하며, 상기 하향 또는 상향 카운트 중 천이 신호가 감지될 경우 상기 카운터 값을 이용하여 DNL을 계산하는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 장치.

청구항 19

청구항 13 내지 16 중 어느 한 항에 있어서,

상기 (2+m) 비트의 크기를 갖는 참조 카운터는,

상기 m의 값은 INL의 허용 스펙 범위에 따라 결정되는 것을 특징으로 하는 아날로그-디지털 변환기의 내장형 자체 테스트 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 아날로그-디지털 변환기에 내장된 자체 테스트 방법 및 장치에 대한 것으로서, 더욱 상세하게는 원치 않는 천이 신호가 발생 되는 것을 막아주고 아날로그-디지털 변환기의 천이가 상승 천이임을 보장하는 천이 검출기를 제안하고, 이를 이용하여 변환기의 정적 파라미터를 계산하여 아날로그-디지털 변환기를 테스트 할 수 있는 아날로그-디지털 변환기에 내장된 자체 테스트 방법 및 장치에 관한 것이다.
- <15> 이하, 아날로그-디지털 변환기(Analog-to-Digital Converter)는 ADC로, 내장된 자체 테스트(Built-In Self-Test)는 BIST로 표기한다.
- <16> 일반적으로, ADC는 대부분의 혼성 신호 회로에 사용되는 모듈이며, 이에 대한 내장된 자체 테스트 방법이 활발히 연구되고 있다.
- <17> ADC를 테스트하는 방법은 크게 정적 테스트 방법과 동적 테스트 방법으로 구분되는데 정적 테스트 방법은 ADC의

오프셋(Offset), 이득(Gain), INL(Integral Non-Linearity) 및 DNL(Differential Non-Linearity)과 같은 정적 파라미터들을 계산하는 방법이며, 동적 테스트 방법은 SNR(Signal to Noise Ratio), SINAD(Signal-to-Noise And Distortion), ENOB(Effective Number Of Bits) 등의 파라미터를 계산하는 방법이다.

- <18> 정적 테스트 방법 중 가장 많이 사용하는 히스토그램 방법은 ADC의 입력에 정해진 테스트 신호를 인가하고, 출력에서 나오는 각 코드의 출현 빈도수를 메모리에 저장한 후 DSP(Digital Signal Processor)를 이용하여 ADC의 특성을 계산하는 방법이다. 하지만 모든 코드에 대한 정보를 저장하기 위해서는 고용량의 메모리가 필요하게 된다는 문제점이 있었다.
- <19> 따라서, 하드웨어 오버헤드를 줄일 수 있는 방법으로서 출력 값의 빈도를 저장하는 레지스터 대신 카운터를 사용하여 코드 천이의 시간 간격을 계산하는 방법이 제안되었다. 이에 대한 블록 다이어그램을 도 1에 나타내었다.
- <20> 그러나 상기와 같은 종래의 방법은,
- <21> 첫째, INL과 DNL을 측정하기 위해 ADC보다 더 큰 크기의 참조 카운터를 필요로 하므로 이로 인해 결과 분석기의 크기가 커지게 되며,
- <22> 둘째, DNL의 허용 스펙이 다양하게 주어질 경우 하드웨어 오버헤드가 크게 변할 수 있고,
- <23> 셋째, 노이즈에 의해 발생하는 천이 구간에서 잘못된 천이 탐지 신호를 발생할 수 있다는 단점이 있었다.

발명이 이루고자 하는 기술적 과제

- <24> 본 발명은 상기와 같은 점을 감안하여 안출한 것으로서, 노이즈에 의한 테스트 데이터 왜곡을 방지하여 테스트 품질을 향상시킬 수 있는 천이 검출기를 제안하고, 이를 사용하여 하드웨어 오버헤드가 감소된 구조의 INL, DNL 검출기를 포함하는 아날로그-디지털 변환기에 내장된 자체 테스트 방법 및 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <25> 상기와 같은 본 발명 아날로그-디지털 변환기에 내장된 자체 테스트 방법은,
- <26> (a) 램프 신호를 발생시키는 단계;
- <27> (b) 상기 신호를 아날로그-디지털 변환기에 입력시키는 단계;
- <28> (c) 상기 변환기의 출력 중 하위 두 비트를 입력받아 천이를 감지하는 단계;
- <29> (d) 상기 변환기의 출력 중 하위 두 비트 및 상기 감지된 천이를 입력받아 INL을 검출하여 정적 파라미터를 계산하는 단계;
- <30> (e) 상기 감지된 천이를 입력받아 DNL을 검출하여 정적 파라미터를 계산하는 단계;
- <31> (f) 상기 계산된 정적 파라미터를 이용하여 변환기의 고장 유무를 판단하는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <32> 특히, 상기 (a) 단계 후 (b) 단계 전에 있어서,
- <33> 상기 발생된 램프 신호가 아날로그 MUX를 통과하는 단계를 더 포함하여 구성되는 것을 특징으로 한다.
- <34> 또한, 상기 아날로그 MUX는, 정상 동작 모드와 테스트 모드를 구분하여 입력 신호를 결정하는 것을 특징으로 한다.
- <35> 또한, 상기 (c) 단계는,
- <36> 2 비트의 상향 카운터와 상기 ADC의 하위 두 비트 값을 비교하여 천이 발생 여부를 판단하는 단계;
- <37> 천이가 발생한 경우 천이 발생 신호를 전송하고 상기 2 비트의 상향 카운터 값을 1만큼 증가시키는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <38> 또한, 상기 (d) 단계는,
- <39> 2 비트 카운터의 값을 ADC의 하위 2비트와 일치하도록 설정하는 단계;

- <40> (2m) 비트 카운터를 테스트 시작점에서부터 카운트하는 단계;
- <41> 천이 신호가 전달될 경우 상기 2 비트 카운터의 값을 1 증가시키는 단계;
- <42> 상기 2 비트 카운터 값과 상기 (2m) 비트 카운터의 상위 2 비트 값을 비교하여 INL을 측정하고, 상기 (2+m) 비트 카운터를 테스트 시작점에서부터 카운트하는 단계로 돌아가는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <43> 또한, 상기 (e) 단계는,
- <44> 천이 신호가 검출되는 단계;
- <45> 카운터 및 업/다운 레지스터를 초기화하는 단계;
- <46> 이상적인 시간 간격(1 LSB)이 지날 경우 카운터 값이 0이 되도록 일정한 시간 간격으로 카운터 값을 감소시키는 단계;
- <47> 상기 카운터 값의 감소 단계에 의하여 카운터 값이 0이 된 경우, 일정한 시간 간격으로 카운터 값을 증가시키는 단계;
- <48> 상기 카운터 값을 감소 또는 증가시키는 단계 진행 중 천이 신호가 검출될 경우, DNL을 계산하고 상기 카운터 및 업/다운 레지스터를 초기화하는 단계로 돌아가는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <49> 한편, 아날로그-디지털 변환기에 내장된 자체 테스트의 또 다른 방법은,
- <50> (a) 램프 신호를 발생시키는 단계;
- <51> (b) 상기 신호를 아날로그-디지털 변환기에 입력시키는 단계;
- <52> (c) 상기 변환기의 출력 중 하위 두 비트를 입력받아 천이를 감지하는 단계;
- <53> (d) 상기 감지된 천이를 입력받아 DNL을 검출하여 정적 파라미터를 계산하는 단계;
- <54> (e) 상기 변환기의 출력 중 하위 두 비트 및 상기 감지된 천이를 입력받아 INL을 검출하여 정적 파라미터를 계산하는 단계;
- <55> (f) 상기 계산된 정적 파라미터를 이용하여 변환기의 고장 유무를 판단하는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <56> 특히, 상기 (a) 단계 후 (b) 단계 전에 있어서,
- <57> 상기 발생된 램프 신호가 아날로그 MUX를 통과하는 단계를 더 포함하여 구성되는 것을 특징으로 한다.
- <58> 또한, 상기 아날로그 MUX는, 정상 동작 모드와 테스트 모드를 구분하여 입력 신호를 결정하는 것을 특징으로 한다.
- <59> 또한, 상기 (c) 단계는,
- <60> 2 비트의 상향 카운터와 상기 ADC의 하위 두 비트 값을 비교하여 천이 발생 여부를 판단하는 단계;
- <61> 천이가 발생한 경우 천이 발생 신호를 전송하고 상기 2 비트의 상향 카운터 값을 1만큼 증가시키는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <62> 또한, 상기 (d) 단계는,
- <63> 천이 신호가 검출되는 단계;
- <64> 카운터 및 업/다운 레지스터를 초기화하는 단계;
- <65> 이상적인 시간 간격(1 LSB)이 지날 경우 카운터 값이 0이 되도록 일정한 시간 간격으로 카운터 값을 감소시키는 단계;
- <66> 상기 카운터 값의 감소 단계에 의하여 카운터 값이 0이 된 경우, 일정한 시간 간격으로 카운터 값을 증가시키는 단계;
- <67> 상기 카운터 값을 감소 또는 증가시키는 단계 진행 중 천이 신호가 검출될 경우, DNL을 계산하고 상기 카운터

및 업/다운 레지스터를 초기화하는 단계로 돌아가는 단계를 포함하여 구성되는 것을 특징으로 한다.

- <68> 또한, 상기 (e) 단계는,
- <69> 2 비트 카운터의 값을 ADC의 하위 2비트와 일치하도록 설정하는 단계;
- <70> (2+m) 비트 카운터를 테스트 시작점으로부터 카운트하는 단계;
- <71> 천이 신호가 전달될 경우 상기 2 비트 카운터의 값을 1 증가시키는 단계;
- <72> 상기 2 비트 카운터 값과 상기 (2+m) 비트 카운터의 상위 2 비트 값을 비교하여 INL을 측정하고, 상기 (2+m) 비트 카운터를 테스트 시작점으로부터 카운트하는 단계로 돌아가는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <73> 한편, 본 발명의 다른 태양인 ADC BIST 장치는,
- <74> 램프 신호를 발생시키는 램프 신호 발생기;
- <75> 상기 램프 신호 발생부에 연결되어 상기 램프 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기;
- <76> 상기 변환기에 연결되어 변환기의 출력 중 하위 두 비트를 이용하여 천이를 감지하고 전송하는 천이 검출기;
- <77> (2+m) 비트의 크기를 갖는 참조 카운터;
- <78> 상기 변환기, 천이 검출기 그리고 참조 카운터에 연결되어, 변환기의 출력 중 하위 두 비트, 천이 신호, 참조 카운터의 값을 이용하여 INL을 검출하는 INL 검출부;
- <79> 상기 천이 검출기에 연결되어, 천이 신호를 이용하여 DNL을 검출하는 DNL 검출부를 포함하여 구성되는 것을 특징으로 한다.
- <80> 특히, 상기 램프 신호 발생기와 아날로그-디지털 변환기 사이에 연결되는 아날로그 MUX (AMUX) 를 더 포함하는 것을 특징으로 한다.
- <81> 또한, 상기 아날로그 MUX는, 정상 동작 모드와 테스트 모드를 구분하여 입력 신호를 결정하는 것을 특징으로 한다.
- <82> 또한, 상기 천이 검출기는,
- <83> 2 비트의 상향 카운터를 포함하여 구성되며, 상기 상향 카운터와 ADC의 하위 두 비트를 비교하여 두 값이 같은 경우 천이 발생 신호를 생성하고 상기 상향 카운터 값을 1 증가시키는 것을 특징으로 한다.
- <84> 또한, 상기 INL 검출부는,
- <85> 2 비트의 카운터를 포함하여 구성되며, 상기 2 비트 카운터는 ADC의 하위 2 비트와 일치하도록 초기화되고, 천이 신호가 감지되면 값이 1 증가되며, 상기 (2+m) 크기의 참조 카운터의 상위 두 비트와 값이 비교되어 두 개의 값이 일치할 경우 INL 오류가 없는 것으로 판단하는 것을 특징으로 한다.
- <86> 또한, 상기 DNL 검출부는,
- <87> 카운터 및 업/다운 레지스터를 포함하여 구성되며, 천이가 검출되면 하향 카운트를 시작하고, 상기 하향 카운트에 의해 카운터 값이 0이 될 경우에는 상향 카운트를 시작하며, 상기 하향 또는 상향 카운트 수행중 천이 신호가 감지될 경우 상기 카운터 값을 이용하여 DNL을 계산하는 것을 특징으로 한다.
- <88> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다. 본 출원에서, “포함하다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들의 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <89> 이하, 본 발명을 첨부도면을 참조하여 상세하게 설명한다.
- <90> 도 2에 도시된 바와 같이, 본 발명에서 제안하는 구조는 크게 i) 테스트 신호를 생성하는 램프 신호 생성기와 ii) 정상 동작 모드와 테스트 모드를 구분하여 입력 신호를 결정지어 주는 아날로그 MUX, iii) ADC의 출력을 분석하는 결과 분석기, 세 부분으로 구성된다.

- <91> 도 3은 상기의 결과 분석기의 구조에 대하여 도시하였다.
- <92> 상기의 결과 분석기는 천이 검출기와 INL 검출기, DNL 검출기, 그리고 참조 카운터로 구성된다. 천이 검출기 내에는 2비트의 상향 카운터를 두어 ADC의 하위 2비트 값과의 비교를 통해 천이 검출 신호를 생성하게 되며, 이 신호가 INL 검출기와 DNL 검출기로 전달된다. 이 신호들이 발생하는 시점을 이용하여 INL과 DNL을 결정하게 되는데, 테스트 시작점으로부터의 시간 경과를 이용하여 계산하는 INL은 참조 카운터와의 값 비교를 통해 결정되어지며, 천이 검출 신호들 간의 간격을 이용하여 계산하는 DNL은 DNL 검출기 내부의 카운터를 이용하여 측정하게 된다.
- <93> 이하, 본 발명에서 사용되는 램프 신호 및 INL, DNL 값에 대하여 설명한다.
- <94> 도 4에 도시된 바와 같이, 램프 신호를 사용할 경우 ADC의 코드 천이의 간격이 일정하게 된다. 즉, 출력 코드의 길이는 모두 동일한 값(1 LSB)을 갖게 된다.
- <95> 상기와 같은 이유로 인해, 참조 값을 저장하는 레지스터의 크기를 최소화 할 수 있으며, 결과 분석기 역시 간단하게 구성할 수 있다. 또한 한 주기의 램프 신호로 ADC의 정적 파라미터들을 계산할 수 있기 때문에 히스토그램 방법에 비해 테스트 시간이 짧아진다는 장점을 가진다.
- <96> 본 발명에서 계산하는 정적 파라미터들에 대한 타이밍 다이어그램을 도 5에 도시하였다.
- <97> 도 5에서, 실선은 이상적인 ADC의 출력을, 점선은 ADC를 실제로 구현하였을 때 나타날 수 있는 출력을 예로 들어 나타낸 것이다.
- <98> 도 5에 도시된 바와 같이 천이는 이상적인 경우보다 먼저 발생할 수도 있고 나중에 발생할 수도 있다. 이때 INL은 테스트 시작 시점으로부터 해당 천이가 발생했을 때까지 경과된 시간이 이상적인 경우($k \text{ LSB}$, $k=1, 2, 3, \dots$)와 얼마나 차이가 있는가를 나타낸다.
- <99> 또한 DNL은 각 천이들 간의 시간 간격이 이상적인 경우(1 LSB)와 얼마나 차이가 있는가를 나타낸다.
- <100> 오프셋(Offset)은 첫 번째 출력의 출현 시점에서의 오차를 의미하므로 DNL(1)을 이용하여 구할 수 있으며, 이득(Gain)은 출력 트랜스퍼 커브의 기울기에서의 오차를 의미하므로 마지막 INL 값을 이용하여 구할 수 있다. 이러한 각각의 시간 차이가 허용된 스펙을 만족하는 지의 여부로 ADC의 정적 고장을 검출해 낼 수 있게 된다.
- <101> 종래기술에서 언급한 바와 같이, 히스토그램을 사용한 방법들은 각각의 출력 코드들을 저장한 후 정적 파라미터들을 계산하기 때문에 고용량의 레지스터를 필요로 한다는 단점을 가진다. 하지만 제안하는 방법은 출력 코드의 천이를 탐지하고 그 탐지 신호만을 이용하여 정적 파라미터들을 계산하기 때문에 하드웨어 오버헤드를 줄일 수 있다.
- <102> 상기와 같은 본 발명의 전체 블록 다이어그램을 도 6에 도시하였다.
- <103> 이하, 천이 검출기, INL 검출기, DNL 검출기에 대하여 첨부한 도면을 참조하여 상세하게 설명한다.
- <104> 먼저, 도 7, 도 8, 도 9를 참조하여 천이 검출기에 대하여 설명한다.
- <105> 실제 ADC에서는 천이가 일어나는 곳 부근에서 출력 값이 불안정하게 지그재그로 움직일 수도 있다. 이는 노이즈에 의한 것으로, 도 7에 이러한 현상을 대략적으로 나타내었다. ADC의 입력 전압이 코드 천이 단계 부근에 다다르면, 출력 값을 결정하는 데에 있어 불확실성이 존재하게 된다. 이런 경우에 도 7과 같이 코드 천이가 지그재그로 발생하는 천이 시퀀스가 발생할 수 있게 되고, 이는 테스트 결과에 영향을 미쳐 잘못된 테스트 결과를 야기할 수 있다.
- <106> 상기와 같은 천이 구간 문제를 해결하기 위하여, 본 발명에서는 기존의 천이 검출기를 개선, 노이즈로 인해 발생한 원치 않는 천이를 구별할 수 있도록 하였다. 이러한 천이 검출기의 동작 과정을 도 8에 도시하였다.
- <107> 천이 검출기 내부에 2비트의 상향 카운터를 두어 ADC의 하위 2비트와 값을 비교한다. 코드 천이가 발생하여 값이 같아지면 천이 검출기에서 천이가 발생했음을 알리는 신호를 생성하고, 천이 검출기 내부 카운터의 값을 1만큼 증가시킨다. 값이 증가된 카운터는 다음 천이 단계의 값을 기다리게 되므로, ADC의 출력 값이 천이 구간 내에서 지그재그로 변하더라도 천이 검출 신호는 생성되지 않게 된다. 이러한 과정을 통해 ADC에 천이 구간이 존재하더라도 각 천이 단계당 한 번씩만 천이 검출 신호를 생성하게 되며, 천이 검출기 내부의 카운터가 상향 카운터이므로 생성된 천이 검출 신호는 ADC에서 상승 천이가 발생했다는 것을 보장할 수 있게 된다. 상기와 같은 천이 검출기의 회로 구조를 도 9에 나타내었다.

- <108> 도 9에 도시된 바와 같이, 천이 검출기 내의 2 비트 카운터는 각각 ADC의 하위 2 비트와 XOR 게이트를 통과하고, 이러한 두개의 신호는 NOR 게이트를 통과하여 천이 검출 신호를 발생시킨다.
- <109> 상기의 천이 검출기에서 생성된 천이 검출 신호를 이용하여, INL 검출기와 DNL 검출기에서의 ADC 정적 파라미터들을 계산하게 된다.
- <110> INL 검출기는 코드 천이가 발생했을 때 테스트 시작점으로부터 경과된 시간을 측정하여 계산한다. 본 발명에서 제안하는 INL 검출기의 회로 구조를 도 10에 도시하였다.
- <111> 테스트 시작점으로부터의 시간을 측정하기 위해 (2+m)비트의 참조 카운터가 사용되었으며, ADC의 천이 구간을 제거하기 위해 2비트 카운터가 사용되었다. 제안하는 천이 검출기로부터 천이 검출 신호가 전달되면 2비트 카운터의 값을 1만큼 증가시키게 되는데, 이때 카운터의 값은 ADC의 하위 2비트와 일치하도록 2비트 카운터의 초기 값을 조정한다. 참조 카운터는 (2+m)비트의 크기를 갖는데, m값은 INL의 허용 스펙 범위에 따라 결정되어진다. 참조 카운터는 테스트 시작점에서부터 카운트를 하게 되며, 상위 2비트가 INL의 허용 스펙 구간을 표시하게 된다. 천이가 검출되었을 때 2비트 카운터의 값과 참조 카운터의 상위 2비트의 값을 비교하여, 값이 일치한다면 코드 천이가 허용 스펙을 만족하는 것이므로 INL 오류가 없음을 보이게 된다.
- <112> 본 발명에서 제안하는 천이 검출기에 의해 천이 검출 신호가 ADC의 상향 천이를 의미하므로, 기존 방법에서 ADC의 크기보다 큰 참조 카운터를 사용하여 모든 비트들을 비교했던 것에 반하여 제안하는 방법은 하위 2비트만을 비교하여 INL을 측정할 수 있다.
- <113> 한편, DNL은 각 코드 천이들 간의 시간 간격을 측정하여 계산한다. 제안하는 DNL 검출기의 회로 구조와 동작 과정을 도 11 및 도 12에 나타내었다.
- <114> 본 발명에서 제안하는 DNL 검출기의 내부에는 상향 카운트와 하향 카운트를 반복하는 카운터가 존재하여, 코드 천이 간의 시간 간격을 측정하게 된다. 천이가 검출되면 하향 카운트를 시작하게 되는데, 이상적인 시간 간격(1 LSB)이 지났을 경우 카운터의 값은 0이 되도록 설정되어 있다. 카운터의 값이 0이 되었음에도 다음 천이가 검출되지 않으면 상향 카운트를 시작하게 되는데, 이와 같이 구성할 경우 이상적인 시간 간격(1 LSB)과 실제 시간 간격의 시간 차이가 카운터의 값과 비례하게 된다. 카운트 도중 다음 천이가 검출되면 현재 카운터의 값을 이용하여 DNL 오류 유무를 판단하고, 카운터의 값을 다시 초기화한 후 하향 카운트를 진행하면서 다음 천이를 기다리게 된다.
- <115> 제안하는 DNL 검출기는 DNL의 허용 스펙 범위에 해당하는 카운터의 값이 대칭적인 형태를 가지게 되므로 DNL의 허용 스펙이 다양하게 주어지더라도 하드웨어 오버헤드가 크게 증가하지 않는다는 장점을 가진다.
- <116> 이처럼 INL 검출기와 DNL 검출기에서 독립적으로 ADC의 정적 파라미터들을 계산하며, 모든 정적 파라미터들에 대해 고장이 없을 때 비로소 ADC에 고장이 없음을 보이게 된다.
- <117> 이하, 본 발명의 시뮬레이션 결과를 종래의 기술과 비교하여 설명한다.
- <118> 실험은 대상 ADC 회로를 정하고 해당 회로에 제안하는 내장된 자체 테스트 구조를 추가한 후 시뮬레이션을 통해 결과 파형을 살펴보는 형태로 이루어졌다. 실험에 사용된 ADC 회로는 8비트 pipeline ADC와 12비트 flash ADC이다. 실험은 천이 검출기, INL 검출기, DNL 검출기 부분에 대해 개별적으로 수행하였으며, 각각 이상적인 대상 회로에 대한 시뮬레이션 결과와 고장을 삽입한 후 시뮬레이션을 수행한 결과를 비교하여 제안하는 내장된 자체 테스트 구조가 올바르게 고장을 검출해 냄을 확인하였다.
- <119> 제안하는 방법은 기존의 정적 파라미터들을 계산하는 방법들에 비해 하드웨어 오버헤드를 줄이고 천이 구간 문제를 해결한 것이므로 고장 검출 여부보다는 하드웨어 오버헤드 비교 및 천이 구간에 대한 시뮬레이션 결과가 더 중요한 지표라 할 수 있다. 기존 방법과 제안하는 방법과의 비교를 다음의 표 1과 도 13에 나타내었다.

표 1

		기존의 방법				제안하는 방법			
		천이 검출기	INL 검출기	DNL 검출기	합계	천이 검출기	INL 검출기	DNL 검출기	합계
8-bit pipeline ADC	$\pm 1/2$ LSB	8.25	119.50	29.25	157.00	24.50	54.00	36.25	114.75
	$\pm 1/4$ LSB	8.25	132.75	38.50	179.50	24.50	68.50	70.50	163.50
	$\pm 3/8$ LSB	8.25	145.00	100.50	253.75	24.50	80.25	87.25	192.00
12-bit flash ADC	$\pm 1/2$ LSB	8.25	170.50	29.25	208.00	24.50	54.00	36.25	114.75
	$\pm 1/4$ LSB	8.25	183.75	38.50	230.50	24.50	68.50	70.50	163.50
	$\pm 3/8$ LSB	8.25	196.00	100.50	304.75	24.50	80.25	87.25	192.00
평균		8.25	157.92	56.08	222.25	24.50	67.58	64.67	156.75

<120>

<121>

상기의 표 1에서 볼 수 있듯이, 기존의 방법에 비하여 다양한 허용 스펙에 대해 하드웨어 오버헤드의 합계가 현저히 감소하는 것을 알 수 있다.

<122>

또한, 도 13에 도시된 바와 같이, 본 발명에서 제안된 방법에 의할 경우 노이즈에 의한 불규칙적인 천이 구간이 개선된 것을 확인할 수 있다.

<123>

본 발명에서 제안하는 방법은 천이 검출기를 개선하여 천이 구간 문제를 해결하고 ADC의 천이가 상승 천이임을 보장하여 줄 수 있게 된다. 이로 인해 INL 검출기의 크기를 줄일 수 있게 되며 다양한 허용 스펙이 주어지더라도 DNL 하드웨어 오버헤드의 큰 변화 없이 BIST를 구성할 수 있다.

<124>

이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

발명의 효과

<125>

상기와 같은 발명 아날로그-디지털 변환기의 내장형 자체 테스트 방법 및 장치에 의하면,

<126>

첫째, 램프 신호로 인해, 출력 코드의 길이는 모두 동일한 값(1 LSB)를 갖게 되므로, 참조 값을 저장하는 레지스터의 크기를 최소화 할 수 있고,

<127>

둘째, 한 주기의 램프 신호로 ADC의 정적 파라미터들을 계산할 수 있기 때문에 히스토그램 방법에 비해 테스트 시간을 단축시킬 수 있으며,

<128>

셋째, 천이 검출기에서 생성된 천이 검출 신호는 ADC의 천이가 상승 천이임이 보장된 것을 의미하므로 INL, DNL 검출기의 구조를 비교적 간단하게 구성할 수 있고,

<129>

넷째, 기존 방법에서 ADC의 크기보다 큰 참조 카운터를 사용하여 모든 비트들을 비교했던 것에 반하여 본 발명에서는 하위 2비트만을 비교하여 INL을 측정할 수 있으며,

<130>

다섯째, DNL의 허용 스펙이 다양하게 주어지더라도 하드웨어 오버헤드가 크게 증가하지 않으며,

<131>

여섯째, 천이 구간에서 발생하는 불필요한 천이들을 구별하여 테스트 결과의 왜곡을 방지할 수 있다.

도면의 간단한 설명

<1>

도 1은 종래의 코드 천이 간격을 측정하는 내장된 자체 테스트 기법,

<2>

도 2는 본 발명의 구성을 나타낸 도면,

<3>

도 3은 본 발명의 결과 분석기 구성을 나타낸 도면,

<4>

도 4는 본 발명에서 사용되는 램프 신호에 의한 ADC를 나타낸 도면,

<5>

도 5는 정적 파라미터들의 타이밍 다이어그램,

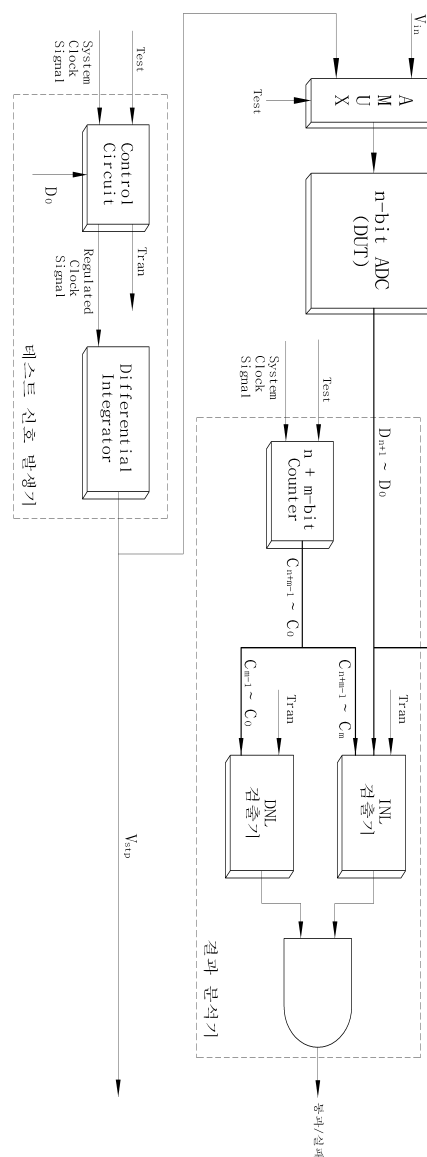
<6>

도 6은 본 발명에 따른 ADC BIST 블록 다이어그램,

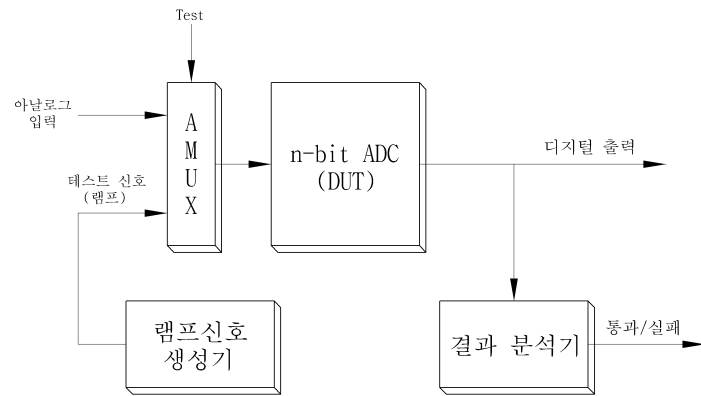
- <7> 도 7은 노이즈로 인해 발생하는 천이 구간을 나타낸 도면,
- <8> 도 8은 본 발명에 의한 천이 검출기의 동작 과정을 나타낸 도면,
- <9> 도 9는 본 발명에 의한 천이 검출기의 구조를 나타낸 도면,
- <10> 도 10은 본 발명에 의한 INL 검출기의 구조를 나타낸 도면,
- <11> 도 11은 본 발명에 의한 DNL 검출기의 구조를 나타낸 도면,
- <12> 도 12는 본 발명에 의한 DNL 검출기의 동작 과정을 나타낸 도면,
- <13> 도 13은 본 발명과 종래 기술의 천이 검출을 비교하여 나타낸 도면이다.

도면

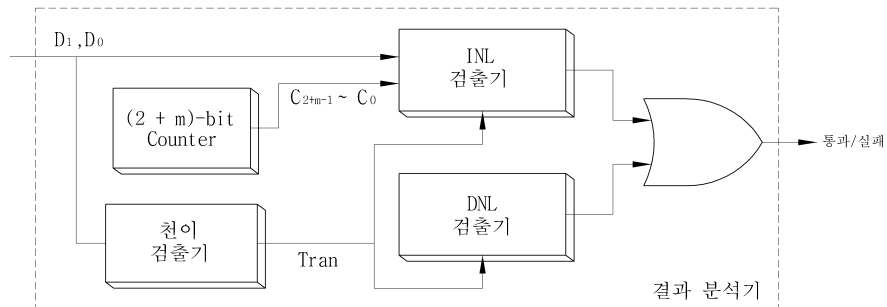
도면1



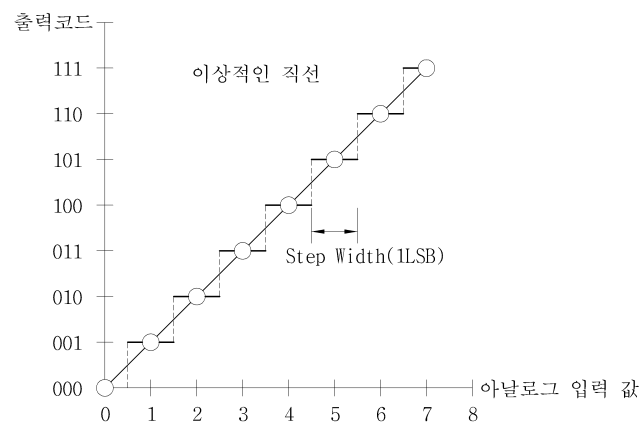
도면2



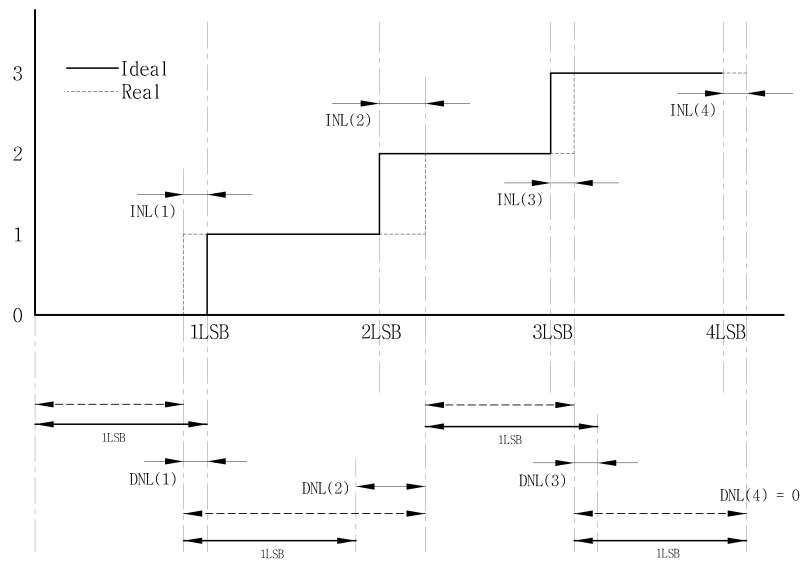
도면3



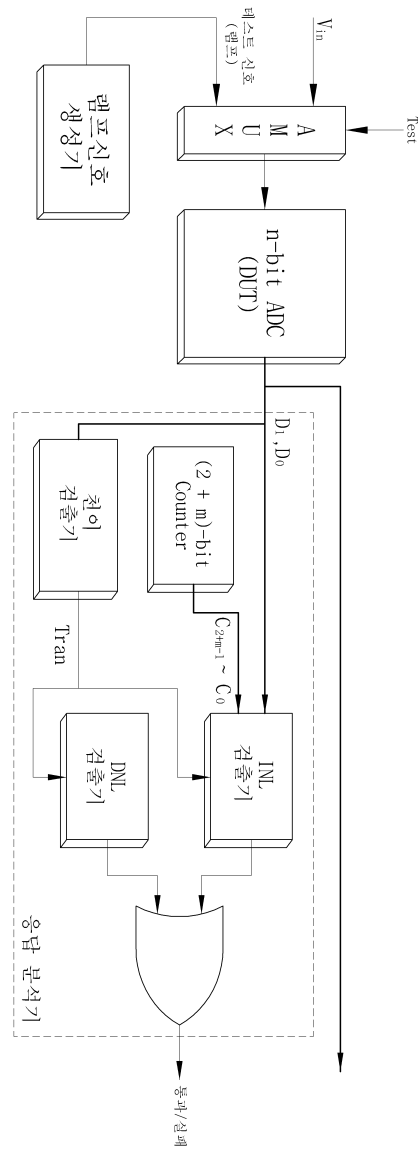
도면4



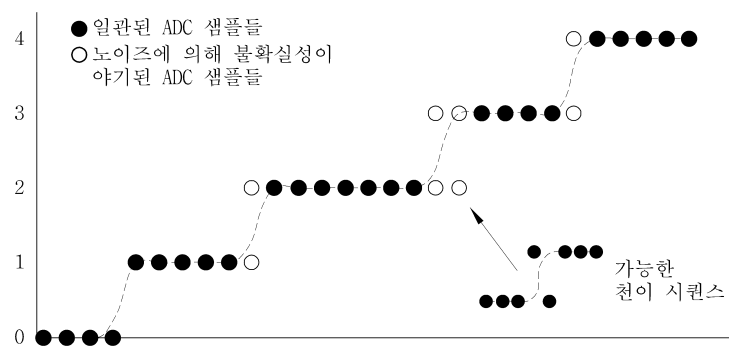
도면5



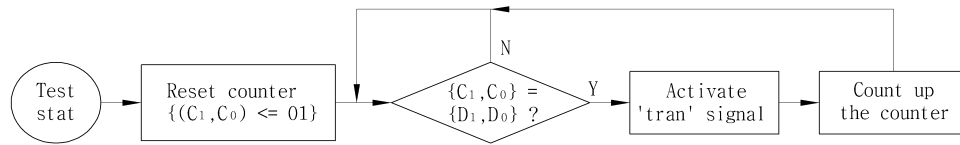
도면6



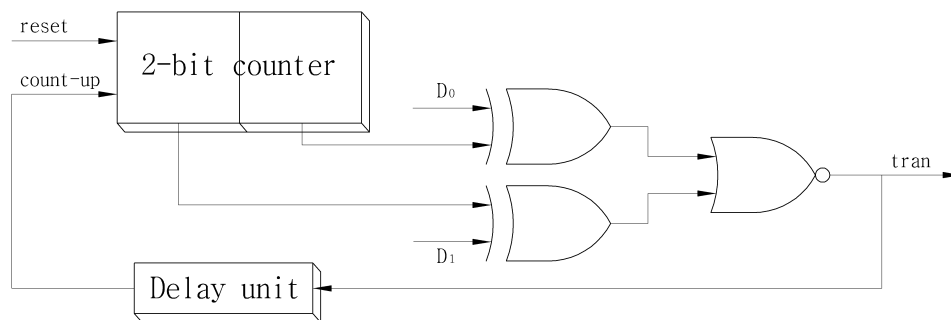
도면7



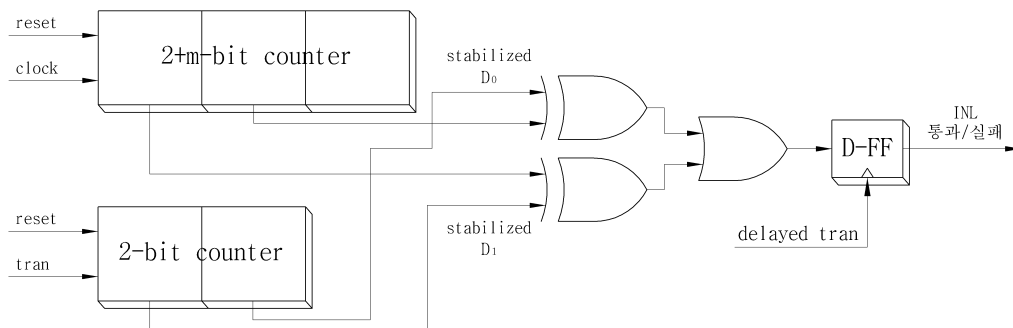
도면8



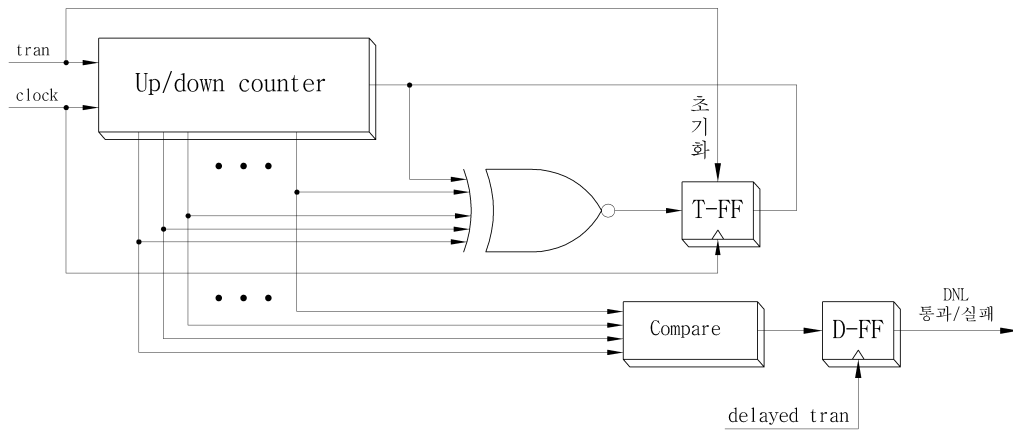
도면9



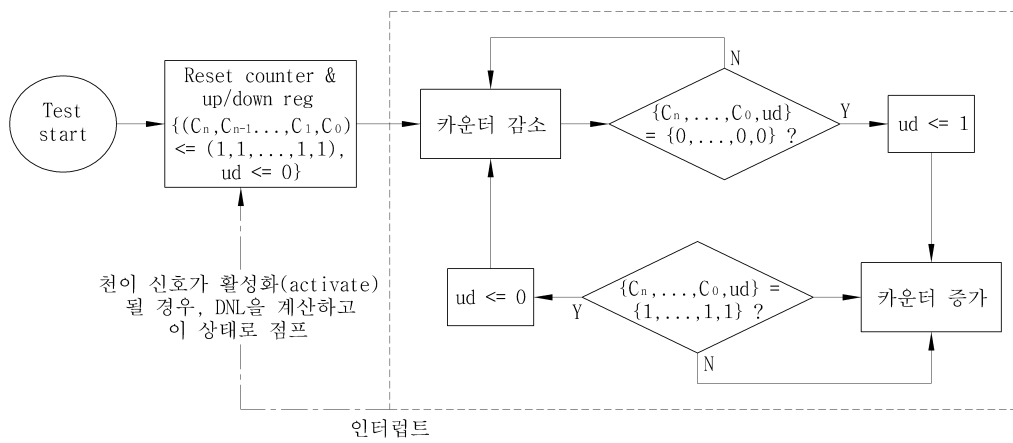
도면10



도면11



도면12



도면13

