



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0074448
(43) 공개일자 2008년08월13일

- | | |
|---|---|
| <p>(51) Int. Cl.
G06F 7/50 (2006.01) G06F 11/14 (2006.01)
G06F 7/503 (2006.01) G06F 11/00 (2006.01)</p> <p>(21) 출원번호 10-2007-0013601
(22) 출원일자 2007년02월09일
심사청구일자 2007년02월09일</p> | <p>(71) 출원인
연세대학교 산학협력단
서울 서대문구 신촌동 134 연세대학교</p> <p>(72) 발명자
강성호
서울 종로구 무악동 82번지 현대아파트 109동 1403호</p> <p>(74) 대리인
백남훈, 이학수</p> |
|---|---|

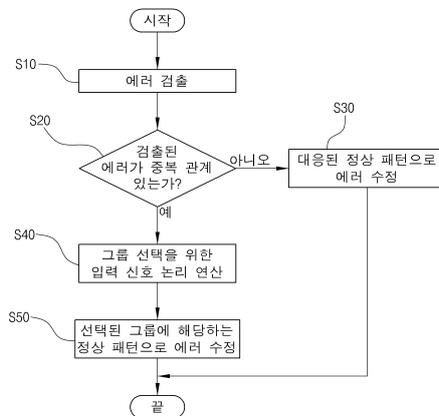
전체 청구항 수 : 총 9 항

(54) 모듈 단위 자가 검출 방식 기반의 캐리 선택 덧셈기의 에러수정 방법 및 그 캐리 선택 덧셈기

(57) 요약

본 발명은 모듈 단위 자가 검출 방식 기반의 캐리 선택 덧셈기의 에러 수정 방법을 제공하기 위한 것으로, 캐리 선택 덧셈기의 올바른 덧셈 결과인 정상 패턴(Good Pattern)과 에러 발생 시의 에러 패턴(Error Pattern)의 조합을 분석하여 캐리 선택 덧셈기 고유의 패턴을 발견, 이를 이용한 것이며, 에러를 검출하는 단계; 검출된 에러가 중복 관계가 있는 에러인지를 판단하는 단계; 그리고 판단 결과 상기 검출된 에러가 중복 관계가 없는 에러인 경우, 상기 에러에 대응되는 정상 패턴 중 하나로 대체하여 에러를 수정하고, 판단 결과 상기 검출된 에러가 중복 관계가 있는 에러인 경우, 입력 신호에 논리 연산을 수행하여 상기 중복 에러를 수정하는 단계를 포함하되, 상기 검출된 에러는 캐리 덧셈기 내부에서 발생하는 SEU(Single Event Upset)인 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법을 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

데이터의 올바른 덧셈 결과인 정상 패턴(Good Pattern) 및 에러 패턴(Error Pattern)이 소정 개수로 정해진 캐리 선택 덧셈기의 에러 수정 방법에 있어서,

에러를 검출하는 단계;

상기 검출된 에러가 중복 관계가 있는 에러인지를 판단하는 단계; 및

상기 판단 결과 상기 검출된 에러가 중복 관계가 없는 에러인 경우, 상기 에러에 대응되는 정상 패턴 중 하나로 대체하여 에러를 수정하고,

상기 판단 결과 상기 검출된 에러가 중복 관계가 있는 에러인 경우, 입력 신호에 논리 연산을 수행하여 상기 에러를 수정하는 단계를 포함하되,

상기 검출된 에러는 캐리 덧셈기 내부에서 발생하는 SEU(Single Event Upset)인 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법.

청구항 2

제 1 항에 있어서, 상기 정상 패턴은

4개로 정해진 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법.

청구항 3

제 2 항에 있어서, 상기 검출된 에러 패턴은

상기 4개의 정상 패턴 중 어느 하나의 정상 패턴과 대응될 수 있는 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법.

청구항 4

제 3 항에 있어서,

상기 4개의 정상 패턴은 4개의 그룹에 각각 대응되고, 상기 각 그룹은 대응되는 에러 패턴을 복수개 가지고 있는 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법.

청구항 5

제 4 항에 있어서, 상기 검출된 에러가 중복 관계가 있는 에러인 경우는

상기 그룹과 중복 대응되는 경우인 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법.

청구항 6

제 5 항에 있어서, 상기 검출된 에러가 중복 관계가 있는 에러인 경우, 수행되는 입력 신호에 논리 연산은

XOR 게이트를 이용하여 수행하는 단계를 포함하는 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법.

청구항 7

제 6 항에 있어서, 상기 수행되는 XOR 게이트 이용은

2비트씩 수행하는 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법.

청구항 8

자가 검출 기능을 갖는 2-비트 캐리 선택 덧셈기;

검출된 에러 수정을 위한 에러 수정 로직부;

2-레일 검출기의 출력을 이용하여 에러 검출 신호를 생성하기 위한 XOR 게이트; 및

정상 신호와 에러에 대한 수정 신호를 선택하기 위한 믹스(MUX)를 포함하되,

상기 검출된 에러는 캐리 덧셈기 내부에서 발생하는 SEU(Single Event Upset)인 것을 특징으로 하는 캐리 선택 덧셈기.

청구항 9

제 8 항에 있어서, 상기 에러 수정 로직부는

제1에러 수정 로직;

제2에러 수정 로직;

2개의 수정된 합 비트 패턴 사이의 선택을 위한 믹스; 및

같은 신호를 사용하는 2쌍의 수정된 최종 캐리 출력 신호 사이의 선택을 위한 믹스를 포함하는 것을 특징으로 하는 캐리 선택 덧셈기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 덧셈기에 관한 것으로, 특히 캐리 선택 덧셈기의 에러(error) 수정 방법에 관한 것이다.
- <12> 일반적으로 덧셈기는 모든 데이터 처리 시스템에 있어서 가장 기본적인 요소이기 때문에, 온라인 에러 검출 및 수정 기능을 갖춘 연산기 구조의 설계는 매우 중요하다.
- <13> 따라서 그동안 레지듀 코드(residue code), 패리티 코드(parity code), 혹은 버거 코드(berger code)에 기반한 자가 검출 덧셈기에 대해서는 많은 연구가 진행되었다. 한편 자가 검출에서 나아가 N-모듈 중복 구조 및 중복 실행 구조 등과 같이 중복형 구조에 기반한 자가 수정 방식에 관한 연구도 많이 수행되었다. 이러한 중복형 구조의 핵심 개념은 추가적인 시간, 정보, 그리고 하드웨어를 본래의 구조에 추가하여 에러에 상관없이 정상적인 출력을 보장하는 것이다.
- <14> 그러나 상기와 같은 중복형 구조는 하드웨어의 오버헤드가 크며, 따라서 전체 칩의 설계비용의 증가를 초래한다는 단점이 있었다.
- <15> 또한, 중복형 구조가 아닌 종래의 자가 검출 방식의 덧셈기는 단지 에러의 검출만을 보장하였고 에러를 수정하기 위해서는 데이터 연산중에 에러가 발생된 것이 파악되면 검출된 에러를 수정하기 위하여 에러 발생 시점의 데이터를 다시 연산할 수밖에 없었다.
- <16> 그러나 상기 접근 방식은 파이프 라인 방식과 같은 데이터 처리에 있어서 심각한 성능 저하를 가져온다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <17> 이에 본 발명은 상기와 같은 종래의 제반 문제점을 해결하기 위해 제안된 것으로, 본 발명의 목적은 미리 정해진 에러의 집합을 이용하여 에러의 수정을 할 수 있는 캐리 선택 덧셈기의 에러 수정 방법을 제공하는데 있다.
- <18> 또한, 본 발명의 또 다른 목적은 조합 논리 회로의 구성만으로 에러 수정이 가능한 캐리 선택 덧셈기를 제공하는데 있다.

발명의 구성 및 작용

- <19> 상기 목적을 달성하기 위해 본 발명은 데이터의 올바른 덧셈 결과인 정상 패턴(Good Pattern)과 에러 패턴(Error Pattern)이 소정 개수로 정해진 캐리 선택 덧셈기의 에러 수정 방법에 있어서, 에러를 검출하는 단계; 검출된 에러가 중복 관계가 있는 에러인지를 판단하는 단계; 및 상기 판단 결과 상기 검출된 에러가 중복 관계가 없는 에러인 경우, 상기 에러에 대응되는 정상 패턴 중 하나로 대체하여 에러를 수정하고, 상기 판단 결과

상기 검출된 에러가 중복 관계가 있는 에러인 경우, 입력 신호에 논리 연산을 수행하여 상기 에러를 수정하는 단계를 포함하되, 상기 검출된 에러는 캐리 덧셈기 내부에서 발생하는 SEU(Single Event Upset)인 것을 특징으로 하는 캐리 선택 덧셈기의 에러 수정 방법을 제공한다.

- <20> 상기 목적을 달성하기 위해 본 발명은 자가 검출 기능을 갖는 2-비트 캐리 선택 덧셈기; 검출된 에러 수정을 위한 에러 수정 로직부; 2-레일 검출기의 출력을 이용하여 에러 검출 신호를 생성하기 위한 XOR 게이트; 및 정상 신호와 에러에 대한 수정 신호를 선택하기 위한 믹스(MUX)를 포함하되, 상기 검출된 에러는 캐리 덧셈기 내부에서 발생하는 SEU(Single Event Upset)인 캐리 선택 덧셈기를 제공한다.
- <21> 이하, 상기와 같은 본 발명, 자가 모듈 검출 단위 기반의 캐리 선택 덧셈기의 에러 수정 방법 및 그 캐리 선택 덧셈기의 기술적 사상에 따른 실시예를 도면을 참조하여 설명하면 다음과 같다.
- <22> 먼저, 본 발명에서는 다음의 사항을 가정하고 설명하기로 한다.
- <23> 첫째, 본 발명의 캐리 선택 덧셈기에서 고려하는 에러(error)의 종류는 온라인 테스트 분야에서 일반적으로 사용되는 SEU(Single Event Upset)이다.
- <24> 둘째, 캐리 선택 덧셈기로 들어오는 주 입력 데이터와 캐리 입력 신호에는 에러가 없고, 단지 캐리 선택 덧셈기 내부에서 발생하는 에러만이 고려된다.
- <25> 먼저, 에러의 검출만이 가능한 기존의 모듈 단위 자가 검출 방식의 캐리 선택 덧셈기 구조에서 본 발명에서 제안하는 방법에 의해 에러 수정 기능을 추가하기 위해서는 캐리 선택 덧셈기의 동작에 대한 이해가 필요하다.
- <26> 도 1은 캐리 선택 덧셈기에서 발생 가능한 입출력 패턴의 모든 조합과 발생 가능한 모든 비트 에러 패턴을 나타낸다.
- <27> 도 1를 살펴보면, 정상 동작의 경우 캐리 선택 덧셈기의 입력에 따른 값은 올바른 덧셈 결과(Good Pattern)는 단지 4 가지만 존재한다는 것과 2-비트 캐리 선택 덧셈기의 2 개의 최종 캐리 출력 비트들은 어떤 특징을 가지고 있음을 알 수 있다.
- <28> 또한, 4 개의 부분합 비트들의 에러 패턴들은 부분적으로 G1(그룹 1)과 G3(그룹 3) 혹은 G2(그룹 2)와 G4(그룹 4)에 중복 관계가 있음을 볼 수 있다. 도 1에서 음영으로 처리된 행들은 중복 관계가 있는 에러 패턴을 나타내고 나머지 것들은 고유한 에러 패턴들을 나타낸다. 그러므로 중복 관계 문제만 해결되어진다면, 각 그룹에 소속된 에러 패턴을 분석하여 정상 덧셈 결과로 수정이 가능하게 된다.
- <29> 도 2는 그룹 선택을 위한 특성을 찾기 위해 각 그룹에 대한 $a_i \oplus b_i$ 값을 나타낸 도면이다. 여기서 a_i 및 b_i 는 입력 신호의 부분 비트이다.
- <30> 도 2에 도시된 바와 같이, G2와 G4는 고유한 결과를 갖지만, G1과 G3는 같은 결과를 가지게 되는데, 이는 에러 패턴에서와 같이 또 다른 중복 관계 문제가 발생된다. 그러므로 해당하는 에러 수정 로직(ECL : Error Correction Logic, 도 4 및 도 5에 도시됨)에는 추가적인 결정 과정이 필요하게 된다.
- <31> 도 3은 본 발명의 일 실시예에 의한 모듈 단위 자가 검출 방식 기반의 캐리 선택 덧셈기의 에러 수정 방법을 나타내는 순서도이다.
- <32> 만일 2-레일 검출기의 출력에 의해 에러가 검출(S10)되면, 검출된 에러가 중복 관계가 있는 에러인가를 판단하여 중복 관계가 없는 에러일 경우, 상기 검출된 에러에 대응되는 정상 패턴으로 수정한다(S20, S30).
- <33> 도 1을 참조하여 예를 들면 다음과 같다.
- <34> 검출된 에러 패턴이 “0000” 인 경우, 대응되는 그룹은 G1이고, 이에 대응되는 정상 패턴은 “0001” 이다.
- <35> 그러나 검출된 에러 패턴이 중복 관계가 있는 에러인 경우 먼저 입력 데이터의 조합에 해당하는 그룹을 결정하기 위해 $a_i \oplus b_i$ 가 수행된다(S20, S40). 다음으로 제1에러 수정 로직과 제2에러 수정 로직은 그룹 2와 그룹4 또는 그룹 1과 그룹3에 해당하는 것으로 각각 수정된 부분합의 비트 패턴을 만든다. 동시에 최종 캐리 출력 비트들도 에러가 발생할 수 있으므로, 캐리 출력 비트들도 마찬가지로 에러 수정 로직에 의해서 에러의 검출 및 수정이 이루어진다(S50). 각각의 에러 수정 로직에 의해서 생성된 최종 출력값들은 $a_i \oplus b_i$ 에 의해 선택되어진다.

- <36> 도 4는 본 발명의 실시시에 의한 모듈 단위 자가 검출 방식 기반의 캐리 선택 덧셈기의 블록도이다.
- <37> 도 4에 도시된 바와 같이, 기존의 모듈 단위 자가 검출 방식의 캐리 선택 덧셈기에서 제안된 자가 검출 기능을 갖는 2-비트 캐리 선택 덧셈기(2-bit self-checking CSA), 2 개의 병렬형 에러 수정 로직(ECL), 2-레일 검출기의 출력을 이용한 에러 검출 신호를 생성하기 위한 XOR 게이트, 그리고 정상 신호와 에러에 대한 수정 신호를 선택하기 위한 MUX가 있음을 알 수 있다.
- <38> 도 5는 도 4에 도시된 에러 수정 로직부의 상세 블록도이다.
- <39> 도시된 에러 수정 로직부(ECL)는 제1에러 수정 로직(ECL1), 제2에러 수정 로직(ECL2), 2개의 수정된 합 비트 패턴 사이의 선택을 위한 MUX, 같은 신호를 사용하는 2 쌍의 수정된 최종 캐리 출력 신호 사이의 선택을 위한 MUX, 그리고 도 2의 결과에 대한 특성을 구현한 그룹 선택 로직으로 구성되어있다. 상기 구조는 수정된 신호와 정상 출력 신호를 병렬적으로 생성하는 구조를 채택하고 있기 때문에 성능 저하가 최소화 될 수 있다.
- <40> 에러 수정 로직부(ECL)는 에러 패턴들과 그룹 선택에 있어서 2 가지 형태의 중복 관계 문제를 고려해야 한다.
- <41> 먼저 그룹 선택 과정에서 도 1에서의 G2와 G4의 중복 관계 문제를 처리할 수 있다. 예를 들어서, $a_i \oplus b_i$ 결과의 특정 값을 사용하여 G2와 G4는 다른 그룹들과 구분되어질 수 있다. 만일 그룹이 결정되어진다면, 정상 패턴 값이 입력 값에 따라 수정된 출력 값으로 대치될 수 있다. 이는 병렬 처리 구조이기 때문에 가능한 것이다. 그러므로 G2와 G4에는 에러 수정 로직이 단순하게 구현될 수 있다.
- <42> 도 6은 도 5에 도시된 제1에러 수정 로직의 상세 구조도이다. G2와 G4에 있어서, 도 1의 a1, b1, a0, b0의 주 입력 패턴들은 특별한 특징을 갖는다.
- <43> G2에 대해서, 4개의 주 입력값 a1, b1, a0, b0 모두에 적어도 하나의 0 값이 존재하고, 4-입력 AND 게이트는 항상 0의 값을 갖게 된다. 또한 G4에 대해서, 4개의 주 입력값 a1, b1, a0, b0 모두에 적어도 하나의 1의 값이 존재하게 되고 4-입력 OR 게이트는 항상 1의 값을 갖게 된다. 제1에러 수정 로직의 결과는 단지 G2 혹은 G4의 경우에만 맞게 되므로, G1 혹은 G3가 선택될 때에는 제1에러 수정 로직(ECL1)의 결과는 의미가 없게 되고 그룹 선택 로직의 결과 신호에 의해 걸러지게 된다.
- <44> 다음으로 두 번째 중복 관계 검출을 위한 것으로 도 7은 도 5에 도시된 제2에러 수정 로직의 상세 구조도이다. 제2에러 수정 로직(ECL2) 역시 도 1의 a1, b1, a0, b0의 전체 8개의 주 입력 패턴을 사용하여 구현되었다. 제1에러 수정 로직과 유사하게 G1에 대해서 4개의 주 입력 값 a1, b1, a0, b0 모두에 적어도 하나의 0의 값이 존재하게 되고 G3에 대해서 4개의 주 입력값 a1, b1, a0, b0 모두에 적어도 하나의 1의 값이 존재하게 된다. 이러한 특성을 이용해서, 2개의 4-입력 XOR 게이트들이 G1 혹은 G3에 대한 수정된 출력값을 선택하기 위한 신호를 생성하게 된다. 8-입력 AND 게이트와 OR 게이트는 단지 1과 0의 값을 생성하게 된다.
- <45> 상기의 상술한 에러 수정 로직(제1에러 수정 로직 및 제2에러 수정 로직)을 이용하여 검출된 에러를 효과적으로 수정할 할 수 있다.
- <46> 본 발명은 상술한 실시시에 한정되지 않으며, 첨부된 청구범위에서 알 수 있는 바와 같이 본 발명이 속한 분야의 통상의 지식을 가진 자에 의해 변형이 가능하고 이러한 변형은 본 발명의 범위에 속한다.

발명의 효과

- <47> 이상에서 살펴본 바와 같이, 본 발명에 의한 모듈 단위 자가 검출 방식 기반의 캐리 선택 덧셈기의 에러 수정 방법 및 그 캐리 선택 덧셈기는 미리 정해진 에러의 집합을 이용하여 검출된 에러의 수정을 할 수 있는 효과가 있다.
- <48> 또한, 조합 논리 회로만으로 구성만으로 에러 수정 로직을 구성할 수 있기에 오버헤드가 줄어진다라는 장점이 있다.

도면의 간단한 설명

- <1> 도 1은 캐리 선택 덧셈기에서 발생 가능한 입출력 패턴의 모든 조합과 발생 가능한 모든 비트 에러 패턴을 나타낸 도면이다.
- <2> 도 2는 그룹 선택을 위한 특성을 찾기 위해 각 그룹에 대한 입력 패턴의 배타적(exclusive) OR 연산의 결과인

$a_i \oplus b_i$ 값을 나타낸 도면이다.

- <3> 도 3은 본 발명의 일실시예에 의한 모듈 단위 자가 검출 방식 기반의 캐리 선택 덧셈기의 에러 수정 방법을 나타내는 순서도이다.
- <4> 도 4는 본 발명의 일실시예에 의한 모듈 단위 자가 검출 방식 기반의 캐리 선택 덧셈기의 블록도이다.
- <5> 도 5는 도 4에 도시된 에러 수정 로직부의 상세 블록도이다.
- <6> 도 6은 도 5에 도시된 제1에러 수정 로직의 상세 구조도이다.
- <7> 도 7은 도 5에 도시된 제2에러 수정 로직의 상세 구조도이다.
- <8> * 도면의 주요 부분에 대한 부호의 설명 *
- <9> ECL: 에러 수정 로직부 ECL1: 제1에러 수정 로직
- <10> ECL2: 제2에러 수정 로직

도면

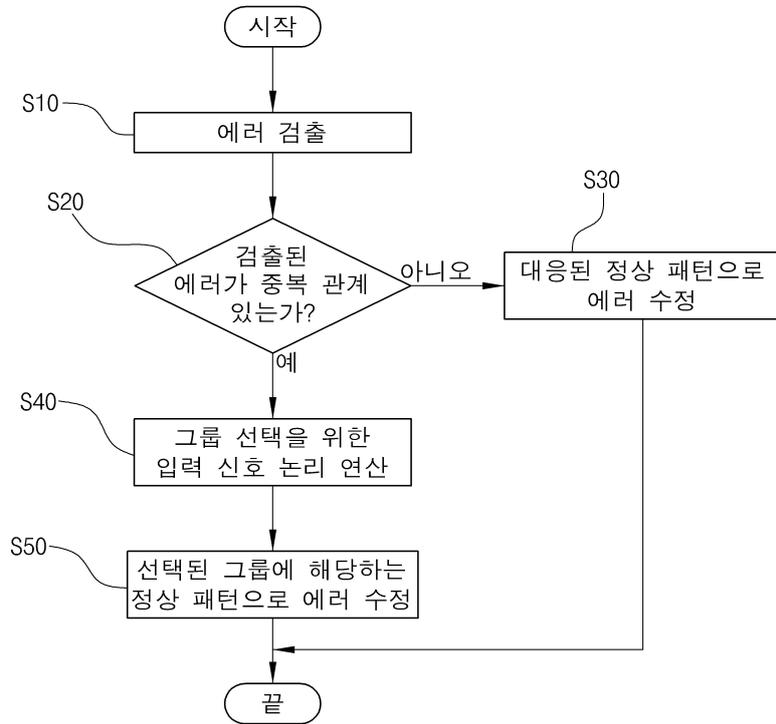
도면1

	Good Pattern (GP)				Primary Input (PI)				Erroneous Pattern (EP)					
	S01	S11	S00	S10	a1	b1	a0	b0	C02	C12	S01	S11	S00	S10
G1	0	0	0	1	0000				00		1	0	0	1
					0111				11		0	1	0	1
					1011				11		0	0	1	1
					1100				11		0	0	0	0
G2	0	1	1	0	0001				00		1	1	1	0
					0010				00		0	0	1	0
					1101				11		0	1	0	0
					1110				11		0	1	1	1
G3	1	1	0	1	0011				00		0	1	0	1
					0100				00		1	0	0	1
					1000				00		1	1	1	1
					1111				11		1	1	0	0
G4	1	0	1	0	0101				10		0	0	1	0
					0110				10		1	1	1	0
					1001				10		1	0	0	0
					1010				10		1	0	1	1

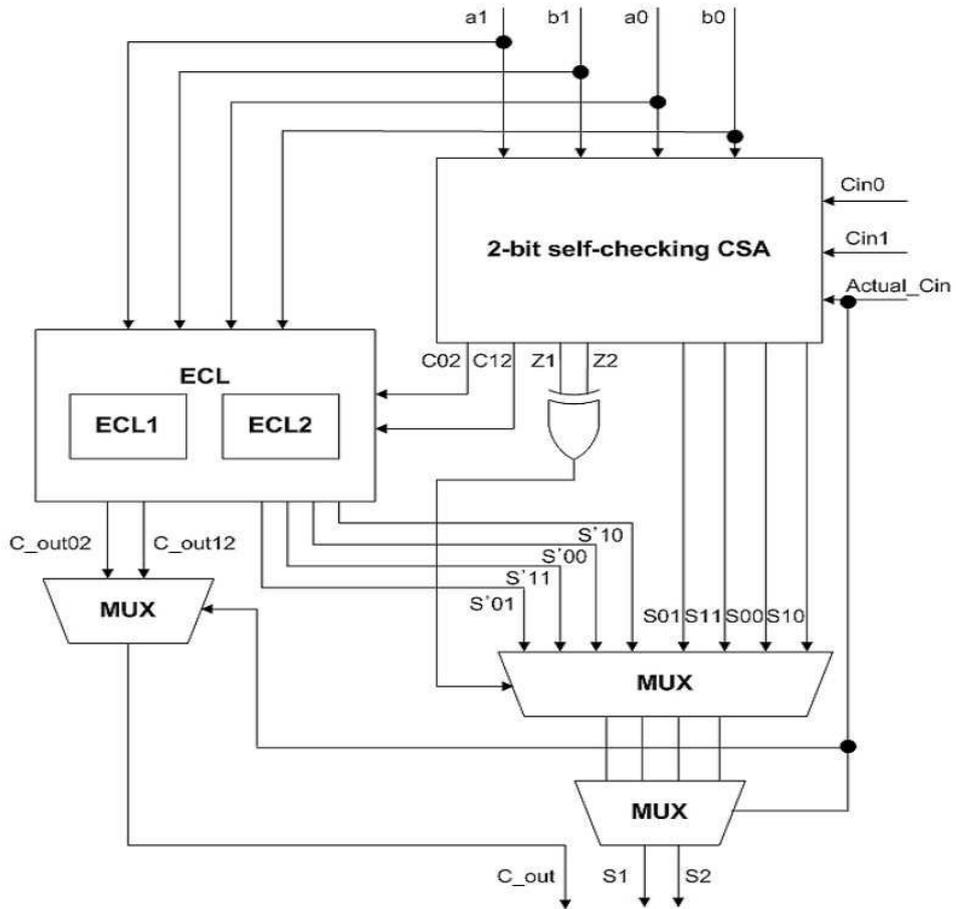
도면2

$L_i = a_i \oplus b_i$			
G1	G2	G3	G4
L1 L0	L1 L0	L1 L0	L1 L0
0 0	0 1	0 0	1 1
1 0	0 1	1 0	1 1
1 0	0 1	1 0	1 1
0 0	0 1	0 0	1 1

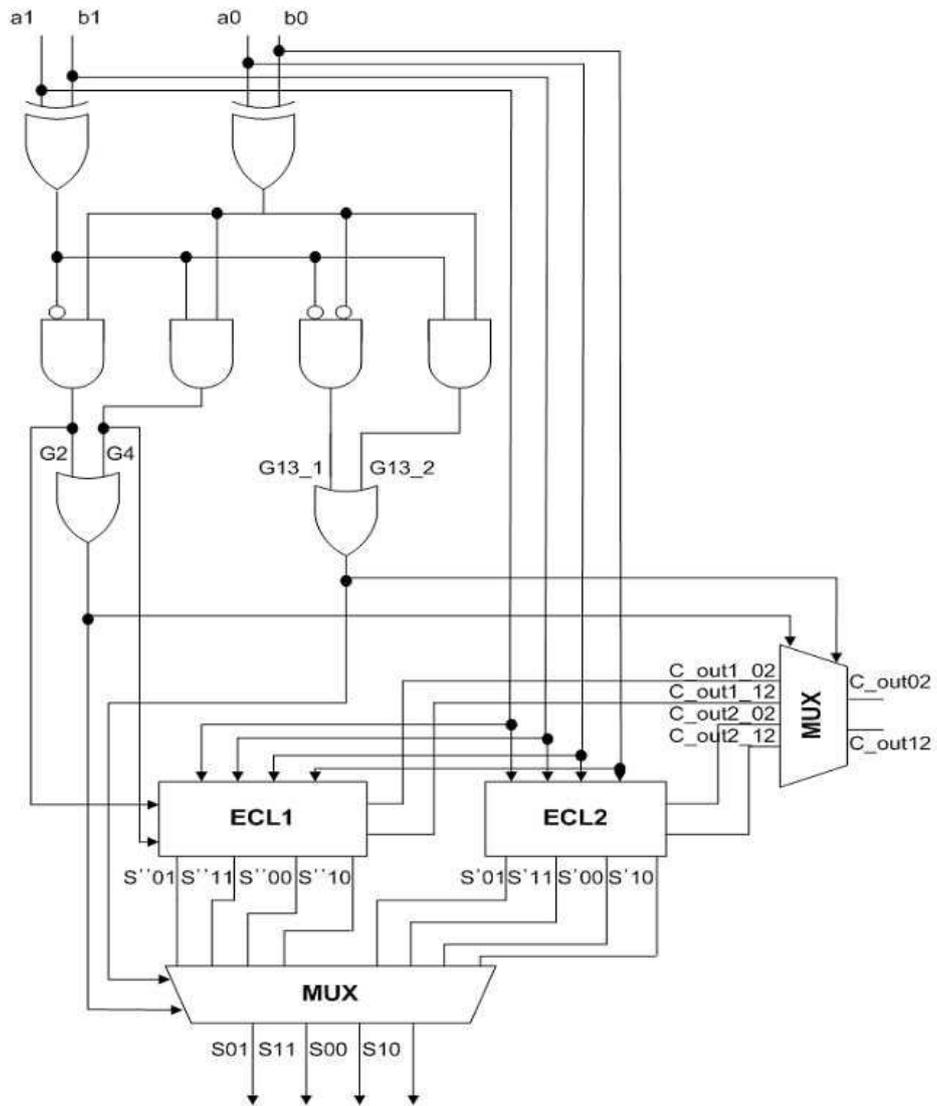
도면3



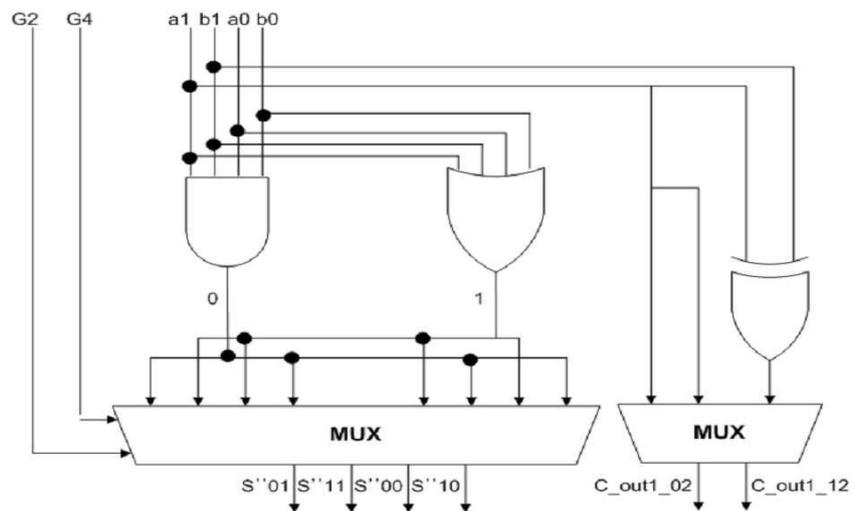
도면4



도면5



도면6



도면7

