



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0096106
(43) 공개일자 2008년10월30일

(51) Int. Cl.

C09D 183/04 (2006.01) *C09D 5/44* (2006.01)
H01L 21/20 (2006.01)

(21) 출원번호 10-2007-0041093

(22) 출원일자 2007년04월27일

심사청구일자 2007년05월25일

(71) 출원인

연세대학교 산학협력단

서울 서대문구 신촌동 134 연세대학교

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

설용건

서울 서대문구 북가좌동 한양아파트 5-904

김범택

인천 동구 송현동 동부아파트 2-103

(뒷면에 계속)

(74) 대리인

백남훈, 이학수

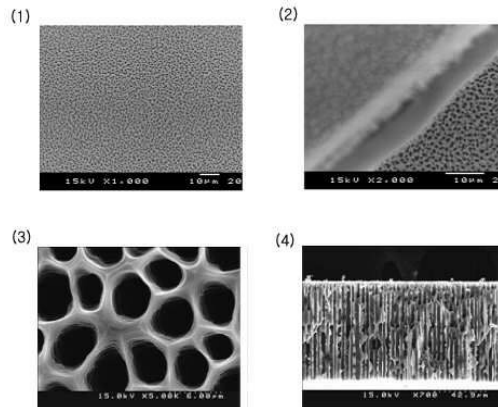
전체 청구항 수 : 총 4 항

(54) 홀이 개방된 다공성 실리콘막의 제조방법

(57) 요약

본 발명은 홀이 개방된 다공성 실리콘막의 제조방법에 관한 것으로서, 더욱 상세하게는 에칭용액을 이용한 전기 화학적 반응으로 다공성 실리콘막을 제조하는 방법에 있어서, 상기 에칭용액을 불산(HF)과 디메틸포름아마이드(DMF)가 일정비로 혼합된 혼합 에칭용액을 선택사용하고, 상기 전기 화학적 반응의 조건인 온도, 시간, 정전류 및 표면저항 등을 최적화하여, 종래에 비해 현격하게 증가된 범위까지 두께가 확장되면서 동시에 홀이 개방된 다공성 실리콘막을 제조하는 방법에 관한 것이다.

대표도 - 도12



(72) 발명자

장재혁

경기 성남시 분당구 정자동 상록마을 보성아파트
404-903

이홍렬

경기 수원시 팔달구 우만2동 월드메르디앙 101-902

특허청구의 범위

청구항 1

비다공질의 실리콘을 에칭용액에 의한 전기 화학적 반응으로 다공성 실리콘막을 제조하는 방법에 있어서,

상기 비다공질의 실리콘은 100 ~ 480 μm 두께 범위로 사용하고, 상기 에칭용액으로 불산(HF)과 디메틸포름아마이드(DMF)가 1 ~ 3 : 7 ~ 9 중량비로 혼합된 것을 사용하여

0 ~ 50 $^{\circ}\text{C}$, 40분 ~ 4시간 동안, 10 ~ 100 mA 정전류, 110 ~ 250 Ωcm 표면저항 조건하에서 전기 화학적 반응을 수행하여 홀(hole)이 개방된 다공성 실리콘막을 제조하는 것을 특징으로 하는 다공성 실리콘막의 제조방법.

청구항 2

제 1 항에 있어서, 상기 다공성 실리콘막의 두께는 1 nm ~ 900 μm 범위이고, 기공의 크기가 1.0 ~ 3.5 μm 범위인 것을 특징으로 하는 제조방법.

청구항 3

제 1 항에 있어서,

상기 비다공질의 실리콘은 500 μm 두께 범위로 사용하고, 상기 에칭용액으로 불산(HF)과 디메틸포름아마이드(DMF)가 2 : 8 중량비로 혼합된 것을 사용하여

0 $^{\circ}\text{C}$, 3 시간동안, 10 mA 정전류, 110 ~ 250 Ωcm 표면저항하에서 전기 화학적 반응을 수행하는 것을 특징으로 하는 다공성 실리콘막의 제조방법.

청구항 4

제 3 항에 있어서, 상기 다공성 실리콘막의 두께는 100 μm 범위이고, 기공의 크기가 1.0 ~ 3.5 μm 범위인 것을 특징으로 하는 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 홀이 개방된 다공성 실리콘막의 제조방법에 관한 것으로서, 더욱 상세하게는 에칭용액을 이용한 전기 화학적 반응으로 다공성 실리콘막을 제조하는 방법에 있어서, 상기 에칭용액을 불산(HF)과 디메틸포름아마이드(DMF)가 일정비로 혼합된 혼합 에칭용액을 선택사용하고, 상기 전기 화학적 반응의 조건인 온도, 시간, 정전류 및 표면저항 등을 최적화하여, 종래에 비해 현격하게 증가된 범위까지 두께가 확장되면서 동시에 홀이 개방된 다공성 실리콘막을 제조하는 방법에 관한 것이다.
- <15> 일반적으로, 실리콘 기판은 알루미늄 기판에 비해 가격이 저렴하고 3배 이상의 높은 열전도도를 가지며 실리콘 칩과의 완전한 CTE 결합 특성으로 멀티칩 패키징용 기판으로서의 사용이 점차 확대되고 있다. 또한 실리콘 기판은 산업계에 있어 IC공정에 대한 많은 공정 기술이 개발되어 있어 가장 널리 실용화되어 있기도 하다. 박막공정에 있어 거울면과 같이 매우 평탄하여 결합이 매우 적고, 알루미늄 기판과 달리 이온주입으로 저항, 박막커패시터 같은 수동소자와 IC구동회로 같은 능동소자를 기판에 직접 만들 수 있다. 뿐만 아니라, 알루미늄 기판 등에 비해 화학적 시각(에칭)등의 방법으로 표면 구조 가공이 용이하다.
- <16> 특히, 반도체 공정에서 다공성 실리콘막 구조는 전기적인 커넥터(connector)나 절연체로 폭 넓게 사용되어 다공성 구조를 형성하는 방법들이 다양하게 제시되어 왔다[대한민국 특허 제96-7640호].
- <17> 통상적으로 다공성 실리콘막을 제조하는첨부도면 도 1에 제시된 바와 같은 구성을 가진다. 다공성 실리콘막의 형성은 실리콘의 단결정 구조를 산화시키기 위해서 불산(HF) 또는 불산과 유기용매를 혼합한 형태의 산성

용액을 사용한 에칭법으로 수행되는데, 이때 반응에서 실리콘을 산화시키기 위해서 자유전자가 사용된다.

<18> 즉, 대부분의 다공성 실리콘막 반응은 도 1과 같이 반응물로 불산계열의 에칭액을 사용하고, 전원을 인가하기 위해서 실리콘을 양극(anode, positive electrode)에 연결하고 대전극으로 백금(Pt)을 음극(cathode, negative electrode)에 연결한 뒤에 전원을 공급해준다.

<19> 이때, 불산에 혼합하는 유기용매로는 구체적으로 H_2O , 에탄올(EtOH), N,N-디메틸포름아마이드(DMF), 디메틸설폭사이드(DMSO) 등이 사용된다. 이러한 다양한 유기용매의 사용으로 종래 다공성 실리콘막 형성 방법으로는 다양한 에칭액과 그 비율을 사용한 방법이 존재하고 있다. 그러나, 이와 같이 다양한 방법으로 제조된 다공성 실리콘막은 대부분 반응시간이 짧고 최적화된 조건이 확립되지 않아 그 구조가 불안정하고 생성량도 매우 적으며, 특히 다공성 실리콘막 구조가 수 nm 에서 수 μm 이하의 얇은 구조를 형성하게 되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

<20> 이에 본 발명자들은 다양한 에칭용액의 사용으로 제조된 다공성 실리콘막의 구조가 불안정하고 두께가 얇아 사용이 제한되는 문제를 개선하고자 다양한 에칭용액 및 이의 적용조건을 최적화하기 위하여 연구 노력하였다.

<21> 그 결과, 비다공질의 실리콘에 불산(HF)과 디메틸포름아마이드(DMF)가 일정비로 혼합된 에칭용액을, 특정의 온도, 시간, 정전류 및 표면저항 등의 조건을 최적화하여 전기 화학적 반응을 수행하면, 종래에 비해 현격하게 두꺼운 두께를 가지면서 동시에 홀이 개방된 다공성 실리콘막의 제조가 가능하다는 것을 알게되어 본 발명을 완성하게 되었다.

<22> 따라서, 본 발명은 불산화 디메틸포름아마이드가 특정비로 혼합된 에칭용액을 특정의 조건하에서 전기 화학적 반응을 수행하여 다공성 실리콘막을 제조하는 방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

<23> 본 발명은 비다공질의 실리콘에 에칭용액에 의한 전기 화학적 반응으로 다공성 실리콘막을 제조하는 방법에 있어서, 상기 비다공질의 실리콘은 100 ~ 480 μm 두께 범위로 사용하고, 상기 에칭용액으로 불산(HF)과 디메틸포름아마이드(DMF)가 1 ~ 3 : 7 ~ 9 중량비로 혼합된 것을 사용하여 0 ~ 50 $^{\circ}C$, 40분 ~ 4시간 동안, 10 ~ 100 mA 정전류, 110 ~ 250 Ωcm 표면저항 조건하에서 전기 화학적 반응을 수행하여 홀(hole)이 개방된 다공성 실리콘막을 제조하는 방법에 그 특징이 있다.

<24> 이하, 본 발명을 상세히 설명하면 다음과 같다.

<25> 종래에 다공성 실리콘막을 제조하는 반응에 여러 가지 다양한 에칭액, 구체적으로 불산 단독, 또는 불산과 H_2O , 에탄올(EtOH), N,N-디메틸포름아마이드(DMF) 및 디메틸설폭사이드(DMSO) 등의 혼합용액을 사용되고 있다[대한민국 특허 제96-7640호]. 그러나, 상기 에칭액은 그 사용만으로는 목적으로 하는 다공성 실리콘막의 제조가 용이하지 않은 문제가 있다. 또한, 에칭액의 조성 이외에도 전류밀도, 실리콘의 전기적 저항, 시간, 비다공질 실리콘의 두께 및 반응온도 등의 다양한 전기 화학적 변수들에 의해 제조되는 다공성 실리콘막이 전혀 달라지는 문제가 있었다.

<26> 본 발명은 이를 최적화하여 다공성의 홀을 가지면서 동시에 종래의 수 nm 에서 수 μm 이하의 두께에 비해 현격히 두꺼운 수백 μm 로 확장 가능한 다공성 실리콘막을 제조하는 방법을 제시하는 것으로, 상기 에칭액의 조성, 및 전기 화학적 조건을 최적화하는 방법에 기술구성상의 특징이 있는 것이다.

<27> 다시 말하면, 본 발명은 에칭용액을 이용한 전기 화학적 반응으로 다공성 실리콘막을 제조하는 방법을 전제로 하는 것으로, 에칭용액의 종류 및 에칭 방법은 종래 일반적으로 사용되는 것으로, 이에 특징이 있는 것이 아니라 에칭액의 조성 및 전기 화학적 조건을 최적화하여 다공성 실리콘막의 구조 및 두께를 현격히 향상시킨 것이다. 에칭용액의 종류는 알려져 있기는 하나 각각의 용매의 혼합비 및 반응조건 등에 따라 그 결과는 확연히 나타나는 바, 이는 비교예에서도 확실하게 보여주고 있다. 따라서, 본 발명은 당 업자의 단순 반복 실험에 의해 얻어질 수 없는 것으로, 특정의 에칭용액인 HF/DMF에 적합하도록 혼합비를 조절하고, 이의 에칭용액에 의해 본 발명이 목적으로 하는 효과를 달성할 수 있도록 전기 화학적 조건을 최적화한 것으로 종래에 비해 진보된 발명이라 사료된다.

<28> 본 발명에서 사용되는 비다공질의 실리콘은 100 ~ 480 μm 두께 범위로 종래에 비해 연료전지용 막 제조에 특화된 다공성 구조를 형성시키기 용이한 특징을 갖는다. 즉, 종래에는 이러한 두께범위를 형성하는 것은 사용

이 힘들었으나, 본 발명은 이의 사용이 가능한 바, 상기 비다공질의 실리콘의 두께가 100 μm 미만이면 100 μm 두께의 다공성 실리콘을 형성시키기 불가능하고 480 μm 을 초과하는 경우에는 에칭속도가 너무 낮은 문제가 발생하므로 상기 범위를 유지하는 것이 좋다.

<29> 본 발명은 에칭용액으로 불산(HF)과 디메틸포름아마이드(DMF)가 특정비, 구체적으로 1 ~ 4 : 6 ~ 9 중량비, 바람직하기로는 2 ~ 4 : 6 ~ 8 중량비로 혼합된 것을 사용하는 바, 상기 불산의 사용량이 1 중량비 미만이면 반응에 참여하는 HF의 농도가 낮아 기공속으로 확산이 더디기 때문에 에칭속도가 낮고 3 중량비를 초과하는 경우에는 기공의 형성 속도가 감소하는데 이는 실리콘의 산화 속도가 느려지기 때문에 에칭속도도 느려지는 문제가 발생하므로 상기 범위를 유지하는 것이 좋다. 이러한 에칭용액은 당 분야에서 전기 화학적 반응을 수행하기에 적합한 양으로 사용하는 바, 특별히 한정하지는 않으나 본 발명은 반응기를 채울 정도로 사용하는 것이 좋다.

<30> 이때, 전기 화학적 조건은 온도가 0 ~ 50 $^{\circ}\text{C}$ 범위, 바람직하기로는 0 ~ 10 $^{\circ}\text{C}$ 범위이고, 시간이 40 분 ~ 4 시간 범위, 바람직하기로는 2시간 ~ 3시간 범위이고, 정전류가 10 ~ 100 mA 범위, 바람직하기로는 10 ~ 20 mA 범위이며, 표면저항이 110 ~ 250 Ωcm 범위, 바람직하기로는 110 ~ 150 Ωcm 를 유지하는 것이 바람직하다.

<31> 상기 온도가 0 $^{\circ}\text{C}$ 미만이면 수직방향으로 기공의 형성속도가 매우 낮고 50 $^{\circ}\text{C}$ 를 초과하는 경우에는 기공들의 크기가 증가하여 다공성 구조의 물리적 안정성을 유지하기 어려우므로 상기 범위를 유지하는 것이 좋다. 시간이 40분 미만이면 폭(size)와 깊이(depth)가 너무 작은 기공이 형성되므로 4시간을 초과하는 경우에는 시간이 지나면서 기공의 크기가 커지는 문제가 발생하므로 상기 범위를 유지하는 것이 좋다.

<32> 또한, 정전류가 10 mA 미만이면 기공의 크기(size)가 너무 작게 형성되고 100 mA을 초과하는 경우에는 기공의 크기가 증가하여 불안정한 구조를 형성하는 문제가 발생하므로 상기 범위를 유지하는 것이 좋다. 표면저항이 110 Ωcm 미만이면 기공의 크기가 증가하여 물리적으로 불안정한 구조를 형성하고 250 Ωcm 을 초과하는 경우에는 기공의 크기가 너무 작게 형성되는 문제가 발생하므로 상기 범위를 유지하는 것이 좋다.

<33> 본 발명에 따라 제조된 다공성 실리콘막의 두께는 수 nm ~ 수백 μm 범위로 구체적으로 1 nm ~ 900 μm , 바람직하기로는 1 nm ~ 500 μm 이고, 기공의 크기가 1.0 ~ 3.5 μm 범위를 유지한다.

<34> 특히 본 발명에 따른 다공성 실리콘막을 형성하는 가장 바람직한 안정 조건은 HF/DMF의 에칭액은 2 : 8 중량비로 혼합한 것을 사용하고, 0 $^{\circ}\text{C}$ 의 온도에서, 3시간 동안 정전류 10 mA, 표면저항 110 ~ 150 Ωcm 로 500 μm 의 두께를 가지는 비다공질 실리콘을 반응시켰을 때, 두께 100 μm 정도의 다공성 구조를 갖는 실리콘막이 형성하는 것이다.

<35> 이상에서 설명한 바와 같은 본 발명의 다공성 실리콘막의 제조방법을 다음 실시예에서 구체적으로 설명하도록 한다. 다만 본 발명이 이의 실시예에 한정되는 것은 아니다.

<36> 실시예 1

<37> 다음 첨부된 도 1에 나타난 바와 같이, 테프론 반응기(1), 비다공질 실리콘 양극(2), 대전극 백금(Pt) 음극(3), 전기 공급기(4) 및 전기 공급 조절용 컴퓨터(5)로 구성된 전원부와 에칭용액으로 이루어진 장치를 이용하여 에칭공정을 수행하였다.

<38> 두께가 500 μm 인 비다공질 실리콘을 양극으로 사용하고, HF/DMF의 혼합 에칭용액을 2 : 8 중량비로 혼합하여 40 mL 범위의 양으로 사용하여 0 $^{\circ}\text{C}$ 의 온도에서, 3시간 동안 정전류 10 mA로 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이때, 제조된 다공성 실리콘막의 두께는 약 100 μm 이고, 이의 구조 확인은 다음 도 2의 SEM 사진[(1a) 평면, (1b) 단면)]으로 확인하였다.

<39> 비교예 1

<40> 상기 실시예 1과 동일하게 실시하되, 상기 HF/DMF 혼합 에칭용액 대신에 HF/EtOH와 HF/DMSO를 사용하여 전기 화학적 반응을 수행하였다. 이의 구조 확인 사진은 각각 다음 도 2의 HF/EtOH SEM 사진[(2a) 평면, (2b) 단면)] 및 HF/DMSO SEM 사진[(3a) 평면, (3b) 단면)]으로 확인하였다.

<41> 상기 도 2에서 보이는 바와 같이, 본 발명에 따른 실시예 1의 HF/DMF 구성된 에칭액을 사용하는 경우 가장 안정한 구조가 형성되었음을 확인할 수 있었다.

<42> 실시예 2

- <43> 상기 실시예 1과 동일하게 실시하되, HF/DMF 혼합 에칭용액 비율을 2 : 8, 2.7 : 7.5, 4 : 6, 6 : 4 및 9 : 1 등으로 달리하여 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이의 구조 확인은 다음 도 3의 SEM 사진으로 확인하였으며, 2 : 8은 [(1a) 평면, (1b) 단면], 2.7 : 7.5은 [(2a) 평면, (2b) 단면], 4 : 6은 [(3a) 평면, (3b) 단면], 6 : 4는 [(4a) 평면, (4b) 단면] 및 9 : 1은 [(5a) 평면, (5b) 단면]을 나타내었다.
- <44> 상기 도 3에서 보이는 바와 같이, HF의 비율이 점점 증가할 수록 기공의 크기는 일정하지만, 기공의 두께가 증가하는 것을 확인할 수 있다. 그러나 HF가 DMF보다 더 많은 양이 첨가되면 반응이 오히려 일어나지 않은 것을 확인할 수 있다. 따라서 HF의 농도는 HF : DMF의 질량 비율을 2:8 이나 4:6정도로 하는 것이 가장 안정하다는 것을 확인할 수 있었다.
- <45> **실시예 3**
- <46> 상기 실시예 1과 동일하게 실시하되, 에칭시간을 30 분, 90 분 및 3시간 등으로 달리하여 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이의 구조 확인은 다음 도 4의 SEM 사진으로 확인하였으며, 30 분은 [(1a) 평면, (1b) 단면], 90 분은 [(2a) 평면, (2b) 단면], 3 시간은 [(3a) 평면, (3b) 단면]을 나타내었다.
- <47> 상기 도 4에서 보이는 바와 같이, 에칭시간이 증가함에 따라서 기공의 크기가 증가하나 에칭속도는 일정하다는 것을 확인할 수 있었다.
- <48> **실시예 4**
- <49> 상기 실시예 1과 동일하게 실시하되, 에칭 온도를 0 ℃, 40 ℃ 및 80 ℃ 등으로 달리하여 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이의 구조 확인은 다음 도 5의 SEM 사진으로 확인하였으며, 0 ℃ 는 [(1a) 평면, (1b) 단면], 40 ℃는 [(2a) 평면, (2b) 단면], 80 ℃는 [(3a) 평면, (3b) 단면]을 나타내었다.
- <50> 상기 도 5에서 보이는 바와 같이, 에칭 온도가 증가함에 따라서 기공의 크기는 증가하는데 고온에서 급격하게 그 크기가 증가하는 것을 확인할 수 있고, 에칭속도는 온도가 증가함에 따라서 증가하는 것을 확인할 수 있다.
- <51> **실시예 5**
- <52> 상기 실시예 1과 동일하게 실시하되, 비다공질 실리콘의 두께를 100 μm , 300 μm 및 500 μm 등으로 달리하여 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이의 구조 확인은 다음 도 6의 SEM 사진으로 확인하였으며, 100 μm 는 [(1a) 평면, (1b) 단면], 300 μm 는 [(2a) 평면, (2b) 단면], 500 μm 는 [(3a) 평면, (3b) 단면]을 나타내었다.
- <53> 상기 도 6에서 보이는 바와 같이, 두께가 얇을 수록 에칭속도가 증가하고 기공의 크기도 증가하는 것을 확인할 수 있다. 이때, 습식에칭(Wet etching)을 이용하여 수행하였다.
- <54> **실시예 6**
- <55> 상기 실시예 1과 동일하게 실시하되, 정전류 10 mA 하에서 표면저항을 1 ~ 10 Ωcm , 110 ~ 150 Ωcm 및 180 ~ 210 Ωcm 등으로 달리하여 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이의 구조 확인은 다음 도 7의 SEM 사진으로 확인하였으며, 1 ~ 10 Ωcm 는 [(1a) 평면, (1b) 단면], 110 ~ 150 Ωcm 는 [(2a) 평면, (2b) 단면], 180 ~ 210 Ωcm 는 [(3a) 평면, (3b) 단면]을 나타내었다.
- <56> **실시예 7**
- <57> 상기 실시예 1과 동일하게 실시하되, 정전류 50 mA 하에서 표면저항을 1 ~ 10 Ωcm , 110 ~ 150 Ωcm 및 180 ~ 210 Ωcm 등으로 달리하여 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이의 구조 확인은 다음 도 8의 SEM 사진으로 확인하였으며, 1 ~ 10 Ωcm 는 [(1a) 평면, (1b) 단면], 110 ~ 150 Ωcm 는 [(2a) 평면, (2b) 단면], 180 ~ 210 Ωcm 는 [(3a) 평면, (3b) 단면]을 나타내었다.
- <58> **실시예 8**
- <59> 상기 실시예 1과 동일하게 실시하되, 정전류 100 mA 하에서 표면저항을 1 ~ 10 Ωcm , 110 ~ 150 Ωcm 및 180 ~ 210 Ωcm 등으로 달리하여 전기 화학적 반응을 수행하여 홀이 개방된 다공성 구조의 실리콘을 제조하였다. 이의 구조 확인은 다음 도 9의 SEM 사진으로 확인하였으며, 1 ~ 10 Ωcm 는 [(1a) 평면, (1b) 단면], 110

~ 150 Ωcm는 [(2a) 평면, (2b) 단면], 180 ~ 210 Ωcm는 [(3a) 평면, (3b) 단면]을 나타내었다.

<60> 상기 도 7, 8 및 9에서 보이는 바와 같이, 전류밀도가 증가할 수록 기공의 크기와 에칭속도가 증가하는 것을 확인할 수 있고, 비다공질 실리콘의 표면저항이 증가할 때도 또한 기공의 크기와 에칭속도가 증가하는 것을 확인할 수 있었다.

<61> 또한, 도 10은 상기 실시예 6, 7 및 8의 결과를 전류값의 변화에 따른 기공크기 그래프로 나타낸 것이고, 도 11은 상기 실시예 6, 7 및 8의 결과를 전류값의 변화에 따른 다공성 구조의 두께 그래프로 나타낸 그림이다.

<62> 도 12는 실시예 1에서 제조된 다공성 구조의 실리콘으로 (1)과 (3)은 다공성 구조의 평면구조이고, (2)는 다공성 구조와 다공성 구조가 아닌 실리콘 부분의 계면의 SEM사진이고, (4)는 다공성 실리콘막의 단면 사진이다.

발명의 효과

<63> 이상에서 살펴본 바와 같이, 본 발명에 따라 불산(HF)과 디메틸포름아마이드(DMF)가 일정비로 혼합된 에칭용액을, 특정의 온도, 시간, 정전류 및 표면저항 등의 조건을 최적화하여 전기 화학적 반응을 수행하여 제조된 다공성 실리콘막은 종래에 비해 현격하게 두꺼운 두께를 가지면서 동시에 홀이 개방된 구조를 형성하여 이를 이용한 분야 특히 다공성 고온막 등의 분야에서 시장성이 기대된다.

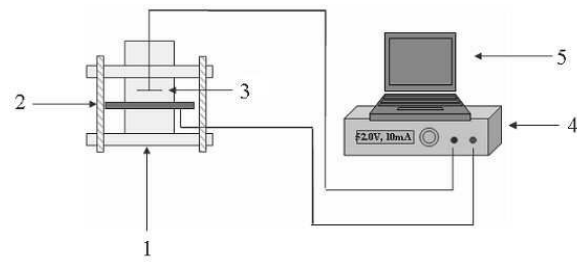
도면의 간단한 설명

- <1> 도 1은 다공성 실리콘막 구조를 형성하기 위한 반응기의 모식도를 나타낸 것으로, (1) 테프론 반응기, (2) 비다공질 실리콘, (3) 대전극 Pt, (4) 전원 공급기, (5)전원공급을 조절기(컴퓨터)이다.
- <2> 도 2는 본 발명의 실시예 1 및 비교예 1에서 제조된 다공성 실리콘막의 SEM 사진으로, HF/DMF[(1a) 평면, (1b) 단면], HF/EtOH[(2a) 평면, (2b) 단면] 및 HF/DMSO[(3a) 평면, (3b) 단면]이다.
- <3> 도 3은 본 발명의 실시예 2에서 제조된 다공성 실리콘막의 SEM 사진으로, 2 : 8은 [(1a) 평면, (1b) 단면], 2.7 : 7.5은 [(2a) 평면, (2b) 단면], 4 : 6은 [(3a) 평면, (3b) 단면], 6 : 4는 [(4a) 평면, (4b) 단면] 및 9 : 1은 [(5a) 평면, (5b) 단면]이다.
- <4> 도 4는 본 발명의 실시예 3에서 제조된 다공성 실리콘막의 SEM 사진으로, 30 분은 [(1a) 평면, (1b) 단면], 90 분은 [(2a) 평면, (2b) 단면], 3 시간은 [(3a) 평면, (3b) 단면]이다.
- <5> 도 5는 본 발명의 실시예 4에서 제조된 다공성 실리콘막의 SEM 사진으로, 0 ℃ 는 [(1a) 평면, (1b) 단면], 40 ℃는 [(2a) 평면, (2b) 단면], 80 ℃는 [(3a) 평면, (3b) 단면]이다.
- <6> 도 6는 본 발명의 실시예 5에서 제조된 다공성 실리콘막의 SEM 사진으로, 100 μm는 [(1a) 평면, (1b) 단면], 300 μm는 [(2a) 평면, (2b) 단면], 500 μm는 [(3a) 평면, (3b) 단면]이다.
- <7> 도 7은 본 발명의 실시예 6에서 제조된 다공성 실리콘막의 SEM 사진으로, 1 ~ 10 Ωcm는 [(1a) 평면, (1b) 단면], 110 ~ 150 Ωcm는 [(2a) 평면, (2b) 단면], 180 ~ 210 Ωcm는 [(3a) 평면, (3b) 단면]이다.
- <8> 도 8은 본 발명의 실시예 7에서 제조된 다공성 실리콘막의 SEM 사진으로, 1 ~ 10 Ωcm는 [(1a) 평면, (1b) 단면], 110 ~ 150 Ωcm는 [(2a) 평면, (2b) 단면], 180 ~ 210 Ωcm는 [(3a) 평면, (3b) 단면]이다.
- <9> 도 9는 본 발명의 실시예 8에서 제조된 다공성 실리콘막의 SEM 사진으로, 1 ~ 10 Ωcm는 [(1a) 평면, (1b) 단면], 110 ~ 150 Ωcm는 [(2a) 평면, (2b) 단면], 180 ~ 210 Ωcm는 [(3a) 평면, (3b) 단면]이다.
- <10> 도 10은 본 발명의 실시예 6, 7 및 8의 결과를 전류값의 변화에 따른 기공크기 그래프로 나타낸 것이다
- <11> 도 11은 본 발명의 실시예 6, 7 및 8의 결과를 전류값의 변화에 따른 다공성 구조의 두께 그래프로 나타낸 것이다.
- <12> 도 12는 본 발명에 따른 실시예 1에서 제조된 다공성 구조의 실리콘으로, (1)과 (3)은 다공성 구조의 평면구조이고, (2)는 다공성 구조와 다공성 구조가 아닌 실리콘 부분의 계면의 SEM사진이고, (4)는 다공성 실리콘 막의 단면 사진이다.

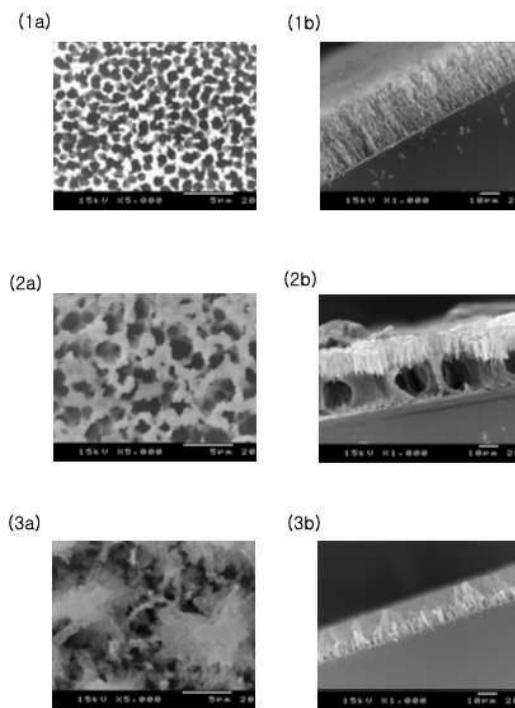
<13>

도면

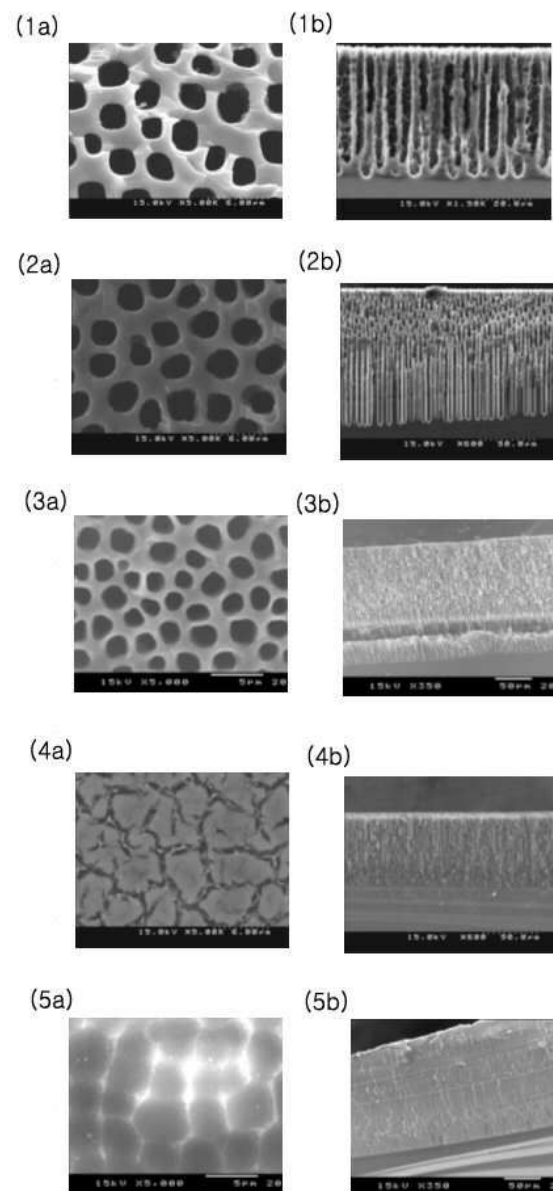
도면1



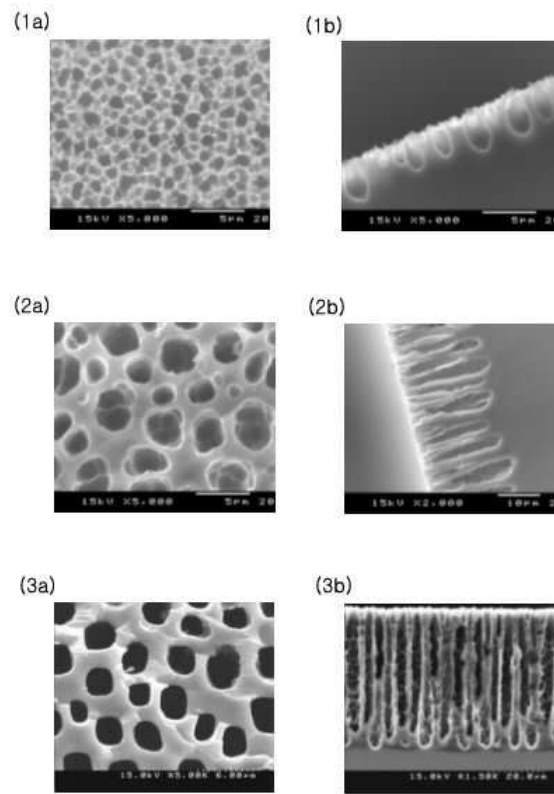
도면2



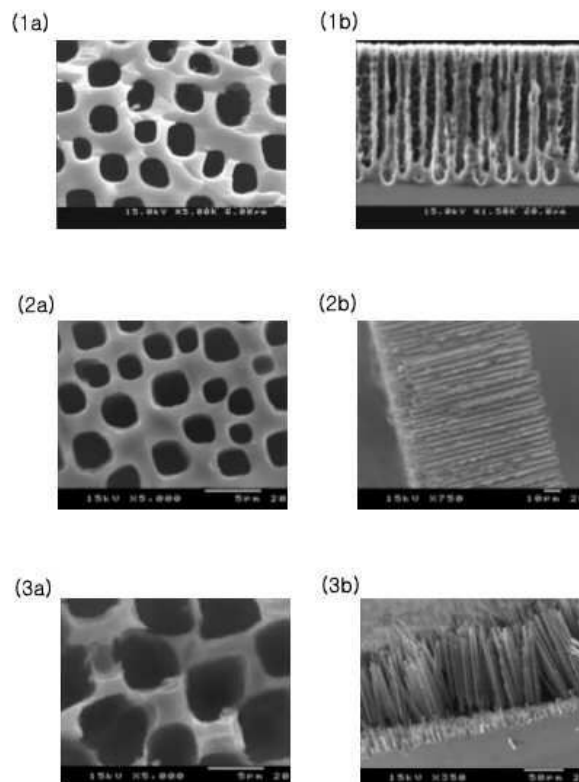
도면3



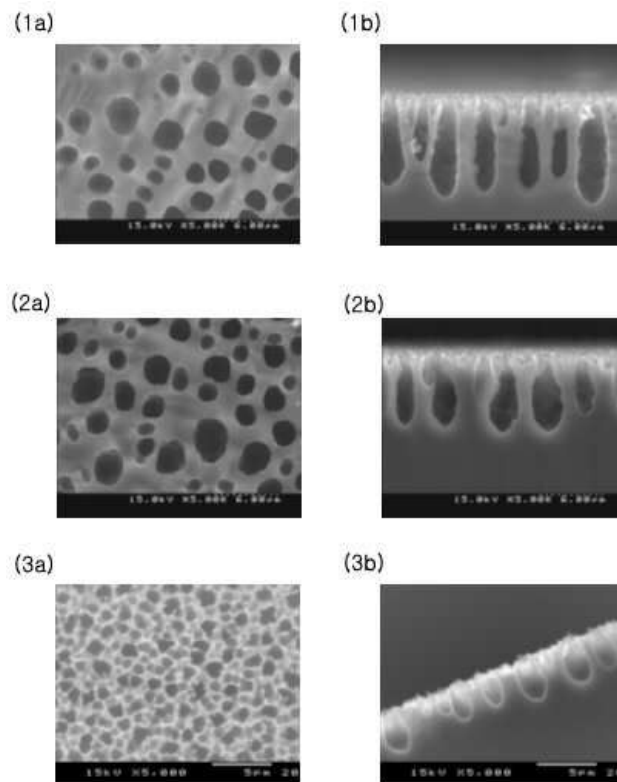
도면4



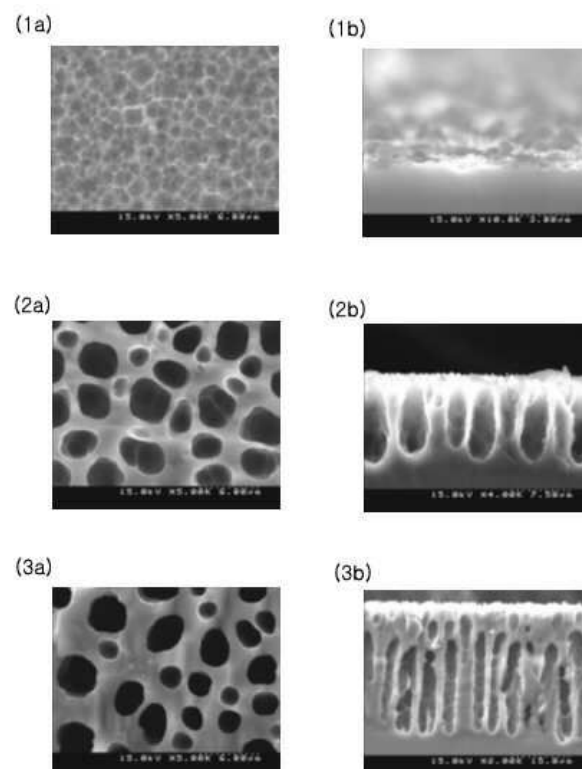
도면5



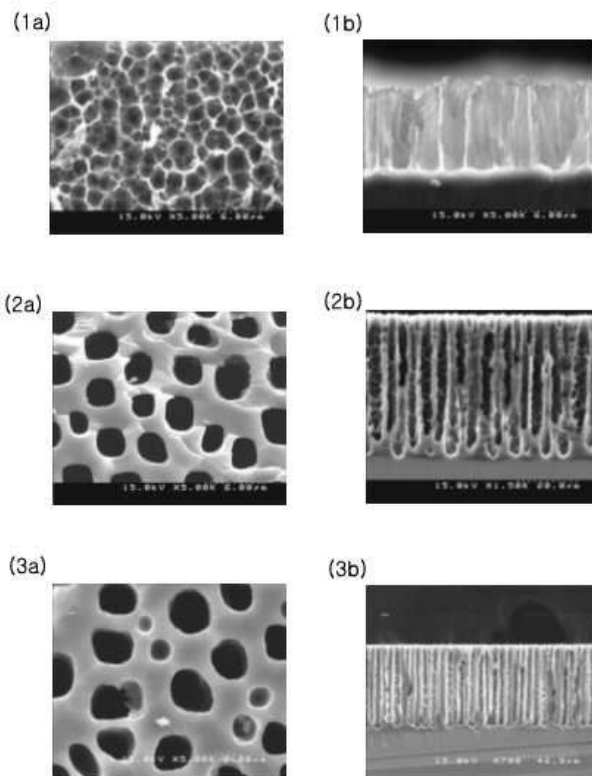
도면6



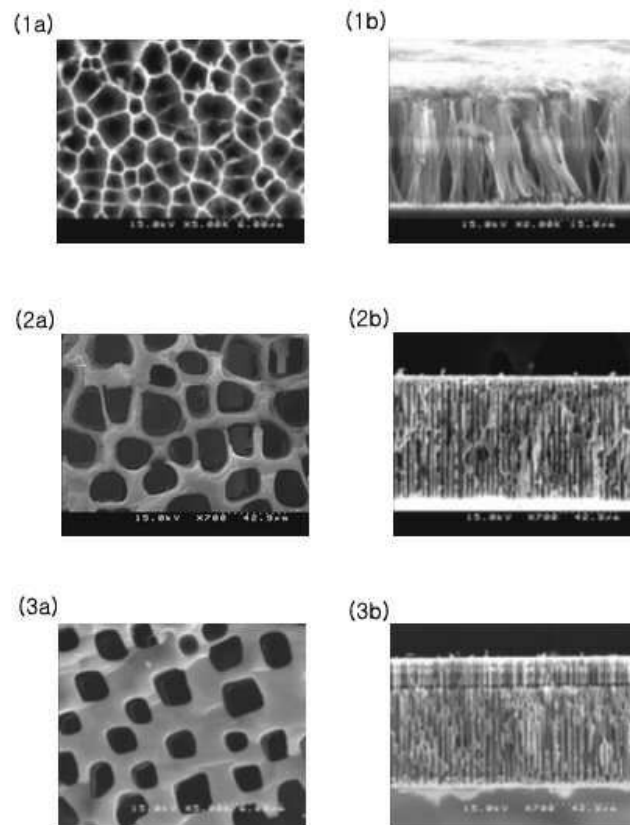
도면7



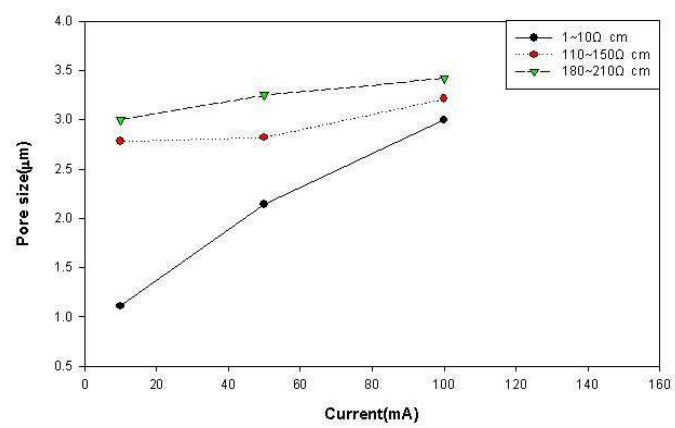
도면8



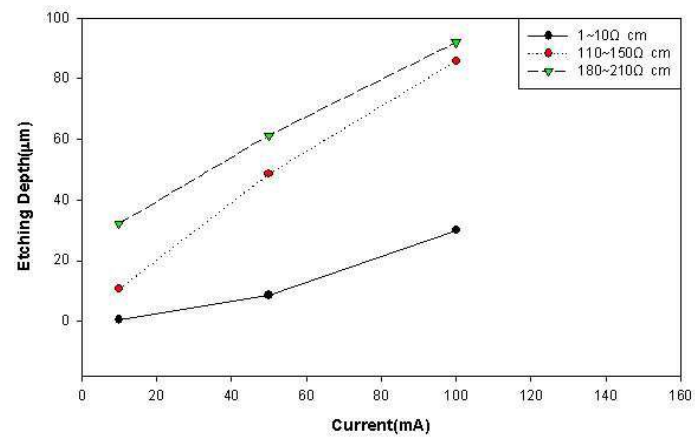
도면9



도면10



도면11



도면12

