



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0074873
(43) 공개일자 2012년07월06일

(51) 국제특허분류(Int. Cl.)
G01R 31/28 (2006.01) H03M 1/00 (2006.01)
(21) 출원번호 10-2010-0136846
(22) 출원일자 2010년12월28일
심사청구일자 2010년12월28일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50, 연세대학교 (신
촌동)
(72) 발명자
강성호
서울특별시 종로구 무악동 82 현대아파트
109-140
장재원
서울특별시 마포구 동교로 217 (동교동)
(74) 대리인
권혁수, 송윤호, 오세준

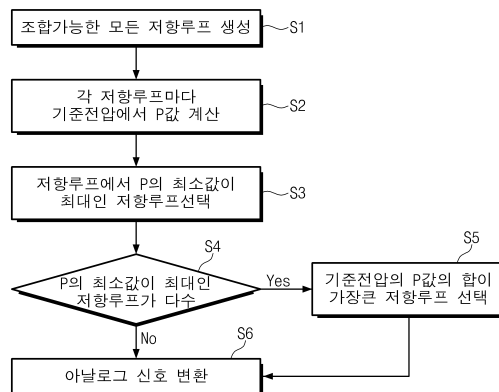
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 디지털-아날로그 변환기 테스트 장치 및 방법

(57) 요약

본 발명은 n비트 디지털-아날로그 변환기 테스트장치에 있어서, $2^k - 1$ ($k \geq 1$, 정수)개의 저항으로 이루어진 저항루프, 상기 저항루프에 연결되어 기준전압과 입력신호를 비교하는 비교기, 디지털 신호로 변환하는 디코더를 포함하고 상기 저항루프는 저항들 중 서로 다른 저항값을 갖는 저항을 포함한다. 본 발명에 의해서 아날로그-디지털 변환기의 하드웨어 오버헤드가 감소하게 된다.

대표도 - 도6



특허청구의 범위

청구항 1

n비트 디지털-아날로그 변환기 테스트장치에 있어서,
 $2^m - k$ ($k \geq 1$, 정수)개의 저항으로 이루어진 저항루프; 및
 상기 저항루프에 연결되어 저항 사이 노드에서의 기준전압과 입력신호를 비교하는 비교기;
 디지털 신호로 변환하는 디코더를 포함하는 것을 특징으로 하는 디지털-아날로그 변환기 테스트 장치.

청구항 2

제1항에 있어서,
 상기 저항루프는 저항들 중 서로 다른 저항값을 갖는 저항을 포함하는 것을 특징으로 하는 디지털-아날로그 변환기 테스트 장치.

청구항 3

제1항에 있어서,
 상기 비교기는 $2^m - k$ ($k \geq 1$, 정수)개인 것을 특징으로 하는 디지털-아날로그 변환기 테스트 장치.

청구항 4

n비트 디지털-아날로그 변환기 테스트 방법에 있어서,
 $2^m - k$ ($k \geq 1$, 정수)개의 저항으로 이루어진 저항루프에 아날로그 신호를 입력하는 단계;
 상기 아날로그 신호에 의한 기준전압과 입력신호를 비교기 통해 비교하는 단계; 및
 디코더가 상기 입력신호를 디지털 신호로 변환하는 단계를 포함하는 디지털-아날로그 변환기 테스트 방법.

청구항 5

제4항에 있어서,
 상기 아날로그 신호를 입력하는 단계 이전에 저항루프를 결정하는 단계를 더 포함하는 것을 특징으로 하는 디지털-아날로그 변환기 테스트 방법.

청구항 6

제5항에 있어서,
 상기 저항루프를 결정하는 단계는 n비트 디지털-아날로그 변환기를 테스트 하기 위한 $2^m - k$ ($k \geq 1$, 정수)개의 저항을 갖는 저항루프에서 제1저항, 제2저항, 제3저항, ... 제 $2^m - k$ 저항 각각을 시작점으로 하여 기준전압을 산출하는 단계와 기준전압이 산출되는 회수를 카운트하여 이를 P라하고 P값의 최소값이 최대가 되는 저항루프를 선택하는 단계를 포함하는 것을 특징으로 하는 디지털-아날로그 변환기 테스트 방법.

청구항 7

제6항에 있어서,
 상기 P값의 최소값이 최대가 되는 값이 동일한 저항루프가 다수가 존재하는 경우 각 기준전압의 P값의 합이 큰 저항 루프를 선택하는 단계를 포함하는 것을 특징으로 하는 디지털-아날로그 변환기 테스트 방법.

청구항 8

제7항에 있어서,

상기 기준전압과 입력신호를 비교기 통해 비교하는 단계는 상기 기준전압이 산출되는 회수 P값의 최소값이 최대가 될 때까지 시작점을 달리하여 상기 기준전압과 입력신호를 비교기를 통해 비교하는 단계를 더 포함하는 것을 특징으로 하는 디지털-아날로그 변환기 테스트 방법.

명세서

기술 분야

[0001] 본 발명은 디지털-아날로그 변환기를 테스트하기 위해서 아날로그-디지털 변환기를 이용하는 장치 및 방법에 관한 발명이다.

배경 기술

[0002] 디지털-아날로그 변환기는 SoC의 모듈에서 많이 사용되고 있으며, 이들이 칩 내부에 집적되어 있어 이를 테스트 하는 것이 매우 어렵다. 최근 디지털-아날로그 변환기와 같은 아날로그 모듈에 대한 성능이 향상되면서 고성능 디지털-아날로그 변환기를 테스트하는 것이 이슈가 되어 있다. 하지만 고성능의 디지털-아날로그 변환기를 테스트하기 위해서는 그와 같은 성능의 ATE(Automatic Test Equipment)와 같은 외부장비가 필요하게 되는 데 이에 대한 비용이 매우 크기 때문에 현실적으로 불가능한 상황이다. 이와 같은 문제를 해결하기 위하여 자체 내장 테스트(BIST) 방법을 사용한다.

[0003] 하지만 자체내장 테스트를 사용하는 경우에는 테스트를 위한 회로를 추가로 칩 안에 구현해야 하기 때문에 하드웨어 오버헤드 측면에서 문제가 될 수 있다. 즉 아날로그-디지털 변환기를 이용하여 디지털 아날로그 변환기를 테스트 하기 위해서는 수많은 저항과 스위치가 배치되어야 하고 하드웨어 오버헤드 문제가 발생하게 된다.

[0004] 예를 들어 10비트의 디지털 신호를 테스트하기 위한 아날로그-디지털 변환기에 구성되는 저항은 1024개가 필요하게 되며, 각 저항에 3개의 스위치가 구성되어 있어 3072개의 스위치가 필요하게 된다. 16비트, 24비트 등 디지털 신호의 비트스트림이 증가함으로 인해서 그에 따른 저항과 스위치의 개수는 기하급수적으로 증가하게 되어 하드웨어의 오버헤드 문제가 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 디지털-아날로그 변환기를 테스트하는 장치의 오버헤드를 줄이기 위한 발명이다.

과제의 해결 수단

[0006] 본 발명인 n비트 디지털-아날로그 변환기 테스트장치에 있어서, 2^{n-k} ($k \geq 1$, 정수)개의 저항으로 이루어진 저항루프, 상기 저항루프에 연결되어 저항사이 노드에서의 기준전압과 입력신호를 비교하는 비교기, 디지털 신호로 변환하는 디코더를 포함하며 상기 저항루프는 저항들 중 서로 다른 저항값을 갖는 저항을 포함한다. 상기 비교기는 2^{n-k} ($k \geq 1$, 정수)개인 것을 특징으로 한다.

[0007] 또한 본 발명인 n비트 디지털-아날로그 변환기 테스트 방법에 있어서, 2^{n-k} ($k \geq 1$, 정수)개의 저항으로 이루어진 저항루프에 아날로그 신호를 입력하는 단계; 입력된 상기 아날로그 신호를 비교기를 통해서 기준전압과 비교하는 단계; 디코더가 아날로그 입력신호를 디지털 신호로 변환하는 단계를 포함하며 상기 아날로그 신호를 입력하는 단계 이전에 저항루프를 결정하는 단계를 더 포함할 수 있다.

[0008] 상기 저항루프를 결정하는 단계는 n비트 디지털-아날로그 변환기를 테스트 하기 위한 2^{n-k} ($k \geq 1$, 정수)개의 저항을 갖는 저항루프에서 제1저항, 제2저항, 제3저항, ... 제 2^{n-k} 저항 각각을 시작점으로 하여 기준전압을 산출하는 단계와 기준전압이 산출되는 회수를 카운트하여 이를 P라하고 P값의 최소값이 최대가 되는 저항루프를 선택하는 단계를 포함하고 상기 P값의 최소값이 최대가 되는 값이 동일한 저항루프가 다수가 존재하

는 경우 각 기준전압의 P값의 합이 큰 병합된 저항 루프를 선택하는 단계를 포함한다.

[0009] 상기 기준전압과 입력신호를 비교기 통해 비교하는 단계는 상기 기준전압이 산출되는 회수 P값의 최소값이 최대가 될 때까지 시작점을 달리하여 상기 기준전압과 입력신호를 비교기를 통해 비교하는 단계를 더 포함한다.

발명의 효과

[0010] 본 발명에 의해서 디지털-아날로그 변환기를 테스트하는 장치의 하드웨어 오버헤드가 감소하게 된다.

도면의 간단한 설명

[0011] 도1은 3비트 병렬 비교기 아날로그-디지털 변환기의 개략적인 도면이다.

도2는 4비트 아날로그-디지털 변환기에 있는 저항루프를 도시한 도면이다.

도3은 본 발명의 일실시예인 4비트 아날로그-디지털 변환기에 있는 저항열을 병합한 도면이다.

도4는 본 발명의 일실시예인 4비트 아날로그-디지털 변환기에 있는 저항루프에서 제2저항부터 기준전압을 측정하는 개략적인 도면이다.

도5는 본 발명의 일실시예인 저항을 배열하기 전에 P값을 설정한 경우의 저항의 배열 방법에 대한 순서도이다.

도6은 최적의 저항루프를 결정하는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 실시예들은 여러 가지 다른 형태들로 구체화되어질 수 있고, 여기에서 설명되는 양태들로 한정되는 것으로 해석되지 않는다. 오히려, 상기 양태들은 실시예들을 더욱 철저하고 완전하게 되도록 해주며, 당업자에게 실시예들의 영역을 충분히 전달할 수 있도록 해준다. 비록 제1, 제2 .. 등을 지칭하는 용어들이 여러 구성 요소들을 기술하기 위하여 여기에서 사용되어 질 수 있다면, 상기 구성 요소들은 이러한 용어들로 한정되지 않는 것으로 이해되어 질 것이다. 단지 이러한 용어들은 어떤 구성 요소로부터 다른 구성 요소를 구별하기 위해서 사용되어질 뿐이다.

[0013] 디지털-아날로그 변환기를 테스트 하는 방법은 크게 정적방법과 동적방법으로 나눌수 있다. 정적방법은 시간 도메인에서 동적방법은 주파수 도메인에서 테스트를 수행한다. 동적 방법을 수행하기 위해서는 DSP 등 부가회로가 많이 필요하기 때문에 테스트 회로를 줄이기 위하여 정적 방법을 사용한다. 정적 방법에서 테스트하는 파라미터는 오프셋(offset), 게인(gain), 차동적 비선형성(DNL), 누적 비선형성(INL) 등이 있다. 정적 파라미터를 테스트하는 방법은 디지털-아날로그 변환기의 출력을 가지고 계산하는 방법도 있지만, 아날로그-디지털 변환기를 가지고 테스트를 하는 방법도 있다. 아날로그-디지털 변환기는 디지털-아날로그 변환기의 출력이 어느 전압 범위에 포함되는지 계산하기 위한 기준전압을 만들어주고 입력전압과 비교기를 통해서 비교한다. 비교기의 값은 디코더를 통하여 디지털 신호가 계산되어 처음 입력으로 주어진 디지털 값을 예측한다. 계산을 통하여 나온 디지털 값이 처음 입력된 입력 디지털 값과 같은지 비교하여 디지털-아날로그 변환기에 고장이 존재하는지 파악할 수 있다.

[0014] 이하 첨부한 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명한다.

[0015] 도1은 3비트 병렬 비교기 아날로그-디지털 변환기의 개략적인 도면이다.

[0016] 입력전압 V_i 와 기준전압 V_r 이 있으며 OP AMP와 연결되어 있다. V_i 로 아날로그 신호가 입력되면 기준전압 V_r 과 OP AMP에 의해서 디코더로 신호가 입력되고 각 아날로그 신호에 대한 3비트 디지털 신호를 Q1, Q2, Q3에서 출력하게 된다.

[0017] 표1은 입력 아날로그 신호에 따른 디지털 변환 예를 나타낸다.

표 1

V_i	V1	V2	V3	V4	V5	V6	V7	Q1	Q2	Q3
$V_r > V_i > (7/8)V_r$	5	5	5	5	5	5	5	1	1	1
$(7/8)V_r > V_i > (6/8)V_r$	5	5	5	5	5	5	0	0	1	1
$(6/8)V_r > V_i > (5/8)V_r$	5	5	5	5	5	0	0	1	0	1

$(5/8)V_r > V_i > (4/8)V_r$	5	5	5	5	0	0	0	0	0	1
$(4/8)V_r > V_i > (3/8)V_r$	5	5	5	0	0	0	0	1	1	0
$(3/8)V_r > V_i > (2/8)V_r$	5	5	0	0	0	0	0	0	1	0
$(2/8)V_r > V_i > (1/8)V_r$	5	0	0	0	0	0	0	1	0	0
$(1/8)V_r > V_i$	0	0	0	0	0	0	0	0	0	0

- [0019] 표1에 나타난 바와 같이 입력되는 아날로그 신호가 기준전압 $(7/8)V_r$, $(6/8)V_r$, $(5/8)V_r \cdots (1/8)V_r$ 중 어느 사이에 있는지를 판별하여 3비트 신호인 (111), (011), (101), \cdots (000) 등으로 변환하게 된다.
- [0020] 도1에 도시된 바와 같이 3비트의 비교기는 2^3 개의 저항과 각 저항사이의 노드에서 2^3-1 개의 기준전압에 의해서 입력된 아날로그 신호에 대한 디지털 값인 Q1, Q2, Q3값을 산출하여 출력하게 된다.
- [0021] 본 발명인 디지털-아날로그 변환기 테스트 장치는 n비트 디지털-아날로그 변환기 테스트장치인 경우 2^n-k ($k \geq 1$, 정수)개의 저항으로 이루어진 저항루프, 상기 저항루프에 연결되어 기준전압과 입력신호를 비교하는 비교기, 디지털 신호로 변환하는 디코더를 포함한다. 상기 저항루프는 저항들 중 서로 다른 저항값을 갖는 저항을 포함한다.
- [0022] 종래의 저항루프는 n비트인 경우 동일한 저항을 갖는 2^n 개의 저항으로 이루어져야 하나 본 발명의 상기 저항루프는 다른 값을 갖는 저항을 포함하기 때문에 저항의 개수가 줄어든(보다 짧아진) 저항루프가 형성된다.
- [0023] 상기 비교기는 상기 저항루프 사이의 각 노드에서 기준전압과 입력되는 값을 비교하여 초과하는 경우와 미만인 경우를 구별하여 출력하는 장치이다. 제너다이오드(미도시)가 부착될 수 있다. 본 발명에서 종래의 저항루프와 비교하여 줄어든 저항개수를 갖는 저항루프의 각 노드의 개수와 같은 수의 비교기가 배치된다. 즉 16개의 저항을 필요로 하는 4비트 디지털-아날로그 변환기 테스트 장치에서 다른 값을 갖는 저항이 존재하도록 저항을 배열한 저항루프에서 저항의 개수가 9개인 경우에는 상기 비교기의 개수는 저항사이의 각 노드 개수와 같으므로 8개가 된다.
- [0024] 상기 디코더는 아날로그 신호를 실제 디지털 신호로 변환하는 장치로서 본 발명에서의 상기 디코더는 저항루프의 배열에 대한 정보가 입력되어 있어야 하며 저항루프의 배열에 따른 상기 비교기로부터 입력되는 신호에 따라서 디지털 신호를 산출하여 출력한다.
- [0025] 이하 본 발명의 저항루프에 대해 상세히 설명한다.
- [0026] 본 발명의 일실시예인 4비트 아날로그-디지털 변환기에 있는 저항루프에 대해서 살펴본다.
- [0027] 도2는 4비트 아날로그-디지털 변환기에 있는 저항루프를 도시한 도면이다.
- [0028] 도2에 도시된 바와 같이 4비트 변환기는 16개의 저항과 15개의 기준전압을 필요로 한다. 또한 1개의 저항에 3개의 스위치(미도시)가 함께 연결되어 있으므로 48개의 스위치가 변환기에 배치될 수 있다. 상기 스위치(미도시)는 저항루프를 형성하고 입력전압이 저항루프상에서 시작점을 달리하여 각각 입력될 수 있도록 한다. 즉 스위치의 열고, 닫음을 반복함으로써 저항루프의 시작점의 변경이 가능하게 된다.
- [0029] 4비트 변환기에 있는 16개 저항사이의 각 노드에서 기준전압에 따른 입력전압대비 디지털 출력신호 값은 오류를 줄이기 위해서 스위치를 조절하여 저항루프에서 루프 시작점의 위치를 변경해가면서 여러번 저항을 측정하게 된다.
- [0030] 저항루프를 적용할 때마다 기준전압이 나오는 개수를 P라고 하고 16개의 저항이 있는 저항루프를 1회전한 경우 P는 16이 된다. 즉 기준전압 $(15/16)V_r$, $(14/16)V_r$, $\cdots (1/16)V_r$ 등의 기준전압이 총 16번 측정되고 각 노드에서의 기준전압의 값들의 기준이 되는 측정된 저항값을 16으로 나누어서 저항의 평균값을 계산하여 오차를 줄이게 된다.
- [0031] 도3은 본 발명의 일실시예인 4비트 아날로그-디지털 변환기에 있는 저항열을 병합한 도면이다.
- [0032] 도3에 도시된 바와 같이 16개의 저항을 배치하는 대신에 다른 값을 갖는 저항을 포함하는 16개 미만의 저항을 조합하여 만들어진 저항루프는 제1저항 1Ω, 제2저항 1Ω, 제3저항 2Ω, 제4저항 3Ω, 제5저항 2Ω, 제6저항 1Ω, 제7저항 1Ω, 제8저항 2Ω, 제9저항 3Ω의 저항배치를 갖도록 정렬시킨다. 상기에서 언급하는 저항값 1Ω 등은 1.001Ω, 1.1Ω 등 측정상황에 따라서 다양하게 변화할 수 있으며, 본 발명의 실시예에서는 이상적으

로 표현한 값이다. 이때 기준전압은 각 노드에서 (15/16)Vr, (14/16)Vr, (12/16)Vr, (9/16)Vr, (7/16)Vr, (6/16)Vr, (5/16)Vr, (3/16)Vr이 된다.

[0033] 앞서 살펴본 바와 마찬가지로 저항루프의 시작점을 제2저항으로 하여 다시 기준전압을 산출한다.

[0034] 도4는 본 발명의 일실시예인 4비트 아날로그-디지털 변환기에 있는 저항루프에서 제2저항부터 기준전압을 측정하는 개략적인 도면이다.

[0035] 도4에 도시된 바와 같이 제2저항부터 기준전압을 측정한 결과 각 노드에서 기준전압은 (15/16)Vr, (13/16)Vr, (10/16)Vr, (8/16)Vr, (7/16)Vr, (6/16)Vr, (4/16)Vr, (1/16)Vr이 된다.

[0036] 이러한 과정을 반복하게 되면 저항루프의 시작점을 제9저항으로 하여 기준전압을 산출하는 것을 마지막으로 모든 기준전압이 산출된다.

[0037] 표2는 저항루프를 모두 회전시켰을 각 기준전압이 나오는 회수(P)를 나타낸다.

표 2

[0038]

기 준 전 압	(15/ 16) Vr	(14/ 16) Vr	(13/ 16) Vr	(12/ 16) Vr	(11/ 16) Vr	(10/ 16) Vr	(9/ 16) Vr	(8/ 16) Vr	(7/ 16) Vr	(6/ 16) Vr	(5/ 16) Vr	(4/ 16) Vr	(3/ 16) Vr	(2/ 16) Vr	(1/ 16) Vr
P	4	3	6	6	4	5	6	4	6	5	4	6	6	3	4

[0039] 상기 표2에 나타난 바와 같이 기준전압의 측정빈도는 최하 3회로서 저항루프에서 다른 저항값을 포함한 저항루프를 형성하여 측정하기 전 기준전압 측정빈도와 비교하여 3번 저항루프를 회전시키는 결과와 같게 된다.

[0040] 본 발명에서와 같이 저항루프에 다른 저항값을 포함하는 저항루프를 형성함으로써 저항열의 개수를 줄이게 되어 오버헤드는 감소하게 되며 원하는 기준전압은 저항루프를 시작점을 달리하여 여러번 측정함으로써 모두 얻을 수 있게 된다. 앞서 본 발명의 일실시예에서는 3비트 내지는 4비트에 대한 데이터 신호만을 고려하였으나 8비트, 10비트의 데이터 신호를 고려할 때에는 2^8 , 2^{10} 개의 저항을 필요로 하게 된다는 점을 고려하면 저항과 스위치의 개수를 줄임에 의해서 하드웨어의 오버헤드를 획기적으로 줄일 수 있게 된다.

[0041] 본 발명인 n비트 디지털-아날로그 변환기 테스트 방법은 $2^n - k$ ($k \geq 1$, 정수)개의 저항으로 이루어진 저항루프에 아날로그 신호를 입력하는 단계, 입력된 상기 아날로그 신호를 비교기를 통해서 기준전압과 비교하는 단계, 디코더가 아날로그 입력신호를 디지털 신호로 변환하는 단계를 포함한다. 또한 상기 아날로그 신호를 입력하는 단계 이전에 저항루프를 결정하는 단계를 더 포함한다.

[0042] 이하 본 발명의 일실시예인 최적의 저항루프를 결정하는 방법에 대해서 설명한다.

[0043] 같은 값의 저항이 다수개가 배열되어 있는 저항루프에서 단순히 임의로 저항을 선택하여 다른 값의 저항으로 대체하여 저항루프상의 저항수를 줄이게 된다면 모든 기준전압이 나오지 않게 되는 경우가 발생할 수 있고 또는 매우 작은 개수(P)의 기준전압값이 나오게 되어 사실상 오차범위를 좁힐 수 없게 된다. 즉 저항을 배열하는 방법은 일정한 기준을 만족해야 한다.

[0044] 도5는 본 발명의 일실시예인 저항을 배열하기 전에 P값을 설정한 경우의 저항의 배열 방법에 대한 순서도이다.

[0045] 도5에 도시된 바와 같이 저항을 배열하고 저항 루프의 시작점을 달리하여 기준전압을 측정하였을 때 P값의 최소값이 기 설정된 값 이상이 된 경우에는 값이 다른(저항의 개수가 줄어든) 저항을 포함하는 저항 루프를 통해서 디지털-아날로그 변환기를 테스트하게 된다.

[0046] 예를 들어 10비트의 디지털 신호를 테스트하는데 있어서 아날로그-디지털 변환기는 2^{10} 개의 저항을 필요로 한다. 디지털 신호를 테스트하기 위해서 경험적으로 저항 루프를 10회 반복하여 측정하면 오차를 확실히 줄일 수 있게 된다고 가정한다면 기준전압의 P값이 10이상이면 종래기술에 의한 저항루프를 갖는 아날로그-디지털 변환기를 통한 테스트와 저항열을 줄인 본 발명과 같은 아날로그-디지털 변환기에 의한 테스트가 동일한 결과를 도출할 수 있게 된다. 일반적으로는 디지털-아날로그 변환기를 테스트하기 위해서 아날로그-디지털 변환기

를 사용할 때 16회 내지 256회까지 루프를 반복하여 평균저항값에 의한 기준전압을 산출하게 된다.

- [0047] 앞서 예와 같이 저항 루프를 10회 반복하여 측정하도록 가정한다면 $P=10$ 이 되어야 하고 저항의 개수를 줄인 저항루프를 시작점을 달리하여 반복적으로 측정함으로써 기준전압의 최소 P값이 10 이상이 될 때까지 저항루프의 시작점을 달리하여 기준전압 측정을 반복한다.
- [0048] 만약 저항의 개수를 줄인 저항 루프의 시작점을 달리하여 기준전압을 측정한 결과 적어도 어느 하나의 기준전압에서 P값이 10 이상이 되지 않는다면 저항을 재조합하여 배열해야 하며 재조합한 저항루프로 시작점을 달리하여 기준전압 측정을 반복하는 절차를 거치게 된다. 결국 오차를 줄이면서 하드웨어의 오버헤드를 감소시키는 저항 루프를 찾고 이를 이용하여 입력되는 아날로그 신호를 디지털 신호로 변환하게 된다.
- [0049] 도6은 최적의 저항루프를 결정하는 순서도이다.
- [0050] 도6에 도시된 순서도는 저항루프를 결정하는데 있어서 최소 P값을 미리 설정하지 않는 경우에 최적의 저항루프를 찾기 위한 순서를 나타낸다.
- [0051] 본 발명인 상기 저항루프를 결정하는 단계는 n비트 디지털-아날로그 변환기를 테스트 하기 위한 $2^n - k$ ($k \geq 1$, 정수)개의 저항을 갖는 저항루프에서 제1저항, 제2저항, 제3저항, ... 제 $2^n - k$ 저항 각각을 시작점으로 하여 기준전압을 산출하는 단계와 기준전압이 산출되는 회수를 카운트하여 이를 P라하고 P값의 최소값이 최대가 되는 저항루프를 선택하는 단계를 포함한다. 또한 상기 P값의 최소값이 최대가 되는 값이 동일한 저항루프가 다수가 존재하는 경우 각 기준전압의 P값의 합이 큰 병합된 저항 루프를 선택하는 단계를 포함한다.
- [0052] 4비트 디지털 신호를 출력하는 경우를 예를 들어 본다.
- [0053] 4비트의 디지털 신호를 검사하기 위해서 아날로그-디지털 변환기의 저항은 총 16개가 필요하게 된다. 그러나 본 발명에서와 같이 다른 값을 갖는 저항을 포함시켜 배열하게 되면 저항을 줄일 수 있다. 본 발명인 최적의 저항루프를 결정하는 방법으로 i) 조합이 가능한 모든 저항루프를 생성한다.(S1) 이 경우 16개의 저항을 적절히 병합하여 저항루프를 생성하는데 전체 저항값의 합은 16Ω 이 되어야 하되 병합된 저항루프를 구성하는 저항의 개수는 나올 수 있는 최대 P값이 되므로 $\langle 8\Omega, 8\Omega \rangle$, $\langle 1\Omega, 15\Omega \rangle$ 등과 같이 2개의 저항만으로 루프를 구성할 경우 기준전압이 나올 수 있는 최대P값은 2가 되고 최대P=2인 경우 오차는 당연히 커지게 되며, 최소 P값이 0이므로 종래의 저항루프에 의한 변환기에서 구할 수 있었던 기준전압이 산출되지 않게 되는 문제가 발생하게 되므로 이를 고려해서 다른 값을 갖는 저항을 포함한 저항루프를 생성해야 한다. 간단하게 생각해 볼 수 있는 저항열로서는 $1\Omega, 2\Omega, 2\Omega, 1\Omega, 3\Omega, 1\Omega, 2\Omega, 1\Omega, 3\Omega$ 와 같이 9개의 저항으로 줄인 16Ω 저항루프를 생성하는 것을 생각해 볼 수 있다. 이 때 나올 수 있는 최대 P값은 9가 되고 제1, 2, 3 ... 9저항까지 각 시작점을 달리하여 9번의 측정이 가능하다. 물론 상기 저항루프는 배열에 의해서 다양하게 고려해 볼 수 있다.
- [0054] ii) 각 저항 루프마다 기준전압에서 P값을 계산한다.(S2) 나올 수 있는 저항 루프에서 시작점을 달리하여 기준전압을 측정하고 기준전압의 P값을 계산한다. 모두 15개의 기준전압이 필요하며 $(15/16)V_r, (14/16)V_r \dots (1/16)V_r$ 이 저항루프의 시작점을 달리하여 측정하였을 때 나오는 개수(P)를 카운트한다.
- [0055] iii) 각 저항 루프에서 기준전압마다 P값이 계산되면 최소 P값이 최대인 저항루프를 선택한다.(S3) 최소 P값이 최대인 저항루프를 선택하는 이유는 그만큼 기준전압을 산출하기 위한 저항값 평균의 정확도가 증가하기 때문이다. iv) iii에서와 같이 최소 P값이 최대인 저항루프를 선택하는데 있어서, 동일한 최대값을 갖는 저항루프가 다수 존재하는지를 판단하고(S4) 단지 한개의 저항루프만 존재한다면 아날로그 신호를 변환하여 테스트를 수행하면 되나 그렇지 않고 두개 이상의 저항루프가 존재한다면 기준전압의 P값의 합이 가장 큰 저항루프를 선택한다. (S5) P값의 합이 가장 큰 저항루프를 선택한다는 것은 각 기준전압을 표현할 수 있는 경우의 수가 많다는 것으로 기준전압을 산출하기 위한 저항값의 정확도를 향상시키기 위해서 기준전압의 P값의 합이 가장 큰 경우를 선택한다. 이후 선택된 저항 루프를 적용하여 아날로그 신호를 변환하여 테스트를 수행한다.(S6)
- [0056] 실제 디지털-아날로그 변환기의 테스트에 사용되는 7비트, 8비트의 실험결과를 통해서 하드웨어 오버헤드의 감소비율을 살펴본다.
- [0057] n비트의 아날로그-디지털 변환기에 2^n 개의 저항과 $3(2^n)$ 개의 스위치가 필요하므로 1개의 저항과 3개의 스위치를 하나의 리소스로 가정한다. 이 경우 하기 표3(7비트 변환기), 표4(8비트 변환기)에 나타난 바와 같이 기존의 방법을 사용할 경우에는 7비트 아날로그-디지털 변환기의 경우에는 128개, 8비트의 경우 256개의

리소스가 필요하지만 본 발명과 같은 최적의 저항루프를 결정하는 방법을 수행한 경우 7비트의 경우 평균적으로 64.75개, 8비트의 경우 평균 135.7개의 리소스가 필요하여 46%이상의 리소스가 감소하는 것을 알 수 있다.

표 3

P	리소스 사용량		감소비율 (%)
	저항병합전	저항병합후	
8	128	42	67.1875
16	128	53	58.5938
32	128	69	46.0938
64	128	93	27.3438
평균	128	64.75	49.8047

표 4

P	리소스 사용량		감소비율 (%)
	저항병합전	저항병합후	
16	256	103	59.7656
32	256	113	55.8594
64	256	142	44.5313
128	256	185	27.7344
평균	256	135.75	46.9726

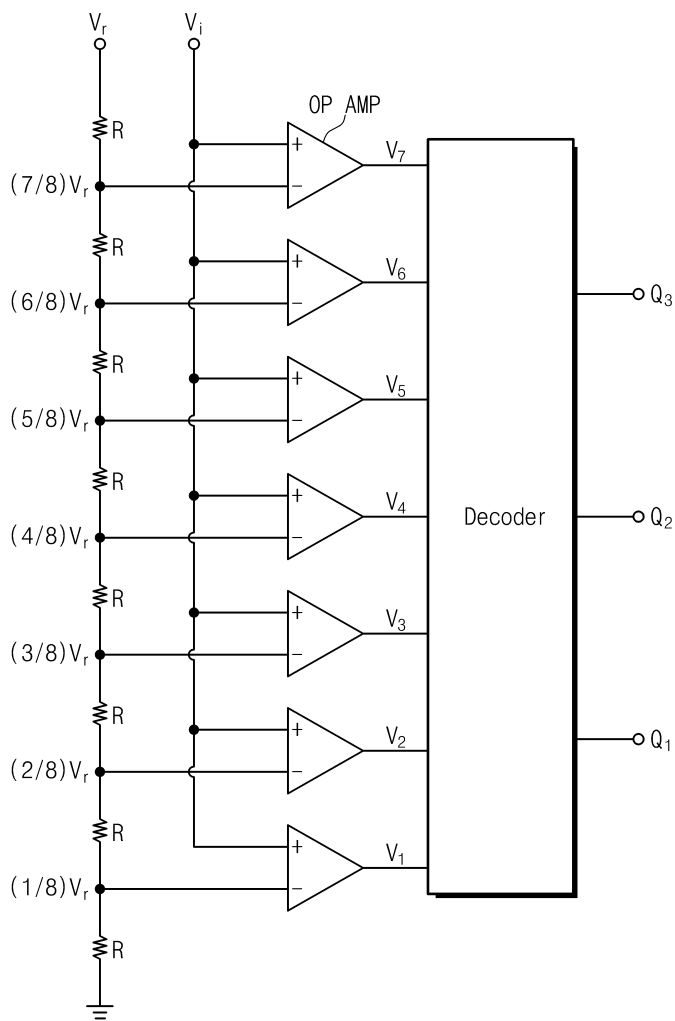
이를 통해 본 발명이 기존의 결정론적 DEM 아날로그-디지털 변환기의 사용에서 발생하는 하드웨어 오버헤드 문제를 해결할 수 있음을 알 수 있다.

본 발명인 아날로그-디지털 변환기의 최적의 저항루프를 결정하는 방법을 적용하여 테스트하는 디지털-아날로그 변환기 테스트 장치에 적용할 수 있다.

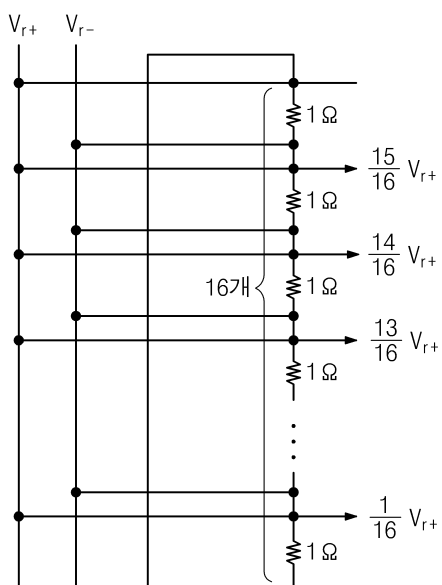
본 발명의 권리범위는 상술한 실시 예에 한정되는 것이 아니라 첨부된 특허청구범위 내에서 다양한 형태의 실시예로 구현될 수 있다. 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 변형 가능한 다양한 범위까지 본 발명의 청구범위 기재의 범위 내에 있는 것으로 본다.

도면

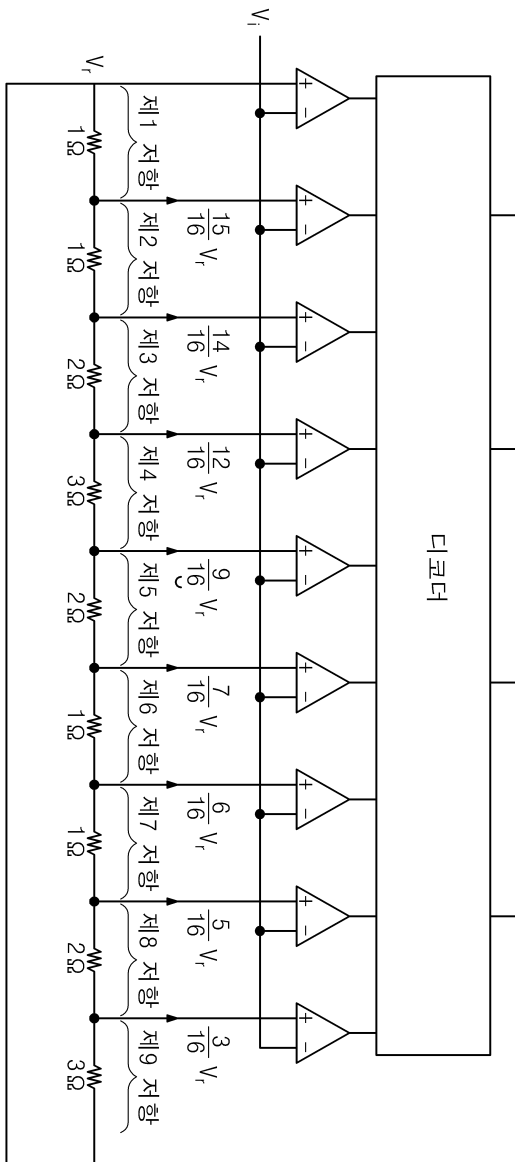
도면1



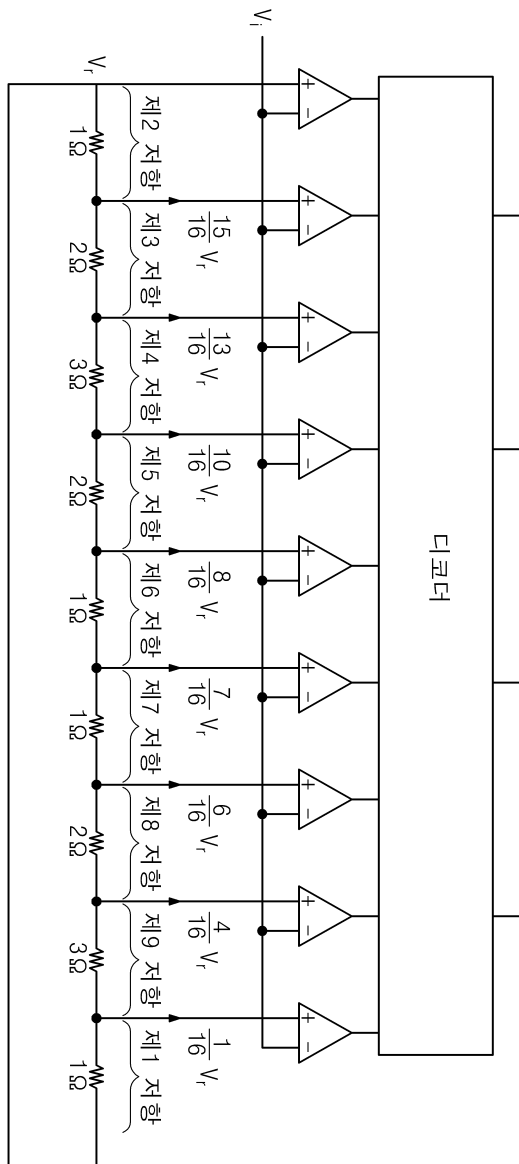
도면2



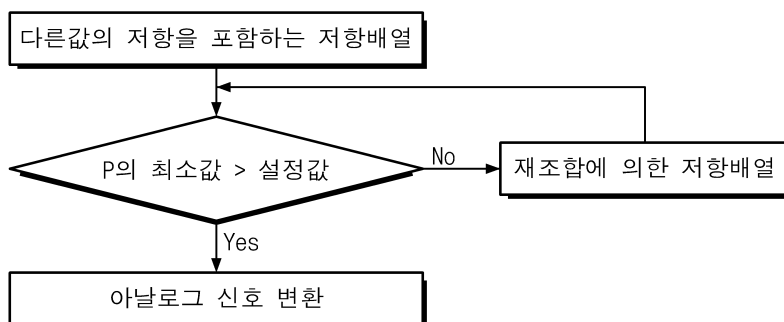
도면3



도면4



도면5



도면6

