	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2012-0135951 (43) 공개일자 2012년12월18일
(51) 국제특허분류(Int. Cl.) H01L 29/78 (2006.01) H01L 21/336 (2006.01) B82B 3/00 (2006.01) (21) 출원번호 10-2011-0054863 (22) 출원일자 2011년06월08일 심사청구일자 2011년06월08일		(71) 출원인 연세대학교 산학협력단 서울특별시 서대문구 연세로 50, 연세대학교 (신촌동) (72) 발명자 명재민 경기도 고양시 일산동구 마두동 783 강촌 한신 아파트 207-1202 강달영 서울특별시 동작구 노량진로32길 156, 경동 원츠리버아파트 103동 702호 (본동) 최지혁 경기도 안양시 동안구 달안로 78, 한양아파트 611동 805호 (비산동) (74) 대리인 이체형, 김승욱

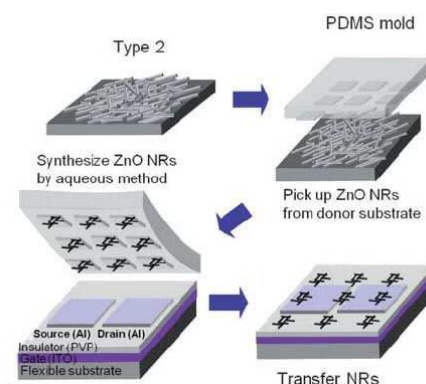
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 복수의 나노 로드가 전자 이동용 채널로 제공되는 전계 효과 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 소스 및 드레인 전극으로서 Al, Ti과 같은 오믹 금속을 사용하고 FET의 채널로 ZnO를 사용하면서도 오믹 금속과 ZnO의 화학반응으로 인한 불순물 생성을 방지할 수 있는 구조의 전계 효과 트랜지스터를 제공하는 것을 목적으로 한다. 본 발명에 따른 전계 효과 트랜지스터의 제조방법은: 나노 로드 형성용 모기관 위에서 랜덤 네트워크 구조를 갖는 복수의 나노 로드들을 성장시키는 단계; 소정의 패턴으로 패터닝된 나노 로드 픽업용 플레이트를 형성하는 단계; 상기 나노 로드 픽업용 플레이트를 이용하여 상기 복수의 나노 로드 중 적어도 일부의 나노 로드들을 픽업하는 단계; 및 상기 적어도 일부의 나노 로드들이 픽업된 픽업용 플레이트를 소스 전극 및 드레인 전극이 패터닝된 기판 위에 프린팅(printing)하여, 상기 적어도 일부의 나노 로드들을 상기 소스 전극 및 드레인 전극 사이에 위치시키는 단계를 포함한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	2010-8-1850
부처명	교육과학기술부
연구사업명	세계수준의 연구중심대학 육성사업
연구과제명	고성능 나노 물질 기반 IT 융합 기술
주관기관	연세대학교 산학협력단
연구기간	2007.09.01 ~ 2011.08.31이 발명을 지원한 국가연구개발사업
과제고유번호	2010-8-1960
부처명	지식경제부
연구사업명	산업원천기술개발사업(정보통신)
연구과제명	차세대 고성능 유기나노 소재 및 프린팅 공정 기술 개발
주관기관	연세대학교 산학협력단
연구기간	2009.04.01 ~ 2011.09.30

특허청구의 범위

청구항 1

소정의 기판 위에 형성된 소스 전극 및 드레인 전극과;

상기 소스 전극 및 드레인 전극 사이에서 배치되는 전자 이동용 채널로서, 상기 전자 이동용 채널은 복수의 나노 로드와 유사한 단일층 구조로 형성된 것인 전자 이동용 채널을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 2

청구항 1에 있어서, 상기 복수의 나노 로드는 ZnO인 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 3

청구항 1에 있어서, 상기 소스 전극 및 드레인 전극은 오믹 금속인 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 4

청구항 1 내지 청구항 3 중 어느 한 항에 있어서, 상기 전계 효과 트랜지스터는 상기 전자 이동용 채널 위에 형성되는 유전층을 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 5

청구항 4에 있어서, 상기 전계 효과 트랜지스터는 상기 유전층 위에 형성되는 게이트 전극을 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 6

청구항 1 내지 청구항 3 중 어느 한 항에 있어서, 상기 나노 로드는 막대형 나노 로드인 것을 특징으로 하는 전계 효과 트랜지스터.

청구항 7

나노 로드 형성을 모기관 위에서 랜덤 네트워크 구조를 갖는 복수의 나노 로드를 성장시키는 단계;

소정의 패턴으로 패터닝된 나노 로드 픽업용 플레이트를 형성하는 단계;

상기 나노 로드 픽업용 플레이트를 이용하여 상기 복수의 나노 로드 중 적어도 일부의 나노 로드를 픽업하는 단계; 및

상기 적어도 일부의 나노 로드와 픽업된 픽업용 플레이트를 소스 전극 및 드레인 전극이 패터닝된 기판 위에 프린팅(printing)하여, 상기 적어도 일부의 나노 로드를 상기 소스 전극 및 드레인 전극 사이에 위치시키는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 8

청구항 7에 있어서, 상기 복수의 나노 로드는 ZnO인 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 9

청구항 7에 있어서, 또한, 상기 소스 전극 및 드레인 전극은 오믹 금속인 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 10

청구항 7 내지 청구항 9 중 어느 한 항에 있어서, 상기 방법은 상기 복수의 나노 로드 위에 유전층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 11

청구항 10에 있어서, 상기 방법은 상기 유전층 위에 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 12

청구항 7 내지 청구항 9 중 어느 한 항에 있어서, 상기 나노 로드 형성을 모기관 위에서 성장한 복수의 나노 로드는 막대형 나노 로드인 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 13

청구항 7 내지 청구항 9 중 어느 한 항에 있어서, 나노 로드 형성을 모기관 위에서 랜덤 네트워크 구조를 갖는 복수의 나노 로드를 성장시키는 단계는 상기 모기관을 HMT(hexamethylenetetramine, $C_6H_{12}N_4$)와 $Zn(NO_3)_2 \cdot 6H_2O$ 이 동일하게 혼합된 혼합 용액에 침지하는 단계, 및 상기 혼합용액에 침지된 모기관을 75℃ 내지 85℃의 온도에서 2시간 내지 4시간 동안 유지시키는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 14

청구항 13에 있어서, 상기 혼합용액의 농도는 0.005M 내지 0.01M인 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 15

청구항 1 내지 청구항 3 중 어느 한 항에 있어서, 상기 나노 로드 픽업용 플레이트의 적어도 상기 패터닝된 부분은 탄성 재료인 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

청구항 16

청구항 15에 있어서, 상기 탄성 재료는 PDMS(polydimethylsiloxane)인 것을 특징으로 하는 전계 효과 트랜지스터의 제조방법.

명세서

기술분야

[0001] 본 발명은 복수의 나노 로드가 전자 이동용 채널로 제공되는 전계 효과 트랜지스터, 더욱 구체적으로, 단일층 또는 단일 층에 가까운 형태로 배치된 복수의 나노 로드가 전자 이동용 채널로 기능하는 전계 효과 트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 마이크로 스케일에서 나노 와이어(Nanowires, NWs) 또는 나노 로드(Nanorods; NRs)와 같은 물질들의 자가조립(self-assembly) 특성을 이용하면 전자요소들의 집적도를 향상시킬 수 있어서 소자의 소형화를 촉진시킬 수 있다. 따라서 이들 자가조립 특성을 갖는 재료를 TFT(thin-film-transistor)나 센서, 투명하고 탄성이 우수한 전자소자에 적용할 경우 성능 면에 있어서 매우 좋은 효과를 얻을 수 있어서 최근 많은 연구가 진행되고 있다.

[0003] 최근에는 채널 재료로 나노 로드를 이용한 FET(Field Effect Transistor)가 연구되고 있다. 상기 나노 로드를 이용한 FET는 예컨대 소스 전극과 드레인 전극이 형성된 기판에 나노 로드를 채널로 형성하기 위하여 소정의 용액에 침지시킨 후 상기 용액을 건조시킴으로써 소스 전극과 드레인 전극 사이에 나노 로드를 랜덤 네트워크(Random Network) 형태로 형성하면, 상기 랜덤하게 배치된 나노 로드가 전자가 이동하는 채널로 기능하는 원리를 이용한 것이다. 이러한 랜덤 네트워크 트랜지스터는 유리 및 탄성 기판에 쉽게 적용가능하며, 박막 공정에 적용가능한 장점이 있으며, OLED(Organic Light-emitting diode) 등의 전자 부품에 유용하게 이용가능하다.

- [0004] 한편, 최근 랜덤 네트워크 트랜지스터에 이용되는 나노 로드 재료로 ZnO를 이용하는 경우가 많다. 이때 ZnO로 나노 로드 형성을 하는 대표적인 방법은 소스 전극 및 드레인 전극이 형성된 기판을 HMT와 Zn(OH)_2 의 혼합 용액에 침지함으로써 ZnO 나노 로드 형성을 하는 것인데, 합성된 나노로드의 형태는 규칙적이나 불규칙하게 분포되어 있어 적층된 다층 구조의 채널을 형성하게 된다. 이는 채널로 이용되는 ZnO 나노 로드 불균일한 게이트 전압을 야기 시키기 때문에 소자의 특성이 저하된다는 문제점이 있다. 또한, 이 경우 소스 및 드레인 전극의 재료로 통상 사용되는 금속인 Al, Ti과 같은 옴릭 금속(ohmic metal)을 사용할 경우 HMT 및 Zn(OH)_2 와 Al, Ti과 같은 옴릭 금속이 화학반응을 일으켜 불순물을 생성함으로써 소자의 특성이 저하된다는 문제점이 있다.
- [0005] 상기 문제를 해결하기 위하여, Au와 같은 옴릭이 아닌 금속을 사용할 경우 상기 문제는 해결이 가능하지만, 전극으로 Au를 채널로 ZnO를 각각 사용한 경우 상기 재료들 간에 저항이 커져서 전자의 이동이 원활하지 못하게 된다는 단점이 있다.

발명의 내용

해결하려는 과제

- [0006] 따라서, 본 발명은 종래의 랜덤 네트워크 트랜지스터가 갖는 문제점을 해결한 전계 효과 트랜지스터를 제공하는 것을 목적으로 한다.
- [0007] 특히 본 발명은 소스 및 드레인 전극으로 Al, Ti과 같은 옴릭 금속을 사용하고 FET의 채널로 ZnO를 사용하면서도 옴릭 금속과 ZnO의 화학반응으로 인한 불순물 생성을 방지할 수 있는 구조의 전계 효과 트랜지스터를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0008] 상기 목적을 달성하기 위한 본 발명에 따른 전계 효과 트랜지스터는:
- [0009] 소정의 기판 위에 형성된 소스 전극 및 드레인 전극과;
- [0010] 상기 소스 전극 및 드레인 전극 사이에서 배치되는 전자 이동용 채널로서, 상기 전자 이동용 채널은 복수의 나노 로드와 유사 단일층 구조로 형성된 것인 전자 이동용 채널을 포함하는 것을 특징으로 한다.
- [0011] 또한, 상기 복수의 나노 로드는 ZnO인 것을 특징으로 한다.
- [0012] 또한, 상기 소스 전극 및 드레인 전극은 옴릭 금속인 것을 특징으로 한다.
- [0013] 또한, 상기 전계 효과 트랜지스터는 상기 전자 이동용 채널 위에 형성되는 유전층을 더 포함하는 것을 특징으로 한다.
- [0014] 이 경우, 상기 전계 효과 트랜지스터는 상기 유전층 위에 형성되는 게이트 전극을 더 포함하는 것을 특징으로 한다.
- [0015] 또한, 상기 나노 로드는 막대형 나노 로드인 것이 바람직하다.
- [0016] 상기 목적을 달성하기 위한 본 발명에 따른 전계 효과 트랜지스터의 제조방법은:
- [0017] 나노 로드 형성을 모기관 위에서 랜덤 네트워크 구조를 갖는 복수의 나노 로드 성장시키는 단계;
- [0018] 소정의 패턴으로 패터닝된 나노 로드 픽업용 플레이트를 형성하는 단계;
- [0019] 상기 나노 로드 픽업용 플레이트를 이용하여 랜덤 네트워크 구조인 상기 복수의 나노 로드 중 적어도 일부의 나노 로드 픽업하는 단계;
- [0020] 상기 적어도 일부의 나노 로드 픽업된 픽업용 플레이트를 소스 전극 및 드레인 전극이 패터닝된 기판 위에 프린팅(printing)하여, 상기 적어도 일부의 나노 로드 상에 소스 전극 및 드레인 전극 사이에 위치시키는 단계

를 포함하는 것을 특징으로 한다.

[0021] 또한, 상기 복수의 나노 로드는 ZnO인 것을 특징으로 한다.

[0022] 또한, 상기 소스 전극 및 드레인 전극은 오믹 금속인 것을 특징으로 한다.

[0023] 또한, 상기 방법은 상기 복수의 나노 로드 위에 유전층을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0024] 이 경우, 상기 방법은 상기 유전층 위에 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0025] 또한, 상기 나노 로드 형성을 모기관 위에서 성장한 복수의 나노 로드는 막대형 나노 로드인 것이 바람직하다.

[0026] 또한, 나노 로드 형성을 모기관 위에서 랜덤 네트워크 구조를 갖는 복수의 나노 로드를 성장시키는 단계는 상기 모기관을 HMT(hexamethylenetetramine, $C_6H_{12}N_4$) 와 $Zn(NO_3)_2 \cdot 6H_2O$ 이 동일하게 혼합된 혼합 용액에 침지하는 단계, 및 상기 혼합용액에 침지된 모기관을 75℃ 내지 85℃의 온도에서 2시간 내지 4시간 동안 유지시키는 단계를 더 포함하는 것이 바람직하다.

[0027] 이 경우, 상기 혼합용액의 농도는 0.005M 내지 0.01M인 것이 바람직하다.

[0028] 또한, 상기 나노 로드 픽업용 플레이트의 적어도 상기 패터닝된 부분은 탄성 재료인 것이 바람직하다.

[0029] 이 경우, 상기 탄성 재료는 PDMS(polydimethylsiloxane)인 것이 바람직하다.

발명의 효과

[0030] 본 발명에 따른 전계 효과 트랜지스터에 따르면, 소스 및 드레인 전극이 형성된 기관에서 직접 ZnO 나노 로드를 형성하는 대신 외부에서 나노 로드를 형성한 후 이를 기관에 프린팅하여 형성하므로 소스 및 드레인 전극으로서 Al, Ti과 같은 오믹 금속을 사용하면서도 오믹 금속과 ZnO의 화학반응으로 인한 불순물 생성을 방지할 수 있다.

[0031] 또한, 본 발명에 따르면, 픽업 과정 및 프린팅 과정에서 나노 로드를 일정 압력으로 누르게 되므로, 나노 로드 형성시 임의의 방향으로 랜덤하게 배치된 나노로드가 기관에 대하여 일정 수준 이상으로 평평하게 배치되므로 유사 단일층 구조로 채널을 형성할 경우에도 끊어짐 없이 전자 이동용 채널을 제공할 수 있다.

[0032] 또한, 나노 로드가 복수층의 구조로 두껍게 형성될 경우 채널의 제어가 곤란하지만, 본 발명에 따르면 나노 로드는 유사 단일층 구조로 형성되므로 채널의 제어가 편리하다.

[0033] 또한, 본 발명에 따르면, 나노 로드를 플레이트에 한번 픽업하면 기관에 프린팅하는 과정을 수회 반복할 수 있으므로 생산성을 크게 높일 수 있다.

도면의 간단한 설명

[0034] 도 1은 본 발명의 바람직한 실시예에 따른 전계 효과 트랜지스터를 형성하는 방법을 개략적으로 도시하는 도면이다.

도 2는 본 발명의 바람직한 실시예에 따른 ZnO 나노 로드를 형성하는 방법을 개략적으로 도시하는 도면이다.

도 3(a)는 도 2에 따라서 형성된 나노 로드의 3개의 형상을 도시하는 도면이고, 도 3(b)는 상기 나노 로드가 유전층 위에 형성된 상태를 도시하는 도면이다.

도 4는 도 2에 따라서 형성된 나노 로드의 트랜스컨덕턴스(G_m) 값을 도시하는 도면이다.

도 5(a)는 본 발명의 바람직한 실시예에 따라 PDMS가 패터닝된 플레이트가 다양한 압력으로 나노 로드를 픽업한 상태를 도시하는 도면이다.

도 5(b)는 압력에 따라 나노 로드가 픽업된 경우의 밀도를 도시하는 도면이다.

도 6(a)는 Si 기관에 나노 로드가 픽업된 PDMS 플레이트를 프린팅(printing)한 상태를 도시하는 도면이다.

도 6(b)는 도 6(a)의 과정을 1 내지 6회 반복하였을 때 기관의 상태를 각각 도시하는 도면이다.

도 7(a)는 나노 로드와 픽업된 PDMS 플레이트를 프린팅하여 ZnO 나노 로드와 형성된 전계 효과 트랜지스터의 SEM 사진이다.

도 7(b)는 도 7(a)에 따른 전계 효과 트랜지스터의 출력특성을 도시하는 도면이다.

도 7(c)는 도 7(a)에 따른 전계 효과 트랜지스터의 전이 특성을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0035] 본 발명의 바람직한 실시예에 따른 랜덤 네트워크 트랜지스터 및 그 제조방법을 첨부한 도면을 참고로 이하에서 설명한다.

[0036] 도 1은 본 발명의 바람직한 실시예에 따른 전계 효과 트랜지스터를 형성하는 절차를 개략적으로 도시한 도면이다.

[0037] 먼저, 제1 단계로서 전계 효과 트랜지스터를 형성하기 위한 기판에 소스 전극 및 드레인 전극을 형성한다. 본 실시예에서 소스 전극 및 드레인 전극 재료로는 Al, Ti 등의 오믹 금속(ohmic metal)을 사용하는 것이 바람직하다. 또한, 본 실시예에서 기판은 통상적으로 트랜지스터의 제조에 이용가능한 기판이라면 그 종류를 한정하지 않는다.

[0038] 이어서, 제2 단계로서 랜덤 네트워크 구조의 나노 로드와 모기관 위에 형성한다. 본 실시예에 따르면, ZnO 나노 로드와 형성하기 위한 원료 물질로는 에컨데, HMT(hexametyllenetetramine, $C_6H_{12}N_4$)와 $Zn(NO_3)_2 \cdot 6H_2O$ 이 동일하게 혼합된 혼합 용액을 이용할 수 있으며, 나노 로드 형성을 모기관을 상기 혼합용액에 침지한다. 한편, 모기관의 종류는 Si, PET, 유리, 석영 등 나노 로드와 생성 가능한 기판이면 그 종류를 한정하지 않는다. 또한, 이때 혼합 용액의 몰 농도는 0.005M 내지 0.01M, 온도는 약 75℃ 내지 85℃로 2~4시간 정도 유지하는 것이 바람직하다. 그러면, HMT에서 NO_3 가 분해되어 $Zn(OH)_2$ 가 형성되고 이어서 모기관에 ZnO 나노 로드와 형성된다. 이어서, 상기 모기관을 탈염수로 세척하여 잔류물을 제거하고, 공기 중에서 건조한다. 상기 방법에 의하여 형성된 나노 로드와 랜덤 네트워크 구조로 구성된다. 도 2는 위에서 설명한 ZnO 나노 로드와 형성하는 과정을 개략적으로 도시하는 도면이다.

[0039] 도 3은 도 2에 따라서 형성된 나노 로드와 형상을 도시하는 도면이다. 도 3에서 보듯이, 나노 로드와 크게 세 가지 형태로 구분된다. 먼저, 혼합용액의 농도가 0.005M 또는 그 이하로 낮은 농도에서 나노 로드와 형성한 경우 나노 로드와 단축의 길이는 1μm 이하이고 장축의 길이는 6~8μm인 방추형이 된다(type 1). 또한, 혼합용액의 농도가 0.005M 내지 0.01M의 중간 농도에서 나노 로드와 형성한 경우 나노 로드와 지름이 350nm 이하 길이가 5~6μm인 막대형상이 되고(type 2), 혼합용액의 농도가 0.01M 또는 그 이상으로 진한 농도에서 나노 로드와 형성한 경우 나노 로드와 각각의 지름이 350nm 이하 길이가 4μm 이하인 막대가 꽃과 같이 뭉쳐있는 형상이 된다(type 3).

[0040] 도 4(a)에서 보듯이 상기 구성을 갖는 나노 로드와 전자 이동용 채널로 사용할 경우, type 2인 막대형 구조가 유전층, 소스/드레인 전극 및 다른 나노 로드와 접촉면이 가장 넓어서 안정적인 결합(gate coupling)을 형성할 수 있다. 도 4(b)는 Au 소스/드레인 전극이 형성된 기판에 상기 세 가지 형상의 ZnO 나노 로드와 전자 이동용 채널로서 각각 형성된 박막 트랜지스터(TFT)의 상호컨덕턴스 값을 도시하는 도면으로서, 막대형 나노 로드(type 2)가 형성된 TFT가 다른 방추형 나노 로드(type 1) 및 꽃 모양 나노 로드(type 3)가 형성된 TFT에 비하여 매우 우수한 특성(최대 상호 컨덕턴스 값; G_m)을 갖는 것을 확인할 수 있다. 이것은 나노 로드와 형상은 막대형인 것이 바람직하고, 따라서 본 실시예에서 ZnO 나노 로드와 형성하기 위한 혼합 용액의 농도는 0.005M 내지 0.01M로 유지되는 것이 바람직함을 보여준다.

[0041] 이어서, 제 3 단계로서, 도 1에서 보듯이, 앞에서 형성된 나노 로드와 픽업하기 위한 픽업 수단으로서 나노 로드와 픽업하려는 부분이 패터닝된 나노 로드 픽업용 플레이트(도 1(b)의 PDMS mold)를 형성한다. 도 1(b)에서 보듯이 상기 나노 로드 픽업용 플레이트 전부, 또는 적어도 패터닝된 부분은 PDMS (polydimethylsiloxane)와

같은 탄성 부재로 구성되는 것이 바람직하다. 이어서, 제 4 단계로서, 상기 나노 로드 픽업용 플레이트를 앞에서 설명한 나노 로드가 형성된 기판에 누르면 플레이트의 패터닝된 부분에 복수의 나노 로드들이 부착되고, 마지막으로, 패터닝된 부분에 복수의 나노 로드들이 부착된 플레이트를 앞에서 설명한 소스 전극 및 드레인 전극이 형성된 기판에 접촉시키면, 플레이트에 부착된 나노 로드들은 다시 소스 및 드레인 전극이 형성된 기판으로 이동하여 부착된다.

[0042] 도 5(a)는 본 발명의 바람직한 실시예에 따른 나노 로드 픽업용 PDMS 플레이트가 다양한 압력에서 나노 로드들을 픽업한 상태를 도시하는 도면이고, 도 5(b)는 압력에 따라 나노 로드들이 픽업된 경우의 밀도를 도시하는 도면이다. 도 5(a) 및 도 5(b)에서 보듯이, 1kPa 미만의 압력으로 나노 로드 픽업용 PDMS 플레이트를 나노 로드들에 눌러서 나노 로드들을 픽업하는 경우 픽업되는 나노 로드들의 갯수가 너무 적게 되는데, 그러면 다음 단계에서 나노 로드들을 소스 전극 및 드레인 전극이 형성된 기판으로 이동시켰을 때 전극 형성용 채널로 기능하기에 충분한 갯수의 나노 로드들이 이동되지 않게 된다. 반대로, 실시예의 8kPa와 같이 너무 높은 압력으로 나노 로드들을 눌러서 픽업하는 경우 플레이트의 패터닝된 부분 뿐만 아니라 패터닝되지 않은 부분에도 나노 로드들이 부착되므로 이후 기판의 정해진 위치에 나노 로드들을 다시 이동시키는 것이 곤란하다. 따라서, 플레이트가 나노 로드들을 픽업하는 압력은 플레이트의 패터닝된 부분에는 한계 개수 이상의 나노 로드들이 픽업되되, 플레이트의 패터닝되지 않은 부분에는 나노 로드들이 픽업되지 않도록 적절하게 조절할 필요가 있으며, 본 실시예에 따르면 이를 위한 압력은 1 내지 5kPa인 것이 바람직하다. 또한, 본 발명이 속한 분야에서 통상의 지식을 가진 자는 플레이트의 종류, 패터닝의 크기 및 두께, 나노 로드들의 종류 등에 따라서 상기 압력은 다양하게 변형될 수 있음을 이해할 것이며, 본 발명의 범위는 상기 1 내지 5kPa로 한정되지 않는다.

[0043] 도 6(a)는 나노 로드들이 픽업된 PDMS 플레이트를 Si 기판에 프린팅(printing)한 일례를 도시하는 도면이다.

[0044] 앞에서, PDMS 플레이트에 부착되는 나노 로드들은 단층으로 부착될 수도 있지만, PDMS 플레이트를 나노 로드들이 형성된 모기판에 부착하는 압력에 따라서 나노 로드들은 여러 층으로 부착될 수도 있다. 그런데, PDMS 플레이트에 부착된 나노 로드들은 기판으로 프린팅되면서 한번에 복수 층의 나노 로드들이 모두 이동되는 것이 아니라 가장 외부의 나노 로드만 기판으로 이동하면서 거의 단일 층인 채널을 형성한다. 따라서, 나노 로드들이 픽업된 PDMS 플레이트를 소스 및 드레인 전극이 형성된 기판에 프린팅하여 나노 로드들을 기판으로 이동하여 부착시키는 단계는 1회만 진행할 수도 있지만, 소스 및 드레인 전극이 형성된 여러 개의 기판에 상기 플레이트를 차례대로 프린팅함으로써, 나노 로드들이 부착된 플레이트로 복수의 기판에 나노 로드들을 형성시킬 수도 있다. 도 6(b)는 이러한 복수의 기판에 나노 로드들을 형성하는 과정을 도시하는 도면이고, 도 6(c)는 상기 과정에 따라서 형성된 복수의 기판을 도시하는 도면인데, 상기 도면에서 보듯이, 본 실시예에서 픽업된 나노 로드들을 기판에 프린팅하는 횟수는 4회 내지 5회로 제한되지만, 반드시 이로 한정되는 것은 아니고, 픽업된 나노 로드들의 양에 따라 자유롭게 조절가능하다.

[0045] 한편, 앞에서 설명한 나노 로드들의 성장 시 위치 및 방향은 모기판에 대하여 특정한 방향성을 갖는 대신 랜덤하게 형성된다. 그런데, 플레이트가 나노 로드들을 픽업할 때 일정 수준 이상의 압력으로 나노 로드들을 누르게 되므로, 모기판에 대하여 수직 또는 비스듬하게 형성된 나노 로드들은 상기 플레이트가 누르는 힘에 의하여 모기판 또는 플레이트에 대하여 평행한 방향으로 위치를 어느 정도 이동하게 된다. 또한, 나노 로드들이 픽업된 PDMS 플레이트를 소스 및 드레인 전극이 형성된 기판에 프린팅할 경우에도 일정한 압력이 가해지므로, PDMS 플레이트에 배치된 나노 로드들은 기판으로 이동하면서 소정의 압력을 받게 되고, 따라서 기판에 대하여 수직이거나 비스듬하게 배치된 나노 로드들은 기판에 평행한 방향으로 이동하게 된다. 따라서, 나노 로드들은 모기판에서 플레이트로 픽업되는 과정 및 플레이트에서 기판으로 프린팅되는 과정에서 애초에 모기판에 수직이거나 비스듬하게 형성된 나노 로드들도 압력에 의하여 기판에 평행하게 이동되므로, 기판에 단일 층의 나노 로드만 프린팅되어도 나노 로드 상호 간, 또는 나노 로드와 기판, 유전층 또는 소스 및 드레인 전극 사이에는 애초에 나노 로드들이 형성되었을 때의 방향에 상관없이 최대한의 접촉을 이룰 수 있고, 따라서 단일층 구조로도 전자 이동용 채널로 기능할 수 있다.

[0046] 도 7(a)는 나노 로드들이 픽업된 PDMS 플레이트를 기판에 프린팅하여 전자 이동용 채널로 ZnO 나노 로드들이 형성된

전계 효과 트랜지스터의 SEM 사진이다. 이때, UV/ozone(UVO) 처리한 PVP/ITO/PEN 탄성 기판으로서 소스 및 드레인 전극은 Al로 형성된 것이다.

[0047] 또한, 본 실시예에 따르면 나노 로드는 소스 전극과 드레인 전극 사이에서 나노 로드와 거의 단일층 구조(유사 단일층 구조)로 연결되어 전자 이동용 채널로 기능한다. 본 실시예에 따르면, 나노 로드와 두꺼운 복층 구조로 형성되는 경우에 미하여 미미한 수준의 결함이 존재할 수 있지만, 일정 수준의 밀도, 예컨대 $0.17\#/ \mu\text{m}^2$ 또는 그 이하 수준의 밀도만 유지해도 소스 전극에서 드레인 전극까지 끊어짐 없이 나노 로드와 의한 연결이 가능함을 확인할 수 있다.

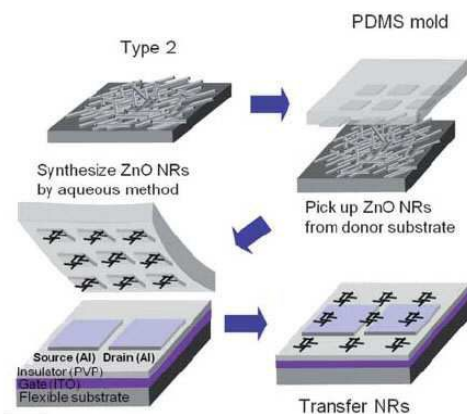
[0048] 도 7(b)는 도 7(a)에 따른 전계 효과 트랜지스터의 출력특성을 도시하는 도면이고, 도 7(c)는 도 7(a)에 따른 전계 효과 트랜지스터의 전이 특성을 도시하는 도면이다. 도 7(b) 및 도 7(c)에서 보듯이, 소스 및 드레인 전극으로 오믹 금속을 사용하고 나노 로드와 유사 단일층 구조를 가진 본 실시예에 따른 전계 효과 트랜지스터는 전기적인 특성이 매우 우수함을 확인할 수 있다.

[0049] 또한, 본 실시예에 따르면 상기 나노 로드와 프린팅되어 이동하는 기판에 형성되는 전극은 Au 전극 대신 Al 등 오믹 금속일 수 있다. 왜냐하면, 기판 위에서 ZnO 나노 로드와 직접 합성할 경우 Al이 나노 로드와 반응하게 되므로, 전극 재료가 나노 로드와 반응하는 것을 막기 위하여 오믹 금속이 아닌 Au 등을 전극 재료로 사용하여야 한다. 하지만, 본 실시예에 따르면, 나노 로드와 외부의 모기판에서 먼저 형성된 후 소스 및 드레인 전극이 형성된 기판에는 프린팅되어 이동하므로 나노 로드 합성 시 전극과 반응을 일으킬 염려가 없기 때문에, Al 등 오믹 금속을 소스 및 드레인 전극 재료로 사용할 수 있다.

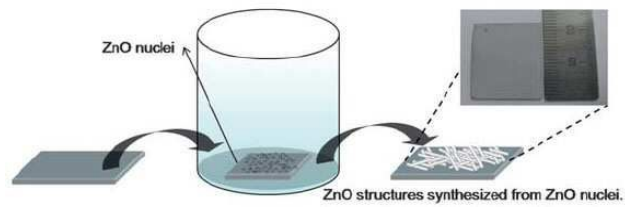
[0050] 이상으로 본 발명의 바람직한 실시예에 따른 전계 효과 트랜지스터 및 그 제조방법을 첨부한 도면을 참고로 상세하게 설명하였다. 하지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상기 구성에 대한 다양한 수정 및 변형이 가능하다는 것을 이해할 것이다. 따라서, 본 발명의 범위는 오직 뒤에서 설명할 특허청구범위에 의해서만 한정된다.

도면

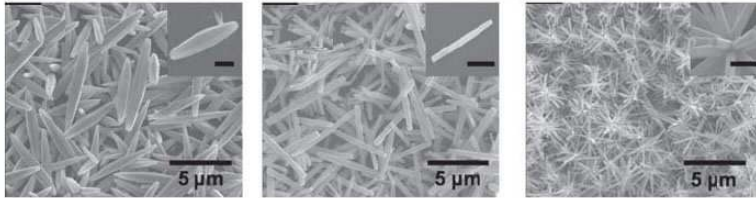
도면1



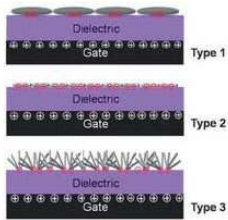
도면2



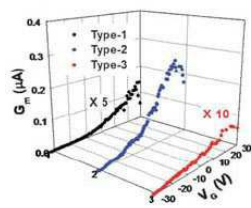
도면3



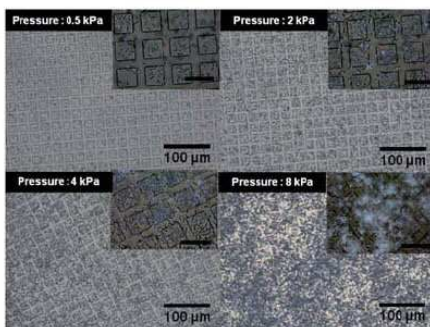
도면4a



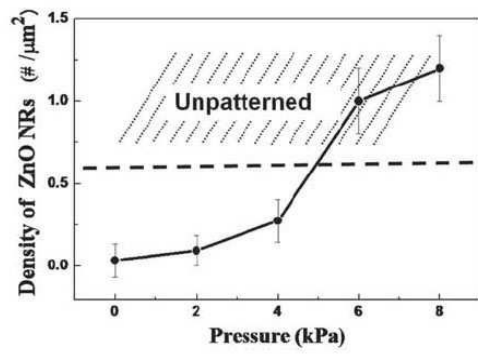
도면4b



도면5a



도면5b



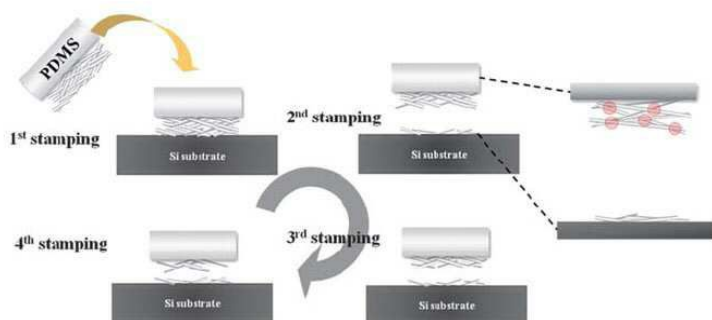
도면6a



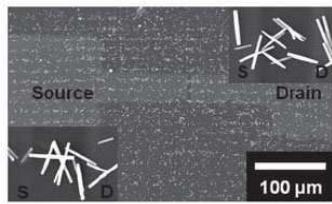
도면6b



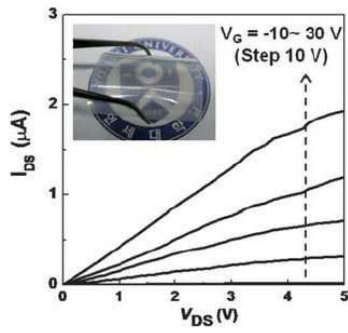
도면6c



도면7a



도면7b



도면7c

