



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0085443
(43) 공개일자 2009년08월07일

(51) Int. Cl.

B82B 3/00 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2008-0011341

(22) 출원일자 2008년02월04일

심사청구일자 2008년02월04일

(71) 출원인

연세대학교 산학협력단

서울 서대문구 신촌동 134 연세대학교

(72) 발명자

최현진

서울 성북구 돈암동 609-1 한진아파트 206동 2105호

성한규

서울시 서대문구 신촌동

(뒷면에 계속)

(74) 대리인

강민수, 최환욱

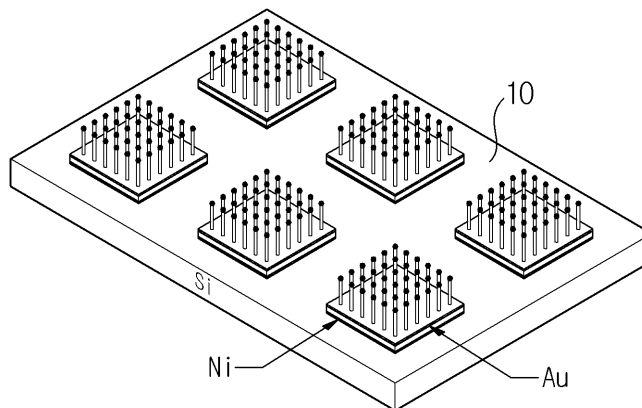
전체 청구항 수 : 총 15 항

(54) 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법 및그를 이용한 반도체

(57) 요약

본 발명은 반도체를 구성하는 각 셀을 니켈 전극 면에서 수직하게 형성하여 집적밀도 및 셀 사이의 간섭을 최소화하며, 반도체 기판에 니켈을 전극으로써 증착하고, 니켈의 자유 운동성을 이용하여 규소 등을 형성함으로써 셀을 형성할 때, 소요되는 공정을 단순화시키는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법에 관한 것이다. 이를 위해 본 발명은 반도체 기판의 적어도 일 영역에 니켈을 증착하여 전극을 형성하는 단계, 전극에 백금, 및 금 중 어느 하나를 촉매로서 증착하는 단계, 및 규소화합물 또는 게르마늄 화합물 기체가 충전된 고온의 챔버에서 니켈을 구성하는 입자의 자유운동을 이용하여 니켈의 먼 방향에 대해 수직하게 규소, 게르마늄 또는 규소-게르마늄 화합물을 성장시키는 단계를 포함한다.

대표도 - 도2



(72) 발명자

김명하

서울시 서대문구 신촌동

김웅길

서울시 서대문구 신촌동

이 발명을 지원한 국가연구개발사업

과제고유번호 ROA-2007-000-20075-0

부처명 과기부 (한국과학재단)

연구사업명 국가지정연구실사업

연구과제명 3차원 메모리 소자를 위한 반도체 나노선 집적기술 (최현진)

주관기관 연세대학교산학협력단

연구기간 2007년 07월 01일 ~ 2008년 06월 30일

특허청구의 범위

청구항 1

반도체 기관의 적어도 일 영역에 니켈을 증착하여 전극을 형성하는 단계;

상기 전극에 백금 및 금 중에서 선택되는 적어도 하나를 촉매로서 증착하는 단계; 및

규소화합물 또는 게르마늄 화합물 기체 중 적어도 하나의 기체가 충전된 챔버에서 상기 니켈을 구성하는 입자의 자유운동을 이용하여 상기 니켈로 형성된 상기 전극으로부터 규소, 게르마늄 또는 규소-게르마늄 화합물을 성장시키는 단계;를 포함하는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 2

제1항에 있어서,

상기 규소, 게르마늄 또는 규소-게르마늄 화합물은,

상기 니켈의 면 방향에 대해 수직하게 형성되되, 봉의 형상으로 형성되는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 3

제2항에 있어서,

상기 봉의 형상 중 일부는,

N 타입, 및 P 타입 불순물 중 어느 하나에 의해 도핑되는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 4

제2항에 있어서,

상기 규소, 게르마늄 또는 규소-게르마늄 화합물은,

트랜지스터로 기능하는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 5

제1항에 있어서,

상기 니켈과 상기 규소, 상기 니켈과 상기 게르마늄 또는 상기 니켈과 상기 규소게르마늄화합물은,

오믹 컨택(ohmic contact)인 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 6

제1항에 있어서,

상기 전극은,

상기 니켈을 상기 반도체 기관에 50nm ~ 5000nm의 두께로 증착하여 형성하는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 7

제1항에 있어서,

상기 촉매는,

1nm ~ 10nm의 두께로 형성되는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 8

제1항에 있어서,

상기 챔버의 내부 온도는,

온도는 700℃ ~ 1200℃의 온도범위인 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 9

제1항에 있어서,

상기 규소화합물 기체는 SiH_4 , SiCl_4 중 어느 하나이며, 게르마늄 화합물 기체는 GeH_4 , GeCl_4 중 어느 하나이고, 상기 규소화합물 기체와 상기 게르마늄 화합물 기체를 각각 흘려주거나, 동시에 흘려주는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 10

제1항에 있어서,

상기 니켈 금속 위에 수직 성장된 나노와이어는 상호 면 전체로 접촉되어 있는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법.

청구항 11

반도체 기판에 증착 형성되는 니켈 전극;

일 측이 상기 니켈의 표면으로부터 나노와이어로 성장하여 상기 니켈과 컨택을 형성하는 채널 라인;

상기 채널 라인의 외주면을 따라 파이프 형태로 형성되며, 전기가 가해질 때, 상기 채널 라인의 외주면에 통전 채널을 형성시키는 파이프 형상의 게이트; 및

상기 채널 라인의 타 측에 형성되는 캐패시터;를 포함하는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체.

청구항 12

제11항에 있어서,

상기 채널 라인은,

규소화합물 기체 또는 게르마늄 화합물 기체와 700 ~ 1200℃의 환경에서 상기 니켈의 입자가 갖는 운동성에 의해 봉 형태로 성장하는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체.

청구항 13

제12항에 있어서,

상기 규소 화합물 기체는 SiH_4 , SiCl_4 중 어느 하나이며, 게르마늄 화합물 기체는 GeH_4 , GeCl_4 중 어느 하나이고, 상기 규소화합물 기체와 상기 게르마늄 화합물 기체를 각각 흘려주거나, 동시에 흘려주는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체.

청구항 14

제12항에 있어서,

상기 니켈 전극 상에는,

상기 규소화합물 기체 또는 게르마늄화합물 기체와의 반응 촉매로서 표면에 금 및 백금 중 어느 하나를 증착하는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체.

청구항 15

제11항에 있어서,

상기 채널 라인은,

일 측과 타 측은 각각 N 및 P 타입 불순물 중 어느 하나에 의해 도핑(dopant) 되어 소스와 드레인 단자 중 어느 하나를 형성하는 것을 특징으로 하는 니켈 전극을 이용한 수직 나노와이어 반도체.

명 세 서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 니켈 전극을 이용한 나노와이어 반도체 형성방법, 및 나노와이어를 이용하는 반도체에 관한 것으로, 특히 규소화합물로 이루어진 반도체 기판에 나노와이어 기반 3차원 통전채널 트랜지스터를 구현하기 위해 니켈 전극을 증착하고, 니켈 전극에서 규소 등을 직접 성장시켜 반도체를 형성함으로써, 기존의 전극형성 공정을 줄이고, 나노와이어와 니켈 전극 사이에서의 면 접촉에서 니켈규화물(Nickel Silicide) 형성에 따른 자기 오믹 접합을 형성하여, 반도체 기판에 형성된 나노와이어의 통전채널 형성에 따른 전하의 양자제한 효과로 인해 나노와이어 길이 방향으로의 1차원 가스 층을 형성함과 동시에 짧은 채널 효과를 배제하고, 기판에 형성된 반도체의 니켈 전극 위에서 3차원 나노와이어 반도체를 형성하는 방법, 및 그를 이용한 3차원 반도체 트랜지스터에 관한 것이다.

배 경 기 술

- <2> 지금까지 반도체 산업은 top-down 방식의 리소그래피(lithography)를 기반으로 초소형, 고집적 소자 기술을 성공적으로 개발하면서 발전하였고, 향후 지속적인 소형화 요구로 인해 2015 년경에는 수 내지 수십 nm (nanometer) 크기에서 작동하는 나노 소자 기술이 필요할 것으로 예상된다. 따라서 “나노기술”은 반도체 소자의 경쟁력을 결정할 핵심기술이 되었으며, 특히 실리콘 소자에서 나노기술이 성공적으로 적용되면 CMOS (Complementary Metal Oxide Semiconductor) 기반 메모리/로직 분야에서 큰 파급효과를 기대할 수 있다. 그러나 기존 2차원 CMOS 소자 구조의 소형화에 따른 특성저하, 미세 리소그래피 공정(특히, CMOS 기본 구성인 트랜지스터 공정)의 한계, 공정 기술 난이도 증가, 장비 가격 상승에 따른 생산비용 증가 등의 장애 요인으로 집적 소자 개발에 한계를 보이고 있으며, 이를 극복할 차세대 나노 기술이 요구된다.
- <3> 이와 관련하여 반도체 기술 로드 맵은 반도체 신물질과 신개념 3차원 트랜지스터 아키텍처를 차세대 기술로 설정하고 있다. 즉 규소 반도체와 같이 CMOS 공정과 호환하며 우수한 반도체 특성을 갖는 새로운 재료 및 일차원 채널을 전 통전 공간에서 게이트 전압으로 제어할 수 있는 3차원 트랜지스터 구조 개발을 통해 기본 한계의 극복을 제시하고 있다.
- <4> 이때 가장 핵심적인 사항은 나노 크기의 1 차원 반도체 채널, 즉 반도체 나노와이어 채널을 구성하는 것이다. 특히, 나노선을 이용한 메모리 (로직 포함) 소자는 현재 사용하고 있는 실리콘 CMOS 소형화 기술이 끝나는 2015 년경에 이를 대체할 핵심 소자 기술이 될 것으로 예상된다. 반면 기존의 리소그래피 공정은 나노크기 제작과 공정비용 등의 문제점 외에 3 차원 구조의 아키텍처 및 트랜지스터와 로직 소자를 구성하기 어려워 차세대 나노 소자 기술 개발에 한계를 보이고 있다.
- <5> 최근 반도체 0차원 (양자점) 및 1차원 나노소재 (나노선, 나노튜브) 들이 양자제한 효과 및 단결정성 등으로 인해 우수한 물리적 특성을 보이면서 다양한 차세대 소자 및 제품 개발의 새로운 가능성을 열고 있다.
- <6> 이중 나노선은 머리카락 모양의 나노물질로 직경은 5 - 100 nm, 길이는 수 μm 되는 큰 장경비를 갖는 것이 특징이다. 나노선은 양자제한 효과에 의한 새로운 물리적, 화학적 성질과 우수한 전기적, 광학적, 자기적 특성을 갖기 때문에 바텀-업(bottom-up) 방식의 반도체 나노소자 구현에 있어 가장 유망한 소재로 널리 인정되고 있다. 또한 결함이 없는 완벽한 단결정성, 기판에 영향을 받지 않은 free standing 특성, 소자 구성의 수월성으로 인해 고품위 소자 개발에 이상적이다.
- <7> 따라서, 규소 기반 반도체 나노선 집적 성장 기술을 기반으로 3차원 트랜지스터 아키텍처 구성과 이를 이용한 메모리 소자 기술을 확보하는 것이 필수적이라 할 수 있다. 특히 탑-다운(top-down) 방식의 리소그래피를 통해 구성한 아키텍처에 바텀-업(bottom-up) 방식으로 나노선을 성장시켜 3차원 집적 트랜지스터 및 메모리 구조를 구성하는 기술을 필요하다. 이 방법은 기존 리소그래피가 3 차원 나노 소자 개발에서 갖는 크기 및 기하학적 한계를 극복하면서, 완벽한 1 차원 단결정 나노 채널의 집적을 가능케 한다.

<8> 종래의 반도체 공정은 반도체 기판 위에 금속이나 불순물을 증착하거나 식각하는, 즉 2차원 구조에 맞추어 공정을 처리하였다. 이러한 2차원 구조에서는 반도체를 구성하는 각 셀이 반도체 기판에서 어느 정도의 면적을 차지한다는 것을 의미하나, 반도체 공정이 점차 미세화하고, 집적도가 증가함에 따라 셀의 집적이 한계에 이르렀다. 이를 해결하기 위해, 2차원 구조의 셀을 위 아래로 층층이 집적하는 방법을 일부 적용하고 있으나, 이는 각 셀이 이웃하는 셀과의 간섭을 받는 단점이 있으며, 전기를 통전할 때, 상호 간섭에 의해 오동작을 일으키는 문제도 함께 발생시키는 문제점이 있다.

<9> 또한, 2차원 구조의 셀을 위 아래로 층층이 집적하는 방법에서 규소 또는 게르마늄 등 반도체성 물질을 성장시켜 형성하는 경우, 금속전극상에 이를 성장시키는 방법이 전무하였으며, 다만, 산화아연(ZnO)을 금속상에 성장시키는 방법이 보고된 바는 있으나, 이는 산화아연이 피증착물과의 직접적인 접촉을 형성하지 않고, 증착을 통해 물리적인 결합을 이루고 있음에 불과하여 산화아연과 피증착물과의 결합력은 물론 인가되는 전류의 흐름 등에 문제가 있었으며, 소자에 미치는 영향도 부정적인 결과를 나타내었다.

발명의 내용

해결 하고자하는 과제

<10> 따라서, 본 발명의 목적은 규소 또는 규소화합물 나노와이어 기반 3차원 트랜지스터 소자 제작을 위해 니켈 전극에서 규소 또는 규소화합물을 직접 성장시켜 반도체를 형성함으로써, 나노와이어와 니켈 전극 사이에서의 면접촉에서 니켈규화물(Nickel Silicide) 형성에 따른 자기 오믹 접합을 형성하도록 하는 효과 및 반도체 기판에 형성된 나노와이어의 통전채널 형성에 따른 전하의 양자제한 효과로 인해 나노와이어 길이 방향으로의 1차원 가스층을 형성함과 동시에 반도체를 구성하는 각 셀을 전극면에서 수직하게 형성하여 집적밀도, 및 인접하는 셀 사이의 간섭을 최소화하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법, 및 니켈 전극을 이용한 수직 나노와이어 반도체를 제공함에 있다.

<11> 또한, 본 발명의 다른 목적은 각 셀의 전극으로서 니켈을 적용하며, 니켈에서 직접 규소, 규소화합물, 게르마늄 또는 게르마늄 화합물을 성장시켜 반도체 제조 공정을 감소시키는 니켈 전극을 이용한 3차원 수직 나노와이어 반도체 형성방법, 및 니켈 전극을 이용한 수직 나노와이어 반도체를 제공함에 있다.

<12> 또한, 본 발명의 또 다른 목적은 전극으로서 선택된 니켈이 규소 등 반도체성 물질과 오믹 접촉(Ohmic Contact)을 형성하되, 접촉면이 최대한 긴밀하게 이루어지도록 함으로써 전극 금속이 소자에 줄 수 있는 누설전류와 같은 좋지 않은 영향을 최소화시킬 수 있는 니켈 전극을 이용한 수직 나노와이어 반도체를 제공함에 있다.

<13> 또한, 본 발명의 또 다른 목적은 니켈에서 규소, 규소화합물, 게르마늄 또는 게르마늄 화합물을 성장시키고, 성장된 규소 또는 규소화합물의 외주면에 게이트 전극을 형성함으로써 외주면을 따라 통전 채널을 형성함으로써 반도체를 구성하는 셀이 소모하는 전류를 감소시키는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법, 및 니켈 전극을 이용한 수직 나노와이어 반도체를 제공함에 있다.

과제 해결수단

<14> 상기한 목적은 본 발명에 따라, 반도체 기판의 적어도 일 영역에 니켈을 증착하여 전극을 형성하는 단계; 상기 전극에 백금 및 금 중에서 선택되는 적어도 하나를 촉매로서 증착하는 단계; 및 규소화합물 또는 게르마늄 화합물 기체 중 적어도 하나의 기체가 충전된 챔버에서 상기 니켈을 구성하는 입자의 자유운동을 이용하여 상기 니켈로 형성된 상기 전극으로부터 규소, 게르마늄 또는 규소-게르마늄 화합물을 성장시키는 단계;를 포함하는 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법에 의해 달성된다.

<15> 상기 규소화합물 또는 게르마늄 화합물 기체로부터 생성되는 규소, 게르마늄 또는 규소-게르마늄 화합물은, 상기 니켈의 면 방향에 대해 수직하게 형성되되, 봉의 형상으로 형성되는 것이 바람직하다.

<16> 상기 봉의 형상 중 일부는, N 타입, 및 P 타입 불순물 중 어느 하나에 의해 도핑되는 것이 바람직하다.

<17> 상기 규소, 게르마늄 또는 규소-게르마늄 화합물은, 트랜지스터로 기능하도록 한다.

<18> 상기 니켈과 상기 규소, 상기 니켈과 상기 게르마늄 또는 상기 니켈과 상기 규소-게르마늄 화합물은, 오믹 접촉(ohmic contact)되도록 한다.

<19> 상기 전극은, 상기 니켈을 상기 반도체 기판에 50nm ~ 5000nm의 두께로 증착하여 형성하는 것이 바람직하다.

- <20> 상기 촉매는, 1nm ~ 10nm의 두께로 형성되는 것이 바람직하다.
- <21> 상기 챔버의 내부 온도는, 온도는 700℃ ~ 1200℃의 온도범위인 것이 바람직하다.
- <22> 상기 규소화합물 기체는 SiH₄, SiCl₄ 중 어느 하나이며, 게르마늄 화합물 기체는 GeH₄, GeCl₄ 중 어느 하나이고, 상기 규소화합물 기체와 상기 게르마늄 화합물 기체를 각각 흘려주거나, 동시에 흘려주는 것이 바람직하다.
- <23> 상기 니켈 금속 위에 수직 성장된 나노와이어는 상호 면 전체로 접촉되어 있는 것이 바람직하다.
- <24> 또한 본 발명의 목적은 반도체 기판에 증착 형성되는 니켈 전극; 일 측이 상기 니켈의 표면으로부터 나노와이어로 성장하여 상기 니켈과 컨택을 형성하는 채널 라인; 상기 채널 라인의 외주면을 따라 파이프 형태로 형성되며, 전기가 가해질 때, 상기 채널 라인의 외주면에 통전 채널을 형성시키는 파이프 형상의 게이트; 및 상기 채널 라인의 타 측에 형성되는 캐패시터;를 포함하는 니켈 전극을 이용한 수직 나노와이어 반도체에 의해 달성된다.
- <25> 상기 채널 라인은, 규소화합물 기체 또는 게르마늄 화합물 기체와 고온의 환경에서 상기 니켈의 입자가 갖는 운동성에 의해 봉 형태로 성장하는 것이 바람직하다.
- <26> 상기 규소 화합물 기체는 SiH₄, SiCl₄ 중 어느 하나이며, 게르마늄 화합물 기체는 GeH₄, GeCl₄ 중 어느 하나이고, 상기 규소화합물 기체와 상기 게르마늄 화합물 기체를 각각 흘려주거나, 동시에 흘려주는 것이 바람직하다.
- <27> 상기 고온의 환경은, 700℃ ~ 1200℃의 온도범위의 환경인 것이 바람직하다.
- <28> 상기 니켈 전극 상에는, 상기 규소화합물 기체 또는 게르마늄화합물 기체와의 반응 촉매로서 표면에 금 및 백금 중 어느 하나를 증착하는 것이 바람직하다.
- <29> 상기 채널 라인은, 일 측과 타 측은 각각 N 및 P 타입 불순물 중 어느 하나에 의해 도핑(dopant) 되어 소스와 드레인 단자 중 어느 하나인 것이 바람직하다.

효 과

- <30> 따라서, 본 발명은,
- <31> 반도체 기판의 면 방향에 대해 수직하게 셀을 형성하므로 한정된 공간에 다량의 셀을 집적할 수 있다.
- <32> 또한, 반도체 기판에 니켈을 전극으로써 증착하고, 니켈의 자유 운동성을 이용하여 규소, 게르마늄 또는 규소-게르마늄 화합물 등 반도체 물질층을 형성함으로써 셀을 형성할 때, 소요되는 공정을 단순화시킨다. 이를 통해, 니켈에 성장된 규소 등 반도체 물질층과 니켈이 오믹 컨택을 이루으로써 접촉 저항을 줄일 수 있음과 동시에 니켈이 소자에 미칠 수 있는 좋지 않은 영향을 최소화할 수 있다.
- <33> 또한, 반도체 기판의 면 방향에서 수직하게 형성한 규소, 게르마늄 등 반도체 물질 주위로 게이트 전극을 형성하여 트랜지스터를 구현함으로써, 구현된 3차원 트랜지스터의 채널 영역을 증가시키는 물론, 소비전류를 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <34> 이하, 본 발명의 실시례를 첨부되는 도면을 참조하여 상세히 설명하도록 한다.
- <35> 본 실시례에서는 일응 규소를 사용하여 규소 나노와이어 및 규소-게르마늄 화합물 나노와이어를 제작하는 것을 위주로 설명하도록 하며, 규소 이외에도 게르마늄이 더 사용될 수도 있으나, 반도체로 기능할 수 있는 다른 물질로도 확장 가능하다.
- <36> 도 1과 도 2는 본 발명에 따른 니켈 전극을 이용한 수직 나노와이어 반도체 형성방법을 설명하기 위한 도면을 나타낸다.
- <37> 먼저, 도 1은 챔버 내의 반도체 기판(10)에 니켈(Ni)을 증착하고, 증착된 니켈 위에 백금(Au)을 증착한 것을 도시하고,
- <38> 도 2는 백금(Au) 표면에서 규소를 성장시킨 모습을 도시한다.
- <39> 도 2에 도시된 규소는 나노와이어의 일종으로 통상, 금속 면에서는 규소에 의한 나노와이어가 형성되지 않는다.

금속면에서 규소를 형성하기 위해, 본 출원인은 반도체 기판(10)에 니켈을 증착하고, 백금을 촉매로 하여 규소를 성장시켰다. 여기서 촉매는 백금 이외에도 금을 더 사용할 수 있다.

<40> 규소의 성장방법은 도 3과 도 4를 함께 참조하여 설명하도록 한다.

<41> 먼저, 도 3은 니켈의 표면에서 규소화합물 기체가 규소로 성장하는 모습을 나타낸다. 이때의 공정 조건은,

<42> - 챔버 내의 온도가 700℃ ~ 1200℃(바람직하게는 900℃ ~ 1000℃) 이고,

<43> - 규소화합물 기체는, SiH₄, SiCl₄ 중 어느 하나이고, (게르마늄의 경우 GeH₄, GeCl₄ 중 어느 하나),

<44> - 니켈 전극은, 반도체 기판에 50nm ~ 200nm의 두께로 증착하며,

<45> - 백금 촉매는 1nm ~ 10nm의 두께로 형성한다.

<46> 챔버내의 온도에 의해 활성화된 규소화합물 기체는 백금막이 형성된 니켈의 표면에 부착한다. 니켈의 표면에 위치하는 니켈 입자는 고온에 의해 활성화하여 자유 운동을 하며, 도 3에서는 니켈의 표면에서 나노와이어가 형성된 모습의 주사전자현미경 사진을 나타내었으며, 도 4에서는 도 3의 현상을 좀 더 세부적으로 판단하기 위하여 촉매로서의 금이 증착된 니켈 표면과 금이 증착되지 아니한 니켈 표면에 관한 주사전자현미경 사진을 각각 나타내었다. 도 4에서 도시된 바와 같이, 금이 촉매로서 작용하는 니켈의 표면(Ni/Au부분)에서는 나노와이어가 성장되고 있는 것을 알 수가 있었다. 나노와이어의 성장하는 방향의 상단부에는 금 촉매가 관찰된다. 즉, 금을 촉매로하여 니켈상에서 나노와이어가 성장할 수 있음을 알 수 있다. 또한, 금 촉매가 증착되지 아니한 니켈상에서는 나노와이어가 거의 성장되지 않음을 알 수 있다. 즉, 금 촉매가 증착된 니켈의 표면에는 니켈의 표면과 수직한 방향으로 규소가 성장하며, 성장된 규소는 예를 들면 봉의 형태를 갖는다.

<47> 도 5는 니켈 전극에서 성장한 규소를 이용하여 메모리 셀을 구현한 일 예를 나타낸다.

<48> 반도체 기판(10)에 증착된 니켈 전극(110)은 도 1 ~ 도 4를 통해 니켈 전극(110)의 표면에서 성장한 규소(또는 게르마늄)와 옴릭 컨택(ohmic contact)을 이룬다. 규소로 이루어진 채널 라인(120)과 니켈 전극(110)은 별도의 본딩(bonding) 재료에 의해 접합된 것이 아니라 니켈 전극(110)에서 봉 형태로 성장한 것이므로 양자 간 계면 특성이 매우 우수하며, 이는 이중 물질의 접합, 및 본딩에 의해 발생하는 저항을 감소시킨다. 이에 더하여, 채널 라인(120)이 니켈 전극(110)에서 성장하여 형성되므로 채널 라인(120)과 니켈 전극(110)을 본딩(bonding)하기 위한 별도의 본딩 공정을 생략할 수 있음은 물론이다.

<49> 한편, 채널 라인(120)의 외주면을 따라 원형 파이프 형상의 게이트(130)가 형성된다. 게이트(130)는 금속물, 또는 반도체의 성질을 갖는 규소화합물로 구현될 수 있다. 게이트(130)는 봉의 형상을 갖는 채널 라인(120)을 내삽하는 구조를 갖는다. 이를 통해, 게이트(130)에 전기가 가해질 때, 채널 라인(120)의 외주면 전체는 게이트(130)에 가해지는 전기에 대응되는 통전 채널이 형성된다. 여기서, 트랜지스터는 MOS 타입을 기준으로 설명하며, 채널 라인(120)에 형성되는 통전 채널을 도 6과 도 7을 함께 참조하여 설명하도록 한다.

<50> 도 6은 도 5에 도시된 채널 라인, 및 게이트에 대한 측 단면도를 나타내고, 도 7은 상면도를 나타낸다.

<51> 먼저, 도 6을 참조하면, 게이트(130)에 전기가 가해질 때, 채널 라인(120)과 게이트(130)가 대면하는 영역에 통전 채널이 형성되는 것을 볼 수 있다. 종래에 2차원 평면형 반도체는 통전 채널이 게이트와 인접하는 영역의 일부에만 형성되었으나, 본 발명에 의해, 통전채널은 게이트(130)와 채널 라인(120)이 대면하는 전 영역에 형성된다. 따라서, 게이트(130)에 동일한 전압, 또는 전류가 가해질 때, 본원발명에 따른 게이트는 종래에 비해 더 넓은 통전 채널을 형성할 수 있음이 자명하다.

<52> 다음으로, 도 7을 보면, 채널 라인(120)의 외주면을 게이트(130)가 둘러싸고 있음을 볼 수 있다. 즉, 채널 라인(120)의 외주면을 따라 원형 띠 형상의 통전 채널이 형성됨을 알 수 있다. 기존의 MOS 트랜지스터에서 형성되는 평면형의 통전 채널을 도식화한 도 8을 참조하면 그 차이는 더욱 극명하다.

<53> 도 8에 도시된 기존의 통전 채널은 게이트와 마주보는 면에만 형성되므로 게이트의 면적, 및 게이트와 마주보는 곳의 채널 면적을 증가시킬 필요가 있다. 통상, 도 8에 도시된 형태를 갖는 대다수의 MOS 트랜지스터는 채널이 형성되는 공핍층의 면적이 넓은 특징을 갖는다. 반면, 본원발명에서 소개하는 채널 라인(120)은 양호한 통전 채널을 형성하기 위해 다량의 면적을 요하지 않는다. 이는 반도체(메모리)의 크기를 감소시키는데 기여한다.

<54> 한편, 채널 라인(120)의 일 측(b)은 니켈 전극(110)에 접속하고, 타 측(A)은 비트라인에 접속된다. 즉, 니켈 전극(110)에서 메모리 셀이 수직하게 서 있는 것과 유사한 형태를 보인다. 도시된 메모리 셀이 복수개가 구현

되면, 그 형태가 도 9에 도시된 바와 같다. 도 9를 참조하면 각각의 메모리 셀이 비트라인과 니켈 전극 사이에 수직으로 배열된 것을 볼 수 있으며, 각각의 메모리 셀은 니켈 전극(110)이 차지하는 면적 만큼만을 필요로 함을 알 수 있다.

<55> 여기서, 채널 라인(120)은 규소 또는 게르마늄과 같은 물질에 의해 형성되므로 반도체로서 기능하기 위해 양 측단(A, b)를 N 타입, 또는 P 타입의 불순물에 의해 도핑될 필요가 있다. 채널 라인(120)의 양 측단(A, b)이 N 타입, 또는 P 타입으로 도핑되면, 채널라인의 양 측단(A, b)은 MOS의 소스단자, 또는 드레인 단자로서 기능한다.

도면의 간단한 설명

<56> 도 1은 챔버 내의 반도체 기판(10)에 니켈(Ni)을 증착하고, 증착된 니켈 위에 백금(Au)을 증착한 것을 나타내는 도면,

<57> 도 2는 백금(Au) 표면에서 규소를 성장시킨 모습에 관한 도면,

<58> 도 3은 니켈의 표면에서 규소화합물 기체가 규소로 성장하는 모습에 관한 일 실시예를 나타내는 주사전자현미경 사진,

<59> 도 4는 촉매로서의 금이 증착된 니켈 표면과 금이 증착되지 아니한 니켈 표면을 각각 나타낸 주사전자현미경 사진,

<60> 도 5는 니켈 전극에서 성장한 규소를 이용하여 메모리 셀을 구현한 일 예를 나타내는 도면,

<61> 도 6은 도 5에 도시된 채널 라인, 및 게이트에 대한 측 단면도,

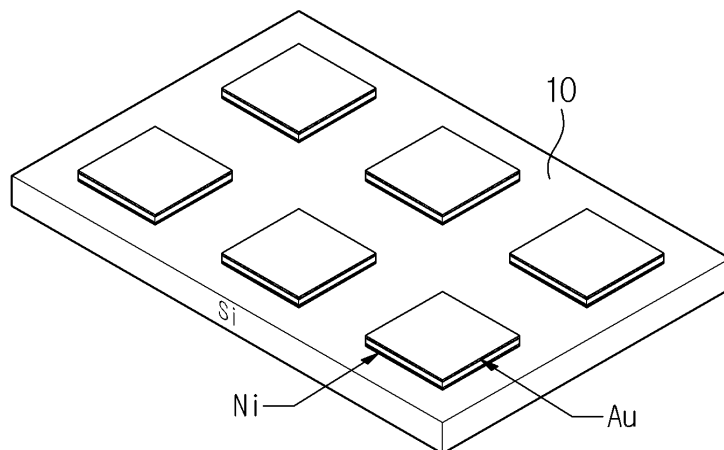
<62> 도 7은 도 5에 도시된 채널 라인, 및 게이트에 대한 상면도,

<63> 도 8은 기존의 MOS 트랜지스터에서 형성되는 평면형의 통전채널을 나타내는 도면,

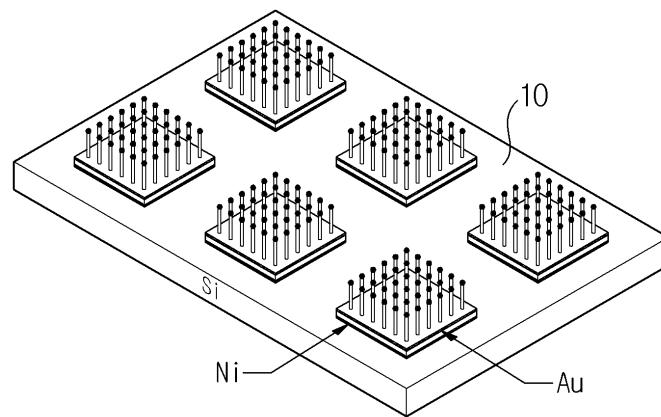
<64> 도 9는 본 발명에 의한 메모리셀의 실제 설치에 대한 가상도면을 각각 나타낸다.

도면

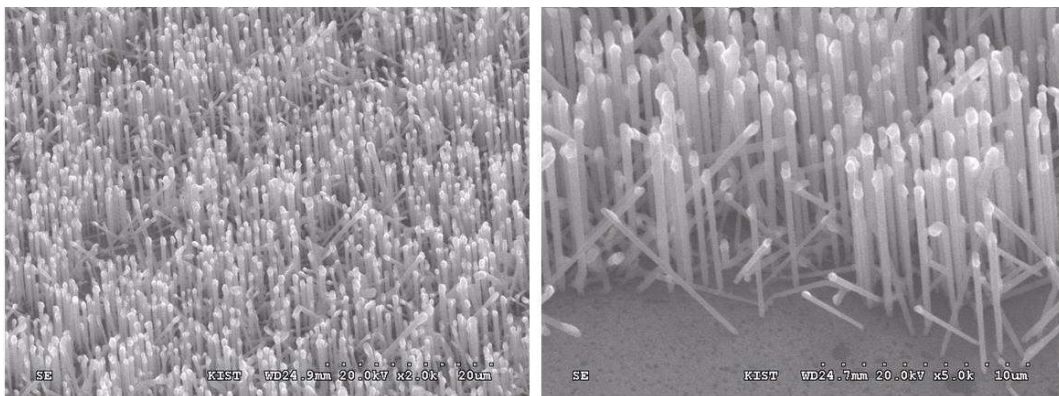
도면1



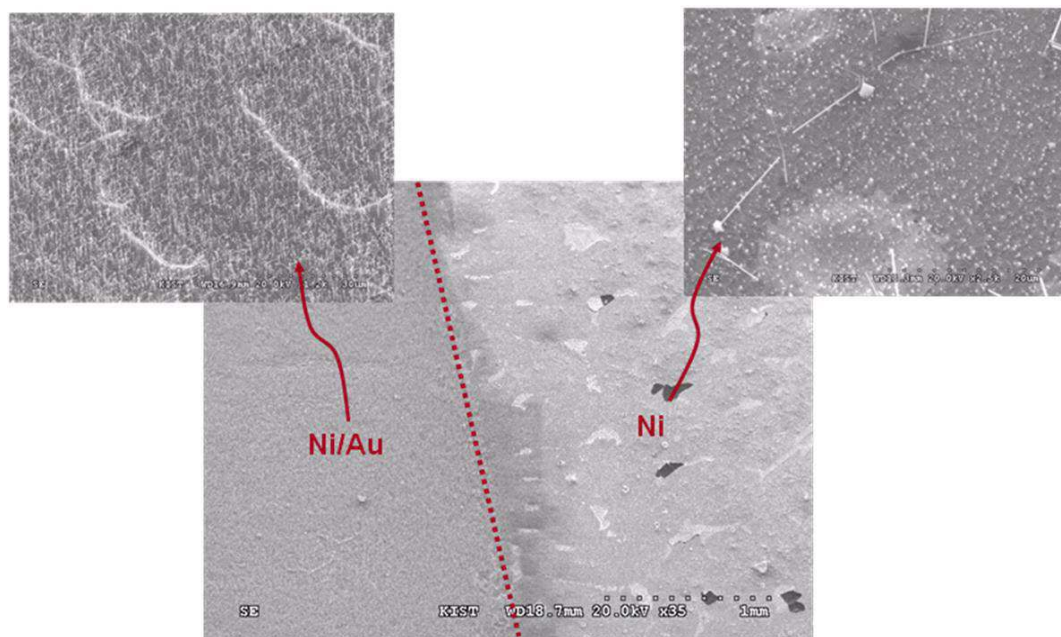
도면2



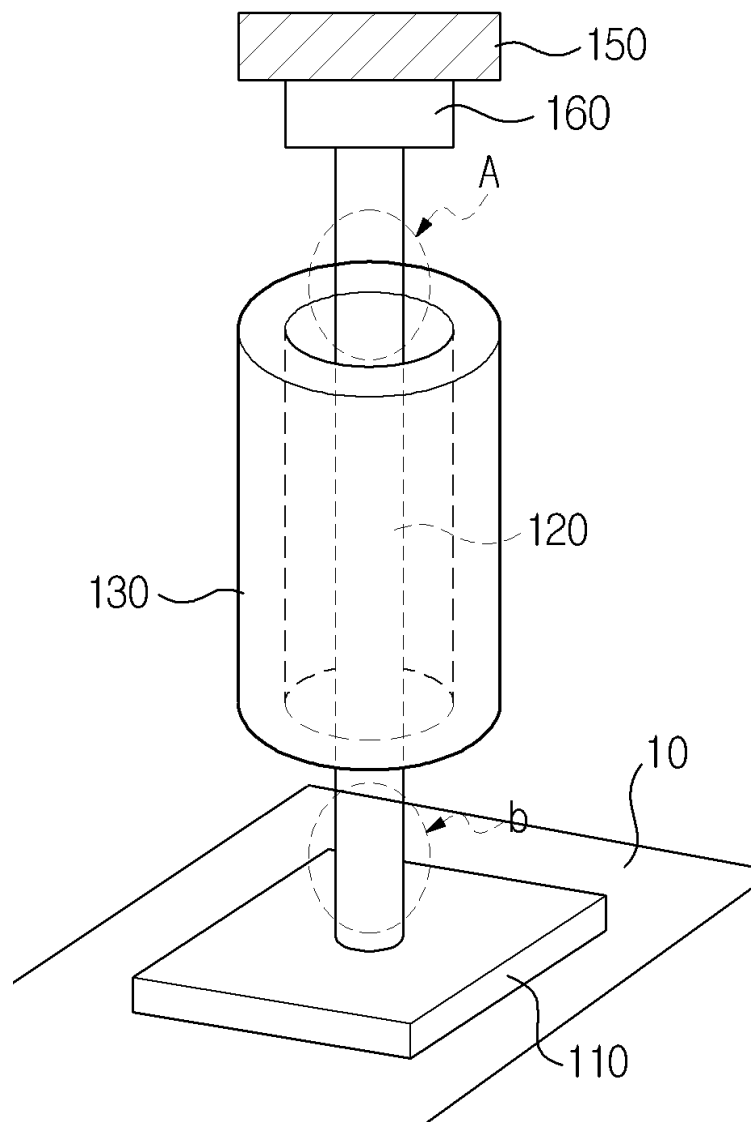
도면3



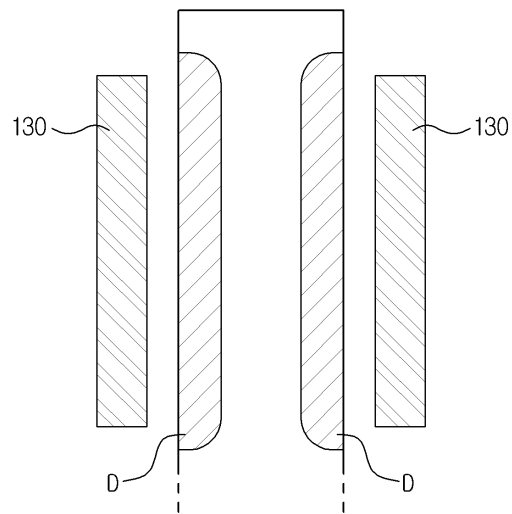
도면4



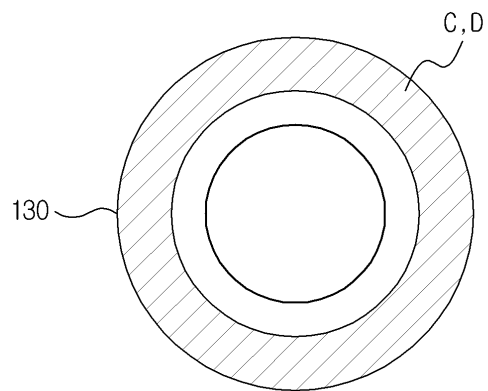
도면5



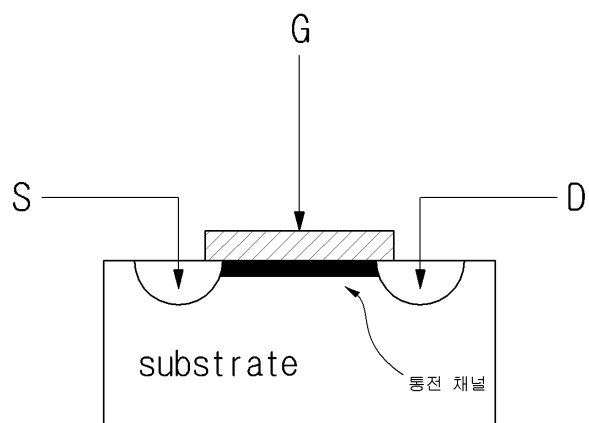
도면6



도면7



도면8



도면9

