



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0018743  
(43) 공개일자 2009년02월23일

(51) Int. Cl.

H01L 21/24 (2006.01)

(21) 출원번호 10-2007-0083082

(22) 출원일자 2007년08월18일

심사청구일자 2008년09월01일

(71) 출원인

연세대학교 산학협력단

서울 서대문구 신촌동 134 연세대학교

(72) 발명자

고대홍

경기 고양시 일산서구 주엽동 강선마을 경남아파트 203동 503호

김상연

경기 성남시 분당구 수내동 양지마을한양아파트 603동 2402호

(뒷면에 계속)

(74) 대리인

현종철

전체 청구항 수 : 총 11 항

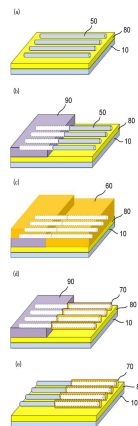
(54) 실리콘계 나노선 표면의 선택적 금속규화물화 방법 및 이에의해 제조된 반도체 소자

### (57) 요약

실리콘계 나노선 표면의 선택적 금속규화물화 방법이 제공된다.

본 발명에 따른 실리콘계 나노선 표면의 선택적 금속규화물화 방법은 (a) 기관상에 하나 이상의 실리콘계 나노선을 배열하는 단계; (b) 상기 실리콘계 나노선의 상부에 마스크 패턴을 형성시키는 단계; (c) 상기 마스크 패턴의 상부에 스퍼터링방법 또는 원자층 증착법에 의하여 금속박막을 적층시키는 단계; 및 (d) 상기 금속박막을 열처리하여 금속 규화물층을 형성하고 상기 마스크 패턴을 제거하는 단계를 포함하며, 이를 통해 표면처리된 나노선을 이용하여 트랜지스터 기타 디바이스를 제작하는 경우 나노선과 금속 배선과의 접합시 저저항의 콘택트를 이룰 수 있으므로 고집적 저저항의 고속 반도체 장치를 제조할 수 있다.

대표도 - 도2



(72) 발명자

**손현철**

서울 강남구 신사동 547-8호 유로미타운 B102호

**조만호**

서울 용산구 이촌동 강촌아파트 104동 1803호

---

## 특허청구의 범위

### 청구항 1

- (a) 기판상에 하나 이상의 실리콘계 나노선을 배열하는 단계;
- (b) 상기 실리콘계 나노선의 상부에 마스크 패턴을 형성시키는 단계;
- (c) 상기 마스크 패턴의 상부에 스퍼터링방법 또는 원자층 증착법에 의하여 금속박막을 적층시키는 단계; 및
- (d) 상기 금속박막을 열처리하여 금속 규화물층을 형성하고 상기 마스크 패턴을 제거하는 단계를 포함하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 2

제 1항에 있어서,

상기 (d)단계 이후에, 습식식각공정을 통해, 반응에 참여하지 않은 금속을 제거하는 단계를 더 포함하는 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 3

제 1항에 있어서, 상기 마스크 패턴을 형성하는 물질은 규소산화물 또는 규소질화물인 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 4

제 3항에 있어서, 상기 규소산화물 또는 규소질화물을 사용하여 마스크 패턴을 형성하는 단계는 상기 실리콘계 나노선의 상부에 규소산화물 또는 규소질화물을 증착하여 막을 형성한 후 포토레지스트를 코팅하여 노광하고 현상함으로써 포토레지스트 패턴을 형성하고 식각공정을 통해 마스크 패턴을 형성하는 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 5

제 1항에 있어서, 하나 이상의 실리콘계 나노선을 배열하는 단계는 복수개의 실리콘계 나노선이 동일방향으로 일정한 간격을 가지도록 배열하는 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 6

제 1항에 있어서,

상기 원자층 증착법은 금속전구체를 흡착시키는 단계, 및 반응가스를 공급하여 상기 금속전구체와 반응함으로써 금속막을 원자층 단위로 형성시키는 단계를 포함하는 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 7

제 1항에 있어서,

상기 열처리 온도는 금속과 실리콘이 반응하여 금속규화물로 상전이를 일으키는 온도인 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 8

제 6항에 있어서,

상기 금속전구체는 MX 또는  $MX_3$ 이되, 상기 M은 티타늄, 니켈, 코발트, 텅스텐 또는 탄탈륨이고 X는 음이온성 리간드인 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

### 청구항 9

제 8항에 있어서,

상기 X는 H, 탄소수 1 내지 10의 알킬, 탄소수 2 내지 10의 알케닐, 탄소수 1 내지 8의 알콕시, 탄소수 6 내지 12의 아릴,  $\beta$ -디케토네이트, 사이클로펜타디에닐, 탄소수 1 내지 8의 알킬사이클로펜타디에닐 및 이들에 할로겐족 원소가 치환된 유도체로 이루어진 군에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

#### 청구항 10

제 6항에 있어서,

상기 반응가스는 히드라진, 디메틸히드라진, 암모니아,  $\text{NH}_2\text{R}$ ,  $\text{NHR}_2$ ,  $\text{NR}_3$ , 탄소수 1 내지 10의 알킬히드라진, 탄소수 1 내지 10의 디알킬히드라진 및 이들의 혼합물로 이루어진 군에서 선택된 어느 하나이되, 상기 R은 탄소수 1 내지 10의 알킬, 탄소수 2 내지 10의 알케닐, 탄소수 1 내지 8의 알콕시 또는 탄소수 6 내지 12의 아릴인 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.

#### 청구항 11

제 1항 내지 제10항 중 어느 한 항에 의해 표면이 선택적으로 금속규화물화된 실리콘계 나노선을 이용하여 제조된 반도체 소자.

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

<1> 본 발명은 실리콘계 나노선 표면의 선택적 금속규화물화 방법에 관한 것으로서, 더욱 상세하게는 실리콘계 나노선 표면의 특정부위에 저저항 저항의 금속규화물을 형성시키는 방법 및 이에 의해 제조된 반도체 소자에 관한 것이다.

##### 배경 기술

<2> 1991년 탄소나노튜브의 구조에 대하여 보고(S. Iijima, Nature(London) 1991, 354, 65)된 이래로, 적어도 한 차원이 100nm 이하인 나노구조를 합성하고 이용하는 방법에 대한 연구가 활발히 진행되고 있다. 단일성분 반도체(Si, Ge, B), III-V족 화합물 반도체(GaN, GaAs, GaP, InP, InAs), II-VI족 화합물 반도체(ZnS, ZnSe, CdS, CdSe), 그리고 산화물(ZnO, MgO,  $\text{SiO}_2$ ) 등의 무기재료로부터 나노구조를 얻는 데 성공했다. 이들 물질 중 실리콘을 기본으로 하는 나노구조는 실리콘을 기초로한 마이크로 전자공학의 연장선상에서 많은 연구자들의 관심 대상이다. 이에 관하여 순수 실리콘으로 이루어진 나노선의 벌크 합성방법도 보고된 바 있는데, 여기에는 레이저 어블레이션에 의한 합성방법과 고온 증기화에 의한 합성방법 등이 있다. 이들 두 방법은 공통적으로 VLS(Vapor-Liquid-Solid) 메카니즘에 의해 실리콘 나노선을 성장시킨다. 이 외에, 금(Au)을 촉매로 하고 사염화규소( $\text{SiCl}_4$ ) 등의 실란계 가스를 실리콘 소스로 하여 VLS 메카니즘에 의해 실리콘 나노선을 성장시키기도 한다.

<3> 이러한 실리콘 나노선은 응용기술의 발전에 따라 다양한 분야에 채용될 수 있는데, 차세대 반도체 디바이스와 관련하여 상기 실리콘 나노선을 트랜지스터 제작 등의 소자 공정에 사용하려는 시도가 행해지고 있다.

<4> MOS 구조의 트랜지스터를 금속 배선과 콘택트(contact)구조를 이용하여 연결할 때에는 전력 손실을 막기 위해서 저저항의 접합이 반드시 필요하고 이를 위해서는 일반적으로 도 1에서 설명하는 것과 같은 셀리사이드(Salicide)라고 하는 선택적 저저항 금속 규화물 제조 공정을 이용하게 된다. 도 1(a)는 실리콘 기판(10)위에 액티브 영역을 분리하기 위한, 산화물로 이루어진 필드영역(20)이 존재하며 그 위에 전체적으로 금속층(30)이 증착되어 있는 상태이다. 한편, 도 1(b)는 열처리 후 액티브 영역의 실리콘과 금속이 반응하여 저저항의 금속규화물(40)을 형성한 상태이며 산화물과 반응하지 않은 필드 영역 위의 금속과 액티브 영역 위에서 실리콘과 반응하지 않고 남은 금속은 습식 식각으로 제거한 상태이다.

<5> 한편, 일차원 나노선을 트랜지스터나 기타 디바이스에 응용하기 위해서는 전력 손실을 막기 위한 저저항의 접합이 필요함에도 이처럼 나노선의 저항을 낮추기 위한 콘택트구조에 대한 연구는 진행된 바 없으며, 특히 후속 공정에서 사용되는 금속배선과의 접합시 나노선의 특정부위에 특정모양의 콘택을 형성시킬 수 있는 방법은 전무하였다.

## 발명의 내용

### 해결 하고자하는 과제

- <6> 따라서, 본 발명이 이루고자 하는 첫 번째 기술적 과제는 실리콘계 나노선의 표면에 선택적으로 금속규화물을 형성시켜 후속공정에서 형성되는 금속배선과의 접합시에 접촉 저항을 낮출 수 있도록 하는 방법을 제공하는 것이다.
- <7> 본 발명이 이루고자 하는 두 번째 기술적 과제는 상기 방법에 의해 얻어진 실리콘계 나노선을 이용하여 제조된 반도체 소자를 제공하는 것이다.

### 과제 해결수단

- <8> 본 발명은 상기 첫 번째 기술적 과제를 달성하기 위하여,
- <9> (a) 기판상에 하나 이상의 실리콘계 나노선을 배열하는 단계;
- <10> (b) 상기 실리콘계 나노선의 상부에 마스크 패턴을 형성시키는 단계;
- <11> (c) 상기 마스크 패턴의 상부에 스퍼터링방법 또는 원자층 증착법에 의하여 금속박막을 적층시키는 단계; 및
- <12> (d) 상기 금속박막을 열처리하여 금속 규화물층을 형성하고 상기 마스크 패턴을 제거하는 단계를 포함하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법을 제공한다.
- <13> 본 발명의 일 실시예에 의하면, 상기 (d)단계 이후에, 습식식각공정을 통해, 반응에 참여하지 않은 금속을 제거하는 단계를 더 포함하는 것이 바람직하다.
- <14> 본 발명의 다른 실시예에 의하면, 상기 마스크 패턴을 형성하는 물질은 규소산화물 또는 규소질화물일 수 있다.
- <15> 또한, 상기 규소산화물 또는 규소질화물을 사용하여 마스크 패턴을 형성하는 단계는 상기 실리콘계 나노선의 상부에 규소산화물 또는 규소질화물을 증착하여 막을 형성한 후 포토레지스트를 코팅하여 노광하고 현상함으로써 포토레지스트 패턴을 형성하고 식각공정을 통해 마스크 패턴을 형성하는 것일 수 있다.
- <16> 본 발명의 또 다른 실시예에 의하면, 하나 이상의 실리콘계 나노선을 배열하는 단계는 복수개의 실리콘계 나노선이 동일방향으로 일정한 간격을 가지도록 배열하는 것일 수 있다.
- <17> 또한, 상기 열처리 온도는 금속과 실리콘이 반응하여 금속규화물로 상전이를 일으키는 온도인 것을 특징으로 하는 실리콘계 나노선 표면의 선택적 금속규화물화 방법.
- <18> 본 발명의 또 다른 실시예에 의하면, 상기 원자층 증착법은 금속전구체를 흡착시키는 단계, 및 반응가스를 공급하여 상기 금속전구체와 반응함으로써 금속막을 원자층 단위로 형성시키는 단계를 포함하는 것일 수 있다.
- <19> 상기 금속전구체는 MX 또는 MX<sub>3</sub>이되, 상기 M은 티타늄, 니켈, 코발트, 텅스텐 또는 탄탈륨이고 X는 음이온성 리간드일 수 있으며, 상기 X는 H, 탄소수 1 내지 10의 알킬, 탄소수 2 내지 10의 알케닐, 탄소수 1 내지 8의 알콕시, 탄소수 6 내지 12의 아릴, β-디케토네이트, 사이클로펜타디에닐, 탄소수 1 내지 8의 알킬사이클로펜타디에닐 및 이들에 할로젠족 원소가 치환된 유도체로 이루어진 군에서 선택된 어느 하나를 포함하는 것일 수 있다.
- <20> 또한, 상기 반응가스는 히드라진, 디메틸히드라진, 암모니아, NH<sub>2</sub>R, NHR<sub>2</sub>, NR<sub>3</sub>, 탄소수 1 내지 10의 알킬히드라진, 탄소수 1 내지 10의 디알킬히드라진 및 이들의 혼합물로 이루어진 군에서 선택된 어느 하나이되, 상기 R은 탄소수 1 내지 10의 알킬, 탄소수 2 내지 10의 알케닐, 탄소수 1 내지 8의 알콕시 또는 탄소수 6 내지 12의 아릴일 수 있다.
- <21> 본 발명은 상기 두 번째 기술적 과제를 달성하기 위하여, 상기 본 발명에 따른 방법에 의해 표면이 선택적으로 금속규화물화된 실리콘계 나노선을 이용하여 제조된 반도체 소자를 제공한다.

### 효 과

- <22> 본 발명에 따른 나노선을 이용하여 트랜지스터 기타 디바이스를 제작하는 경우 상기 나노선이 게이트, 소오스 또는 드레인의 역할을 할 때에 후속공정에서 형성되는 금속배선과의 접합시에 접촉 저항을 낮출 수 있기 때문에 고집적 저저항의 고속 반도체 장치를 제조할 수 있다.

### 발명의 실시를 위한 구체적인 내용

- <23> 이하 본 발명을 더욱 상세하게 설명한다.
- <24> 본 발명에 따른 실리콘계 나노선 표면의 선택적 금속규화물화 방법은 (a) 기판상에 하나 이상의 실리콘계 나노선을 배열하는 단계; (b) 상기 실리콘계 나노선의 상부에 마스크 패턴을 형성시키는 단계; (c) 상기 마스크 패턴의 상부에 스퍼터링방법 또는 원자층 증착법에 의하여 금속박막을 적층시키는 단계; 및 (d) 상기 금속박막을 열처리하여 금속 규화물층을 형성하고 상기 마스크 패턴을 제거하는 단계를 포함하는데, 본 발명에 따라 제조된 실리콘계 나노선을 사용하여 반도체 소자를 제조하는 경우 접촉저항을 대폭 감소시킬 수 있도록 한다는 것을 특징으로 한다.
- <25> 본 발명에서 사용되는 기판은 실리콘 기판일 수 있으며, 이에 제한되는 것은 아니며, 3~5족 기판이나 게르마늄 기판 위에 고유전체 박막이 증착되어 있는 기판도 사용가능하다.
- <26> 또한, 본 발명에서 실리콘계 나노선이라 함은 실리콘 나노선 또는 실리콘-게르마늄 나노선을 의미한다.
- <27> 상기 금속규화물은 접촉저항을 감소시키기 위하여 당업계에서 통상적으로 사용되는 것인 한, 특별히 제한되는 것은 아니며, 예를 들어, 티타늄규화물, 니켈규화물, 코발트규화물, 텅스텐규화물 및 탄탈륨규화물로 이루어진 군에서 선택된 어느 하나일 수 있다.
- <28> 본 발명에 따른 실리콘계 나노선 표면의 선택적 금속규화물화 방법은 한개의 실리콘계 나노선에 대하여 표면의 일부를 금속규화물화할 수도 있지만, 복수개의 실리콘계 나노선들이 배열된 상태에서 그 표면들 중의 일부를 금속규화물화할 수도 있다.
- <29> 본 발명에 따른 실리콘계 나노선 표면의 선택적 금속규화물화 방법을 실시하기 위해서는 우선 실리콘 또는 실리콘-게르마늄 나노선을 제조해야 하는데, 상기 제조방법은 당업계에서 통상적으로 사용하는 방법인 한 제한없이 사용될 수 있으며, 탑다운(top-down) 방식 또는 바텀업(bottom-up) 방식 모두를 사용할 수 있다.
- <30> 예를 들어, 탑다운 방식으로서, 전자빔 또는 이온빔을 사용하고, 반응성 이온에칭(RIE)를 사용하거나, 스캐닝 프로브 리소그래피(Scanning Probe Lithography:SPL)를 사용한 후 KOH 방향 의존성 에칭(KOH orientation-dependant etching)을 함으로써 실리콘 기판상에 수평하게 배열된 실리콘 나노와이어들을 형성시킬 수 있다.
- <31> 바텀업 방식으로는 예를 들어, VLS 메커니즘 또는 SLS 메커니즘에 의하여 제조될 수 있다. 도 3a에는 VLS 메커니즘에 의해 형성된 실리콘 나노선(50)을 도시하였는데, 증기상태의 실리콘이 촉매금속(400)과 실리콘기판(200)의 계면으로 공급되어 실리콘 나노선(50)이 형성되고, 그 표면에는 자연산화물층이 형성되어 있다. 그 결과, 실리콘 코어부(51)와 산화실리콘 표피(52)를 갖는 구조의 실리콘 나노선이 형성된다. 한편, 도 3b에는 SLS 메커니즘에 의해 형성된 실리콘 나노선을 도시하였는데, 이는 니켈 또는 철 등을 촉매로 하여 별도의 실리콘 소스없이 실리콘 기판으로부터 실리콘 나노선을 성장시키는 방법이다. 도 3a를 참조하면 촉매금속(400) 상면에 실리콘 나노선(50)이 형성되고, 그 표면에 자연산화물층이 형성되어 실리콘 코어부(51)와 산화실리콘 표피(52)를 갖는 구조의 실리콘 나노선을 얻게 된다.
- <32> 상기 SLS 메커니즘에 의해 실리콘 나노선을 성장시키는 과정을 좀 더 상세히 설명하면 이하와 같다.
- <33> 실리콘 기판 상면에 촉매금속박막을 형성시킨다. 촉매금속으로는 니켈 또는 철 등의 전이금속이 사용되는데, 이하, 본 실시예에서는 니켈을 예로 들어 설명하지만, 니켈 외에 다른 전이금속 촉매도 사용될 수 있음은 물론이다. 다음으로는 상기 기판에 열을 가한다. 소정 온도에 도달하면, 기판 상부에 미세방울이 형성되는데 이는 니켈과 실리콘의 공융합금이다. 구체적으로 기판 표면의 온도가 900℃ 이상, 좀더 구체적으로는 대략 930℃에 이르면 실리콘 니켈 공융합금의 미세방울이 형성된다. 니켈-실리콘 합금의 공융점은 약 993℃인데 입자가 매우 작아지면 공융 온도는 그 보다 낮아지는 경향이 있기 때문이다. 소정시간 동안 930℃ 내지 993℃ 정도의 온도를 유지하면 상기 미세방울과 기판의 경계면에서 많은 수의 실리콘 원자가 고체상태인 기판에서 액체상태인 미세방울로 확산된다. 또한, 상기 미세방울의 반대쪽 경계면에서 용융액이 과포화 상태에 이르게 되어 그 표면으로부터 실리콘 나노선이 성장하게 된다.
- <34> 본 발명에서는 상기 실리콘 나노선(50)의 산화실리콘 표피(30)를 제거한 후에 후속공정을 진행하게 되는데, 산화실리콘은 습식 식각 또는 건식 식각을 통해 용이하게 제거될 수 있다. 습식 식각의 경우에는 HF를 포함하는 용액에 침지시켜 제거할 수 있고, 건식 식각의 경우에는 플라즈마 식각 등의 방법을 이용할 수 있는데, 건식 식각의 경우가 식각의 균일성 등의 장점이 있다.



- <35> 한편, 실리콘-게르마늄 나노선은 MBE(Molecular Beam Epitaxy) 법에 의하여 제조될 수 있다.
- <36> 도 2에는 본 발명에 따라, 복수개의 실리콘계 나노선 표면의 선택적 금속규화물화 방법의 제조공정도를 도시하였다. 우선, 실리콘 기판(10) 위에 실리콘 산화물층(80)을 형성시키고 그 위에 일차원으로 성장시킨 실리콘 나노선(50)을 동일 방향과 일정한 간격을 갖도록 배열한 상태이다. 상기 실리콘 나노선을 동일방향으로 일정한 간격을 갖도록 배열하는 방법은 당업계에서 통상적으로 알려져 있는 방법이면 특별히 제한되지 않는데, 이미 설명한 바와 같이, 탑다운(top-down) 방식을 예로 들면, 전자빔 또는 이온빔을 사용하고, 반응성 이온에칭(RIE)를 사용하거나, 스캐닝 프로브 리소그래피(Scanning Probe Lithography:SPL)를 사용한 후 KOH 방향 의존성 에칭(KOH orientation-dependant etching)을 사용함으로써 실리콘 기판상에 수평하게 배열된 실리콘 나노와이어들을 형성시킬 수 있다.
- <37> 다음으로, 도 2(b)는 사진 및 식각 공정을 이용하여 부분적으로 실리콘 나노선(50)을 가려준 상태이다. 이때 실리콘 나노선을 부분적으로 가려주는 마스크 패턴(90)을 형성하는 물질은 규소산화물 또는 규소질화물 등이 될 수 있다. 규소산화물 또는 규소질화물 패턴을 만들기 위해서는 포토레지스트를 이용한 사진 및 식각 공정을 이용하는데, 이때 포토레지스트는 당업계에서 통상적으로 사용되는 것인 한, 특별한 제한없이 사용가능하며, 포지티브 또는 네가티브형 모두 사용 가능하다. 이처럼 포토레지스트를 사용하여 마스크 패턴을 형성하는 경우, 규소산화물 또는 규소질화물의 상부에 포토레지스트를 코팅하여 막을 형성한 후 노광하고 현상하여 포토레지스트 패턴을 형성하고 이를 마스크로 하여 하부의 규소산화물 또는 규소질화물을 에칭함으로써 마스크 패턴을 형성할 수 있다. 상기에서, 100nm 이하의 선폭을 형성하려면 화학증폭형 포토레지스트를 사용하고 노광원으로서 KrF 또는 ArF 레이저를 사용하는 것이 바람직하다.
- <38> 그 다음, 도 2(c)는 전체적으로 금속박막(60)을 증착한 상태이다. 이때 사용되는 금속은 티타늄, 니켈, 코발트, 텅스텐 또는 탄탈륨일 수 있다.
- <39> 계속해서, 도 2(d)는 열처리로나 금속 열처리 공정 장비를 이용하여 적당한 시간과 온도로 열처리한 후 습식식각을 하여 반응하지 않은 금속을 제거한 상태로써, 마스크 패턴(90)의 상부에는 금속과 반응이 이루어지지 않아 금속이 모두 식각되어 남아있지 않게 되고 실리콘 나노선 위에는 금속과 반응을 하여 저저항의 금속규화물층(70)이 만들어지므로 습식식각시 식각이 되지 않는다.
- <40> 마지막으로, 도 2(e)는 실리콘 나노선(50)을 부분적으로 가리고 있던 마스크 패턴(90)을 제거한 상태로써, 가려지지 않았던 부분에 선택적으로 금속규화물층(70)을 성장시킬 수 있다. 상기 마스크 패턴(90)은 이미 언급한 바와 같이, 규소산화물 또는 규소질화물로 이루어져 있는데, 당업계에서 통상적으로 사용되는 에칭 등의 방법에 의하여 제거할 수 있다.
- <41> 한편, 상기 실리콘 나노선의 표면에 금속박막을 적층시키는 방법의 하나인 원자층 증착법에 대하여 자세히 살펴보면 이하와 같다. 원자층 증착법이란 표면조절공정(surface controlled process)으로서 피증착물의 표면에서 분자의 흡착과 치환을 번갈아 진행하는 것에 의해, 원자층 두께의 초미세 층간(layer-by-layer) 증착이 가능하고, 산화물과 금속 박막을 최대한 얇게 쌓을 수 있으며, 화학 기상 증착(CVD)보다 낮은 온도(500℃ 이하)에서 막질을 형성할 수 있다는 특징이 있다.
- <42> 일반적으로 원자층 증착법은 먼저 소스가스(금속전구체)를 공급하여 기판 표면에 한 층의 소스를 화학적으로 흡착(Chemical Adsorption)시키고 여분의 물리적 흡착된 소스들은 퍼지가스를 흘려보내어 퍼지시킨 다음, 상기 한 층의 소스에 반응가스를 공급하여 한 층의 소스와 반응가스를 화학반응시켜 원하는 원자층 박막을 증착하고 여분의 반응가스는 퍼지가스를 흘려보내 퍼지시키는 과정을 한 주기로 하여 박막을 증착한다. 상술한 바와 같이 원자층 증착방법은 표면 반응 메카니즘(Surface Reaction Mechanism)을 이용하므로써 안정된 박막을 얻을 수 있을 뿐만 아니라 균일한 박막을 얻을 수 있다.
- <43> 본 발명에서 금속전구체는 MX 또는 MX<sub>3</sub>이 되, 상기 M은 티타늄, 니켈, 코발트 또는 탄탈륨이고 X는 음이온성 리간드일 수 있다. 또한, 상기 X는 H, 탄소수 1 내지 10의 알킬, 탄소수 2 내지 10의 알케닐, 탄소수 1 내지 8의 알콕시, 탄소수 6 내지 12의 아릴, β-디케토테이트, 사이클로펜타디에닐, 탄소수 1 내지 8의 알킬사이클로펜타디에닐 및 이들에 할로젠족 원소가 치환된 유도체로 이루어진 군에서 선택된 어느 하나를 포함하는 것일 수 있다.
- <44> 한편, 상기 반응가스는 히드라진, 디메틸히드라진, 암모니아, NH<sub>2</sub>R, NHR<sub>2</sub>, NR<sub>3</sub>, 탄소수 1 내지 10의 알킬히드라진, 탄소수 1 내지 10의 디알킬히드라진 및 이들의 혼합물로 이루어진 군에서 선택된 어느 하나이 되, 상기 R은

탄소수 1 내지 10의 알킬, 탄소수 2 내지 10의 알케닐, 탄소수 1 내지 8의 알콕시 또는 탄소수 6 내지 12의 아릴일 수 있다. 이들 중에서 히드라진이 환원성이 강하기 때문에 바람직하다.

<45> 하기 반응식 1에는 금속 전구체와 히드라진이 반응하는 메커니즘을 나타내었다.

### 반응식 1

<46>  $2MX + 2N_2H_4 \rightarrow 2M + 2HX + 2NH_3 + N_2$

<47> 도 4a 내지 4c에는 원자층 증착법에 의하여 실리콘 나노선의 표면에 금속층이 적층되는 메커니즘을 도시하였다. 우선 반응챔버 내에 실리콘 나노선(50)을 로딩시킨 후, 100℃~900℃의 온도로 미리 가열을 하고 금속전구체(12)를 가열된 실리콘 나노선(50) 상에 약 5초 동안 공급하여 실리콘 나노선(50)의 표면에 흡착시킨다. 여기서, 도면부호 12'는 흡착된 금속전구체를 나타낸다. 다음으로, 금속전구체(12)의 공급을 중단하고 퍼지가스인 질소를 약 5초 동안 공급하여 실리콘 나노선(50)의 표면에 흡착된 금속전구체(12')를 제외한 미반응 금속 전구체(12)를 제거한다. 계속해서, 도 4b에 도시된 바와 같이, 반응가스인 히드라진(13)을 약 5초 동안 공급하여 상기 흡착된 금속전구체(12')와 반응시킨다. 그 다음, 도 3c에 도시된 바와 같이, 상기 히드라진과 흡착된 금속전구체가 상기 반응식 1에 의해 반응하여 금속막 원자층(14)과 휘발성 반응생성물(HX, NH<sub>3</sub>, N<sub>2</sub>)을 형성한다. 마지막으로, 상기 히드라진(13)의 공급을 중단하고 다시 퍼지가스인 질소를 약 5초 동안 공급하여 휘발성 반응생성물 및 미반응 히드라진을 제거함으로써 실리콘 나노선(50)의 표면에 고순도의 금속박막(60)을 방사상으로 적층시킬 수 있다. 한편, 상기 퍼지가스로는 질소외에 헬륨 또는 아르곤 가스를 사용할 수도 있다. 원자층 증착법은 증착되는 박막의 두께를 조절하기 용이한데, 상기 금속전구체, 퍼지가스, 반응가스, 퍼지가스를 연속적으로 공급하는 사이클을 1사이클로 설정했을 때, 상기 사이클을 연속적으로 실행하면 원하는 두께로 증착이 가능하다.

<48> 금속박막으로 코발트를 적층하는 경우에 금속전구체로서 β-디케토네이트 코발트 전구체를 사용하고 반응가스로서 히드라진을 사용할 수 있다.

<49> 한편, 스퍼터링방법에 의하여 금속박막을 적층시키는 경우, 상기 스퍼터링방법은 당업계에서 통상적으로 사용되는 방법에 의할 수 있다.

<50> 다음으로, 열처리를 통해 금속 규화물층을 형성하는 단계를 수행하는데, 상기 열처리 온도는 금속과 실리콘이 반응하여 금속규화물로 상전이를 일으키는 온도 범위이며, 금속의 종류에 따라 상이하다. 예를 들어, 코발트와 실리콘이 반응하여 Co<sub>2</sub>Si 또는 CoSi로 상전이를 일으키는 온도는 약 400℃ 내지 450℃ 사이의 온도로 알려져 있다. 또한, CoSi<sub>2</sub>로 상전이를 일으키는 온도는 약 600℃ 이상으로 알려져 있다. 따라서, 전술한 온도 조건에서 열처리를 하면, 상기 코발트와 실리콘이 서로 반응하여 Co<sub>2</sub>Si막 또는 CoSi막이 형성된다.

<51> 다음으로, 미반응 금속막을 제거하는 스트립 공정을 실시하게 되는데, 상기 스트립 공정은 인산, 초산 및/또는 질산 등과 같은 금속 식각제를 사용하는 습식 식각법을 사용하여 수행할 수 있다. 그 결과, 실리콘 나노선으로 이루어진 코어부의 표면에 금속규화물로 이루어진 표피부가 남아있게 된다.

<52> 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 본 발명의 예시에 불과하며 본 발명을 제한하는 것이 아니다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능하다는 것을 이해할 수 있을 것이다.

### 도면의 간단한 설명

<53> 도 1은 통상적인 샐리사이드(Salicide) 공정에 대한 개략도이다.

<54> 도 2는 본 발명에 따른 실리콘계 나노선 표면의 선택적 금속규화물화 방법의 제조공정도이다.

<55> 도 3a는 VLS 메커니즘에 의해 형성된 실리콘 나노선에 대한 개략도이다.

<56> 도 3b는 SLS 메커니즘에 의해 형성된 실리콘 나노선에 대한 개략도이다.

<57> 도 4는 원자층 증착법에 의하여 실리콘 나노선의 표면에 금속층이 적층되는 메커니즘을 나타내는 도면이다.

<58> <도면의 주요부분에 대한 부호의 설명>

<59> 10, 200: 실리콘기관

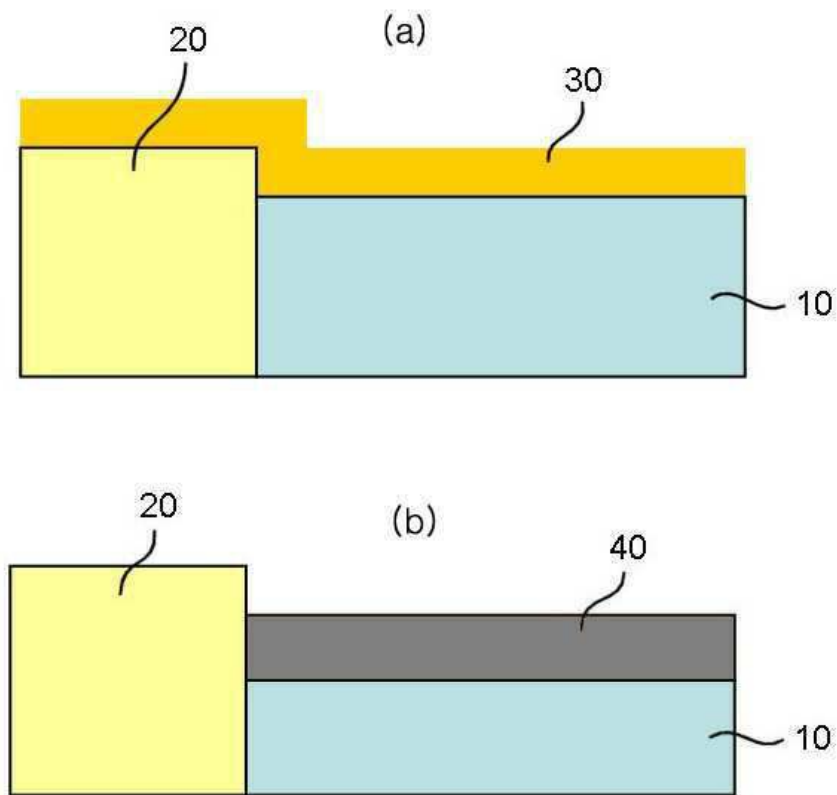
12: 금속전구체



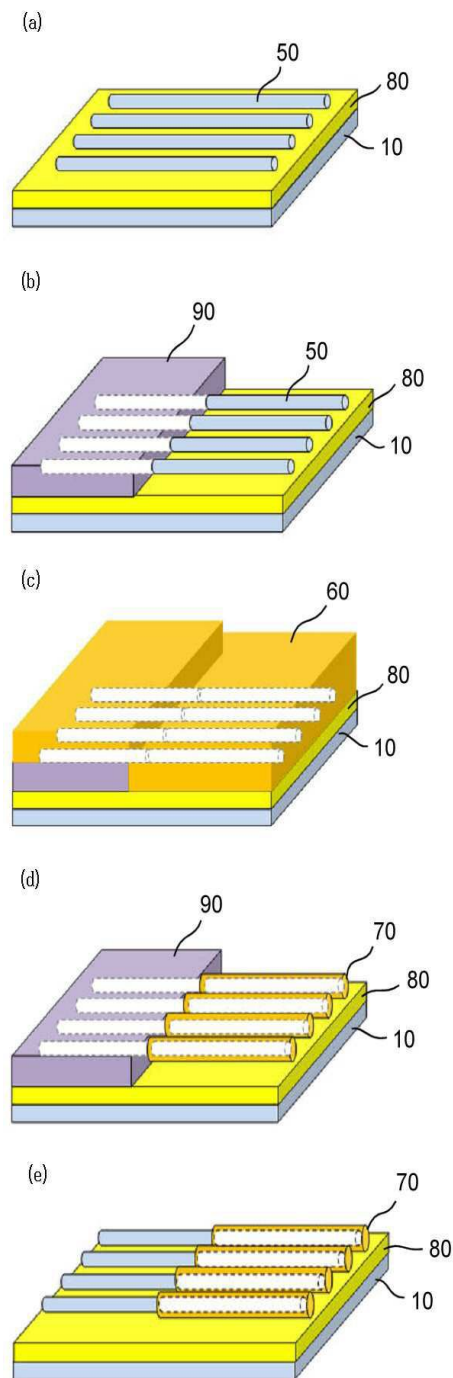
<60>	12': 흡착된 금속전구체	13: 히드라진
<61>	14: 금속막 원자층	20: 필드영역
<62>	30: 금속층	40: 금속규화물
<63>	50: 실리콘 나노선	51: 실리콘 코어부
<64>	52: 산화실리콘 표피	60: 금속박막
<65>	70: 금속규화물층	80: 실리콘 산화물층
<66>	90: 마스크 패턴	400: 촉매금속

## 도면

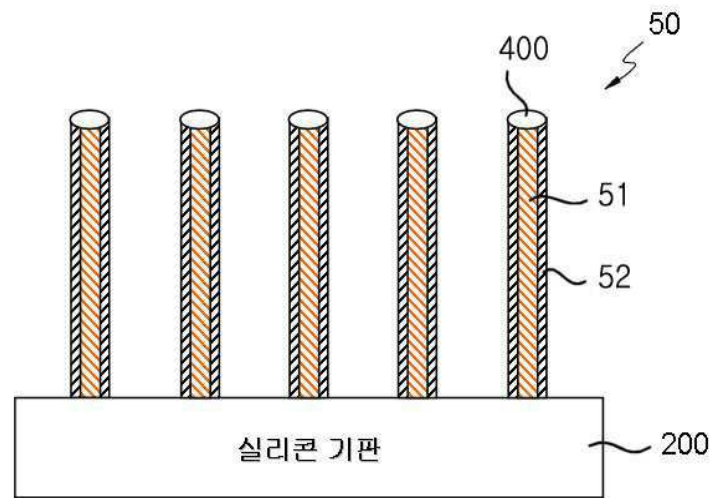
### 도면1



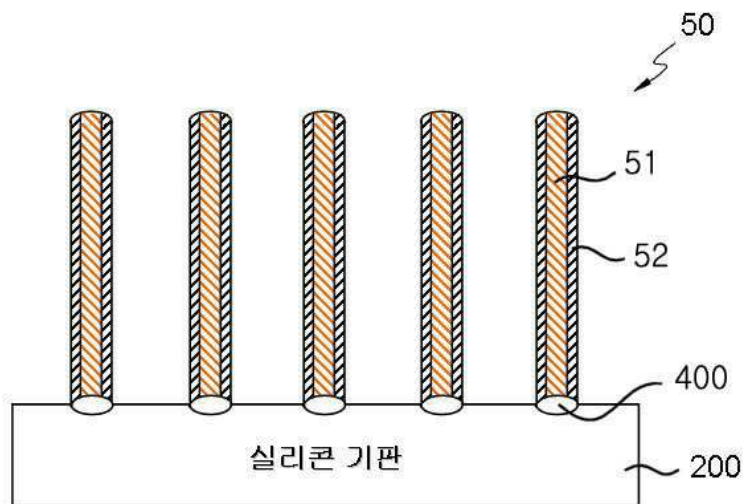
도면2



도면3a



도면3b



도면4

