



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0011543
(43) 공개일자 2009년02월02일

(51) Int. Cl.⁹

H04B 7/005 (2006.01) H04L 27/01 (2006.01)

(21) 출원번호 10-2007-0075218

(22) 출원일자 2007년07월26일

심사청구일자 2007년07월26일

(71) 출원인

연세대학교 산학협력단

서울 서대문구 신촌동 134 연세대학교

(72) 발명자

이기혁

서울시 강남구 역삼동 개나리푸르지오아파트 305동 1103호

성창경

서울시 도봉구 방학1동 삼성래미안아파트 103동 1102호

최우영

서울시 마포구 상수동 353-4 밤섬리오펠리스 101호

(74) 대리인

특허법인무한

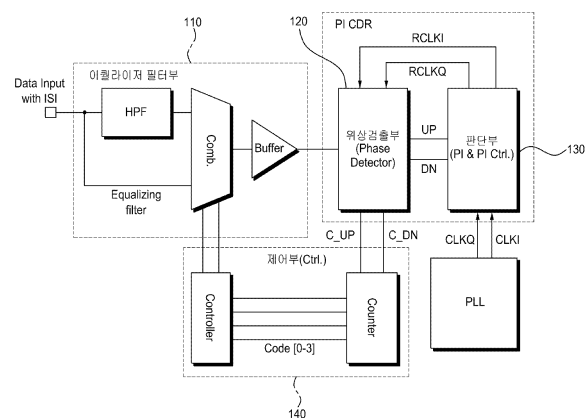
전체 청구항 수 : 총 13 항

(54) 위상 검출부의 출력을 이용한 고속 적응형 등화기 및 상기등화기를 제어하는 방법.

(57) 요약

본 발명의 위상 검출부의 출력을 이용한 고속 적응형 등화기는 소정의 채널 특성에 대응하는 고주파 증폭을 통한 아이-다이아그램(eye-diagram)을 갖는 신호를 출력하는 이퀄라이저 필터부, 상기 이퀄라이저 필터부로부터 출력된 신호를 수신하여 상기 신호의 위상을 검출하는 위상 검출부, 상기 위상 검출부로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단하는 판단부 그리고 상기 판단부의 판단 결과에 따라 생성된 이득 업 제어 신호 또는 이득 다운 제어 신호를 상기 이퀄라이저 필터부에 전송하여 이득을 제어하는 제어부를 포함한다.

대표도



특허청구의 범위

청구항 1

적응형 등화기에 있어서,

소정의 채널 특성에 대응하는 고주파 증폭을 통한 아이-다이아그램(eye-diagram)을 갖는 신호를 출력하는 이퀄라이저 필터부;

상기 이퀄라이저 필터부로부터 출력된 신호를 수신하여 상기 신호의 위상을 검출하는 위상 검출부;

상기 위상 검출부로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단하는 판단부; 그리고

상기 판단부의 판단 결과에 따라 생성된 이득 업 제어 신호 또는 이득 다운 제어 신호를 상기 이퀄라이저 필터부에 전송하여 이득을 제어하는 제어부

를 포함하여 이루어 지는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기.

청구항 2

제1 항에 있어서,

상기 판단부에, 클럭 복원 회로의 기준이 되는 클럭을 제공하는 위상 고정 루프부(PLL: Phase Locked Loop)를 더 부가하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기.

청구항 3

제1 항에 있어서,

상기 이퀄라이저 필터부는,

ISI(Inter-Symbol Interference)를 갖는 신호를 수신하여 상기 아이-다이아그램(eye-diagram)을 갖는 신호로 증폭하여 출력하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기.

청구항 4

제1 항에 있어서,

상기 판단부는,

상기 위상 검출부로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 늦은 상태(late status)이고, 제2 변이 상태는 기준점 보다 빠른 상태(early status)인 경우에는, 상기 신호의 주파수 이득을 증가시키는 이득 업 제어 신호를 생성하도록 판단하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기.

청구항 5

제1 항에 있어서,

상기 판단부는,

상기 위상 검출부로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 빠른 상태(early status)이고, 제2 변이 상태는 기준점 보다 늦은 상태(late status)인 경우에는, 상기 신호의 주파수 이득을 감소시키는 이득 다운 제어 신호를 생성하도록 판단하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기.

청구항 6

제1 항에 있어서,

상기 적응형 등화기는,

상기 위상 검출부를 통하여 출력되는 위상 클럭인 디지털 신호를 이용하여 이퀄라이저 필터부의 이득을 제어하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기.

청구항 7

적응형 등화기를 제어하는 방법에 있어서,

소정의 채널 특성에 대응하는 고주파 증폭을 통한 아이-다이아그램(eye-diagram)을 갖는 신호를 소정의 이퀄라이저 필터부를 이용하여 출력하는 단계;

상기 출력된 신호를 수신하여 상기 신호의 위상을 검출하는 단계;

상기 신호의 검출된 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단하는 단계; 그리고

상기 판단 결과에 따라 생성된 이득 업 제어 신호 또는 이득 다운 제어 신호를 상기 이퀄라이저 필터부에 전송하여 이득을 제어하는 단계

를 포함하여 이루어 지는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법.

청구항 8

제7 항에 있어서,

클럭 복원 회로의 기준이 되는 클럭을 제공하는 단계를 더 부가하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법.

청구항 9

제7 항에 있어서,

아이-다이아그램(eye-diagram)을 갖는 신호를 출력하는 단계는,

ISI(Inter-Symbol Interference)를 갖는 신호를 수신하여 상기 아이-다이아그램(eye-diagram)을 갖는 신호로 증폭하여 출력하는 단계인 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법.

청구항 10

제7 항에 있어서,

상기 신호의 검출된 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단하는 단계는,

상기 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 늦은 상태(late status)이고, 제2 변이 상태는 기준점 보다 빠른 상태(early status)인 경우에는, 상기 신호의 주파수 이득을 증가시키는 이득 업 제어 신호를 생성하도록 판단하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법.

청구항 11

제7 항에 있어서,

상기 신호의 검출된 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단하는 단계는,

상기 위상 검출부로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 빠른 상태(early status)이고, 제2 변이 상태는 기준점 보다 늦은 상태(late status)인 경우에는, 상기 신호의 주파수 이득을 감소시키는 이득 다운 제어 신호를 생성하도록 판단하는 것을 특징으로 하는 위상 검출부

의 출력을 이용한 고속 적응형 등화기를 제어하는 방법.

청구항 12

제7 항에 있어서,

상기 적응형 등화기는,

상기 위상 검출부를 통하여 출력되는 위상 클럭인 디지털 신호를 이용하여 이퀄라이저 필터부의 이득을 제어하는 것을 특징으로 하는 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법.

청구항 13

제7항 내지 제12항의 어느 한 항의 방법을 실행하기 위한 프로그램이 기록되어 있는 것을 특징으로 하는 컴퓨터에서 판독 가능한 기록 매체.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 위상 검출부의 출력을 이용한 고속 적응형 등화기에 관한 것으로서, 보다 상세하게는 위상 검출부의 출력을 이용해 간단한 구조의 디지털 방식으로 등화기의 이득을 제어할 수 있는 고속 적응형 등화기에 관한 것이다.

배경 기술

- <2> 등화기(Equalizer)는 신호의 증폭이나 전송 과정에서 생기는 변형을 보정하기 위하여 증폭이나 전송로에 삽입하고, 그 특성을 종합해서 균일화하는 기능을 갖게 한 장치를 의미한다.
- <3> 즉, 신호의 입출력간 전체로서의 주파수 특성을 필요한 범위로 균등하게 하기 위하여 삽입하므로, 등화기의 주파수특성은 전송로 등의 그것과 상보적으로 조정할 수 있게 되어 있다.
- <4> 동축 케이블을 사용한 광대역 다중통신로에서는 계절적인 온도변화에 의한 케이블의 전기저항 변화가 등화의 대상이 되며, 마이크론이나 스피커 등과 같이 한쪽이 전기 이외의 신호일 때에도 종합특성의 균일화를 위하여 사용된다.
- <5> 일반적으로, 고속 시리얼 인터페이스에 사용되는 등화기(Equalizer) 기술은 Pre-emphasis, Decision Feedback Equalizer, Tap-delay line filter 등 다양한 구조로 설계된다.
- <6> 기존의 split-path 형태의 등화기(equalizer)의 어댑테이션(adaptation) 방식은 스펙트럼 필터링(spectrum filtering) 방식으로 고주파 성분과 저주파 성분의 파워 스펙트럼(power spectrum)을 리제너레이터(regenerator)를 통해 생성해낸 기준이 되는 데이터의 각 고주파 성분과 저주파 성분을 비교해 등화기의 각 패스(path)를 제어하거나 저주파 패스 대신 리제너레이터의 스윙(swing)을 제어하는 방식으로 설계되었다.
- <7> 하지만, 상기와 같은 방식은 데이터 전송을 위한 칩 인터페이스에 사용되는 블록 면적이 넓어 많은 전력이 필요할 뿐만 아니라, 아날로그 방식에 의한 제어 방식이기 때문에 노이즈의 영향이 심한 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명은 상술한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 데이터 전송을 위한 칩 인터페이스에 사용되는 블록으로 가능한 적은 면적을 제공하여 공간 효율성을 제고함에 그 목적이 있다.
- <9> 또한, 본 발명은 등화기의 동작에 필요한 전력 소모를 최소화하는데 그 목적이 있다.
- <10> 또한, 본 발명은 다양한 채널 환경이나 거리에 대해 적합한 이득을 제공하는데 그 목적이 있다.

<11> 또한, 본 발명은 등화기의 적응 제어 방식을 아날로그에서 디지털 방식으로 바꿈으로써 노이즈 영향을 받지 않으며 안정적으로 동작하도록 함에 그 목적이 있다.

과제 해결수단

<12> 상기의 목적을 달성하고, 상술한 종래기술의 문제점을 해결하기 위하여, 본 발명 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기는 소정의 채널 특성에 대응하는 고주파 증폭을 통한 아이-다이아그램(eye-diagram)을 갖는 신호를 출력하는 이퀄라이저 필터부, 상기 이퀄라이저 필터부로부터 출력된 신호를 수신하여 상기 신호의 위상을 검출하는 위상 검출부, 상기 위상 검출부로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단하는 판단부 그리고 상기 판단부의 판단 결과에 따라 생성된 이득 업 제어 신호 또는 이득 다운 제어 신호를 상기 이퀄라이저 필터부에 전송하여 이득을 제어하는 제어부를 포함한다.

<13> 또한, 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법은, 소정의 채널 특성에 대응하는 고주파 증폭을 통한 깨끗한 아이-다이아그램(eye-diagram)을 갖는 신호를 소정의 이퀄라이저 필터부를 이용하여 출력하는 단계, 상기 출력된 신호를 수신하여 상기 신호의 위상을 검출하는 단계, 상기 신호의 검출된 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단하는 단계 그리고 상기 판단 결과에 따라 생성된 이득 업 제어 신호 또는 이득 다운 제어 신호를 상기 이퀄라이저 필터부에 전송하여 이득을 제어하는 단계를 포함한다.

효과

<14> 본 발명에 따르면 데이터 전송을 위한 칩 인터페이스에 사용되는 블록으로 가능한 적은 면적을 제공할 수 있다.

<15> 또한, 본 발명에 따르면 등화기의 동작에 필요한 전력 소모를 최소화할 수 있는 장점이 있다.

<16> 또한, 본 발명에 따르면 다양한 채널 환경이나 거리에 대해 적합한 이득을 제공할 수 있다.

<17> 또한, 본 발명에 따르면 등화기의 적응 제어 방식을 아날로그에서 디지털 방식으로 바꿈으로써 노이즈 영향을 받지 않으며 안정적으로 동작할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<18> 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

<19> 도 1은 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 구성을 도시한 블록도이고, 도 2는 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 이퀄라이저 필터부의 구성을 도시한 상세도이다.

<20> 본 발명의 위상 검출부의 출력을 이용한 고속 적응형 등화기는 예를 들어, 도 2에 도시된 바와 같이, 스플릿 패스(Split-path) 형태의 간단한 구조의 등화기(Equalizer)를 사용하여 구현하는 것을 기초로 한다. 물론, 본 발명의 권리범위가 이에 한정되는 것은 결코 아니다.

<21> 또한, 본 발명의 고속 적응형 등화기(100)는 위상 검출부 및 판단부를 이용하여 위상에 동기된 클럭내 서로 인접하는 두 변이를 비교하여 이득 제어 신호를 생성하며, 생성된 이득 제어 신호는 최초 신호를 출력하는 이퀄라이저 필터부로 다시 전송되는 루프형 회로를 이용하여 설계 가능하다.

<22> 상기와 같은 회로를 구동하는 각 구성 요소를 이용하여 고속 적응형 등화기(100)를 제어하는 방법에 따라 순차적으로 설명하기로 한다.

<23> 도 3은 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 구성을 상세히 도시한 상세 블록도이다.

<24> 먼저, 이퀄라이저 필터부(110)는 소정의 채널 특성에 대응하는 고주파 증폭을 통한 아이-다이아그램(eye-diagram)을 갖는 신호를 출력한다.

- <25> 이때, 이퀄라이저 필터부(110)는, ISI(Inter-Symbol Interference)를 갖는 신호를 수신하여 상기 아이-다이어그램(eye-diagram)을 갖는 신호로 증폭하여 출력한다.
- <26> 즉, 이퀄라이저 필터부(110)는 스플릿 패스(split-path) 형태로 양쪽 패스의 웨이팅(weighting)을 콤바이너(combiner)를 통하여 조절함으로써, 등화기(Equalizer)의 이득(gain)을 제어할 수 있으며, 이퀄라이저 필터(110)의 출력 신호는 버퍼(buffer)를 통하여 클럭 및 데이터 복원 회로의 위상 검출부(120)로 전송된다.
- <27> 다음으로, 위상 검출부(120)는 상기 이퀄라이저 필터부(110)로부터 출력된 신호를 수신하여 상기 신호의 위상을 검출한다.
- <28> 이때, 위상 검출부(120)는 상기 신호의 위상에 동기된 클럭을 생성하기 위한 위상 제어 신호의 위상을 검출한다.
- <29> 위상 검출부(120)는 위상 검출기(Phase Detector)를 포함하며, 그에 따라 위상 검출기를 이용하여 위상을 검출하는 방식 또한 적용될 수도 있다.
- <30> 또한, 본 발명의 고속 적응형 등화기(100)는, 위상 검출부(120)를 통하여 출력되는 위상 클럭인 디지털 신호를 이용하여 이퀄라이저 필터부의 이득을 제어할 수도 있다.
- <31> 다음으로, 판단부(130)는 상기 위상 검출부(120)로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단한다.
- <32> 또한, 판단부(130)는 클럭 복원 회로의 기준이 되는 클럭을 제공하는 위상 고정 루프부(PLL: Phase Locked Loop)를 더 부가함으로써, 상기 클럭을 일정하게 유지할 수 있도록 한다.
- <33> 도 4는 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 이득 상태를 검출해 내는 방법을 도시한 도면이다.
- <34> 도시된 바와 같이, 판단부(130)는, 위상 검출부(110)로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 늦은 상태(late status)이고, 제2 변이 상태는 기준점 보다 빠른 상태(early status)인 경우에는, 상기 신호의 주파수 이득을 증가시키는 이득 업(C_UP) 제어 신호를 생성하도록 판단한다.
- <35> 또한, 판단부(130)는, 위상 검출부(110)로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 빠른 상태(early status)이고, 제2 변이 상태는 기준점 보다 늦은 상태(late status)인 경우에는, 상기 신호의 주파수 이득을 감소시키는 이득 다운(C_DN) 제어 신호를 생성하도록 판단한다. 다만, UP1과 DN2, 그리고 DN1, UP2 신호에 대해서는 도 5를 통해 간단히 설명하도록 하겠다.
- <36> 즉, 상기와 같이 제1 변이 상태 및 제2 변이 상태를 서로 비교하여 상기 신호의 주파수 이득에 대하여 최적의 값을 구할 수 있다. 이와 같이, 종래와 달리 인접하는 두 변이 상태를 체크하여 그 결과값을 이용한다는 점이, 본 발명의 일특징이다. 또한, 이로 인하여, 이득 제어의 정확성을 제고할 수 있는 장점이 있다.
- <37> 다음으로, 제어부(140)는 판단부(130)의 판단 결과에 따라 생성된 이득 업 제어 신호 또는 이득 다운 제어 신호를 이퀄라이저 필터부(110)에 전송하여 이득을 제어한다.
- <38> 즉, 제어부(140)는 판단부(130)의 판단 결과에 따라 생성되는 이득 제어 신호인 이퀄라이저 필터부(110)의 이득 상태를 검출하여 최적의 이득 상태 값을 피드백(Feedback)하여 이퀄라이저 필터부(110)에 전송하여 제어하도록 한다.
- <39> 본 발명은 상기와 같이 구조와 설계가 간단하여 적은 면적을 차지하고 전력 소모 또한 작게 만들 수 있는 장점이 있으며, 이를 이용한 설계를 다음과 같이 예를 들어 설명하기로 한다.
- <40> 도 5는 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 회로도이고, 도 6은 도 5의 회로에 따른 등화기의 이득 제어 신호를 도시한 흐름도이다.
- <41> 도 5에 도시된 바와 같이, 예를 들어, 일반적인 위상 검출기의 구조를 본 발명을 이용하여 개서된 구조로 변경할 수 있으며, 도 6에 도시된 바와 같이, 각 노드에서 샘플링(sampling)되는 부분을 데이터로 표시할 수도 있다.

- <42> 즉, 본 발명은 위상 검출부(120)와 판단부(130)를 통하여 첫 번째 엣지(edge)와 두 번째 엣지(edge)에서의 위상 차이를 나타내는 신호를 UP1 및 DN1과 UP2 및 DN2로 나타내며 한 쪽 엣지의 위상 정보는 클럭 복원 회로를 제어하는데 쓰이게 되면 두 엣지의 위상 정보는 AND 게이트(gate)를 통하여 등화기의 이득 제어 신호 C_UP 또는 C_DN 신호를 출력할 수 있도록 설계한다.
- <43> 또한, 본 발명은 상기 출력된 신호를 제어부(140)의 카운터(Counter)를 통하여 이퀄라이저 필터부(110)에 제공되는 최적의 이득 제어 신호로 조절할 수도 있다.
- <44> 도 7은 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법을 도시한 흐름도이다.
- <45> 본 발명의 방법은 고속 적응형 등화기(100)를 이용하여 수행할 수 있으며, 그 방법을 아래와 같이 순차적으로 설명하기로 한다.
- <46> 먼저, 이퀄라이저 필터부(110)는 소정의 채널 특성에 대응하는 고주파 증폭을 통한 아이-다이아그램(eye-diagram)을 갖는 신호를 출력한다(S710).
- <47> 본 단계(S710)는 이퀄라이저 필터부(110)를 이용하여 ISI(Inter-Symbol Interference)를 갖는 신호를 수신하여 상기 아이-다이아그램(eye-diagram)을 갖는 신호로 증폭하여 출력하는 단계이다.
- <48> 즉, 본 단계(S710)에서 이퀄라이저 필터부(110)는 스플릿 패스(split-path) 형태로 양쪽 패스의 웨이팅(weighting)을 콤바이너(combiner)를 통하여 조절함으로써, 등화기(Equalizer)의 이득(gain)을 제어할 수 있으며, 이퀄라이저 필터(110)의 출력 신호는 버퍼(buffer)를 통하여 클럭 및 데이터 복원 회로의 위상 검출부(120)로 전송된다.
- <49> 다음으로, 위상 검출부(120)는 상기 이퀄라이저 필터부(110)로부터 출력된 신호를 수신하여 상기 신호의 위상을 검출한다(S720).
- <50> 본 단계(S720)는, 위상 검출부(120)를 이용하여 상기 신호의 위상에 동기된 클럭을 생성하기 위한 위상 제어 신호의 위상을 검출하는 단계이다.
- <51> 이때, 위상 검출부(120)는 위상 검출기(Phase Detector)를 포함하며, 그에 따라 위상 검출기를 이용하여 위상을 검출하는 방식 또한 적용될 수도 있다.
- <52> 또한, 본 발명의 방법은, 위상 검출부(120)를 통하여 출력되는 위상 클럭인 디지털 신호를 이용하여 이퀄라이저 필터부(110)의 이득을 제어할 수도 있다.
- <53> 다음으로, 판단부(130)는 상기 위상 검출부로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태와 제2 변이 상태를 이용하여, 이득 업(up) 제어 신호 또는 이득 다운(down) 제어 신호를 생성할지 여부를 판단한다(S730).
- <54> 본 단계(S730)에서 판단부(130)는 클럭 복원 회로의 기준이 되는 클럭을 제공하는 위상 고정 루프부(PLL: Phase Locked Loop)를 더 부가함으로써, 상기 클럭을 일정하게 유지할 수 있도록 한다.
- <55> 상기 단계(S730)에서 판단부(130)는 위상 검출부(110)로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 빠른 상태(early status)이고, 제2 변이 상태는 기준점 보다 늦은 상태(late status)인 경우에는, 상기 신호의 주파수 이득을 증가시키는 이득 다운(C_DN) 제어 신호를 생성하도록 판단한다(S740).
- <56> 또한, 상기 단계(S730)에서 판단부(130)는 위상 검출부(110)로부터 검출된 신호의 위상에 동기된 클럭내 서로 인접하는 제1 변이(transition) 상태가 기준점 보다 늦은 상태(late status)이고, 제2 변이 상태는 기준점 보다 빠른 상태(early status)인 경우에는, 상기 신호의 주파수 이득을 감소시키는 이득 업(C_UP) 제어 신호를 생성하도록 판단한다(S750).
- <57> 즉, 상기와 같이 제1 변이 상태 및 제2 변이 상태를 서로 비교하여 상기 신호의 주파수 이득에 대하여 최적의 값을 구할 수 있다.
- <58> 다음으로, 제어부(140)는 판단부(130)의 판단 결과에 따라 생성된 이득 업 제어 신호 또는 이득 다운 제어 신호를 이퀄라이저 필터부(110)에 전송하여 이득을 제어한다(S760).

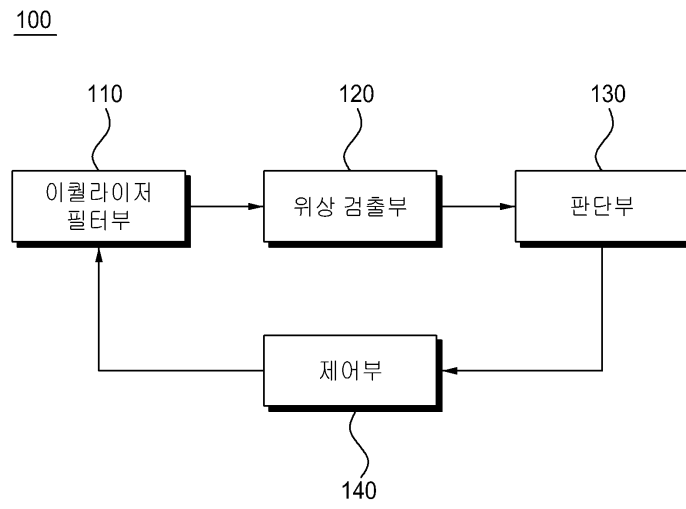
- <59> 즉, 본 단계(S760)에서 제어부(140)는 판단부(130)의 판단 결과에 따라 생성되는 이득 제어 신호인 이퀄라이저 필터부(110)의 이득 상태를 검출하여 최적의 이득 상태 값을 피드백(Feedback)하여 이퀄라이저 필터부(110)에 전송하여 제어하도록 한다.
- <60> 본 발명에 따른 실시예들은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(Floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- <61> 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

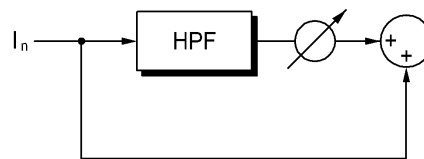
- <62> 도 1은 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 구성을 도시한 블록도이다.
- <63> 도 2는 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 이퀄라이저 필터부의 구성을 도시한 상세도이다.
- <64> 도 3은 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 구성을 상세히 도시한 상세 블록도이다.
- <65> 도 4는 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기의 이득 상태를 검출해 내는 방법을 도시한 도면이다.
- <66> 도 5는 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기 제어 신호를 발생하기 위한 회로도이다.
- <67> 도 6은 도 5의 회로에 따른 데이터의 샘플된 신호를 도시한 흐름도이다.
- <68> 도 7은 본 발명의 일실시예에 따른 위상 검출부의 출력을 이용한 고속 적응형 등화기를 제어하는 방법을 도시한 흐름도이다.
- <69> <도면의 주요 부분에 대한 부호의 설명>
- <70> 100: 고속 적응형 등화기
- <71> 110: 이퀄라이저 필터부
- <72> 120: 위상 검출부
- <73> 130: 판단부
- <74> 140: 제어부

도면

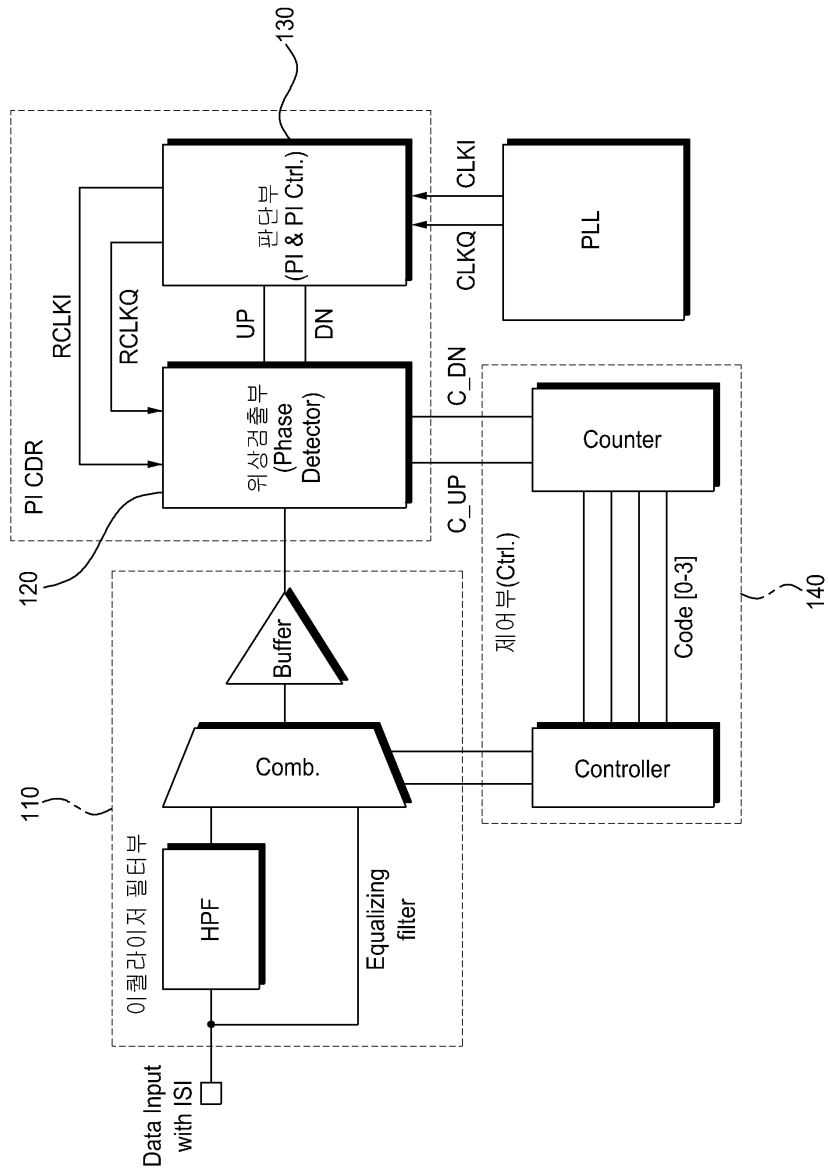
도면1



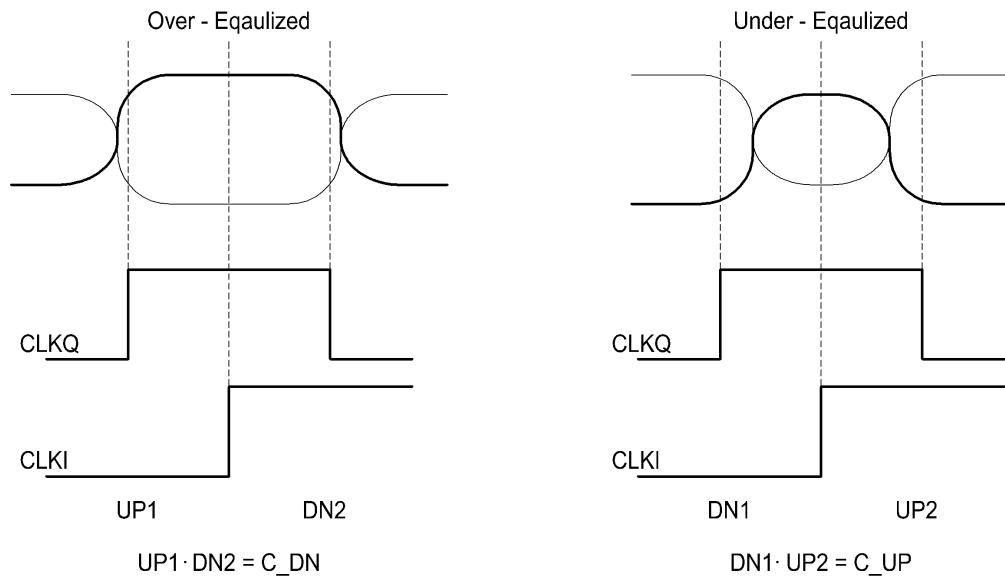
도면2



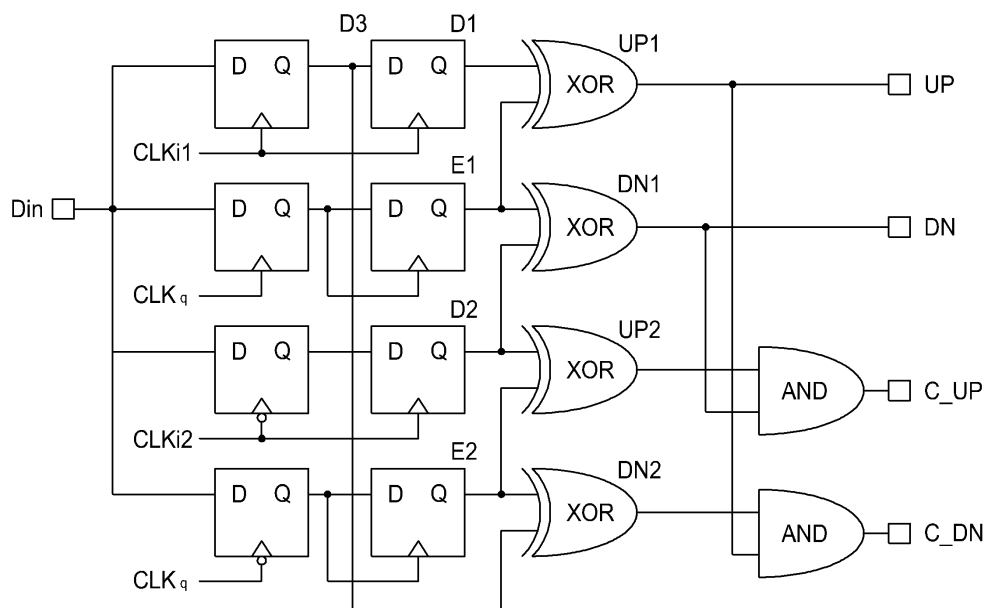
도면3



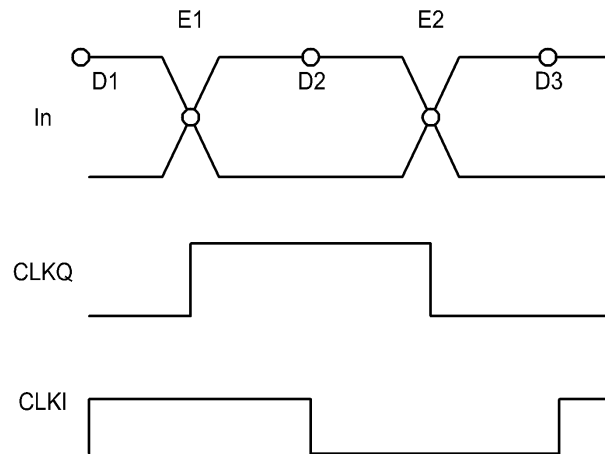
도면4



도면5



도면6



도면7

