



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0117715
(43) 공개일자 2007년12월13일

(51) Int. Cl.

G11C 29/12 (2006.01)

(21) 출원번호 10-2006-0051665

(22) 출원일자 2006년06월09일

심사청구일자 2006년06월09일

(71) 출원인

연세대학교 산학협력단

서울 서대문구 신촌동 134 연세대학교

(72) 발명자

강성호

서울 종로구 무악동 82번지 현대아파트 109-1403

김유빈

서울 마포구 창전동 쌍용 스윗닷홈 101-1401

송동섭

서울 강서구 등촌3동 688번지 주공3단지 304-1306

(74) 대리인

리앤목특허법인

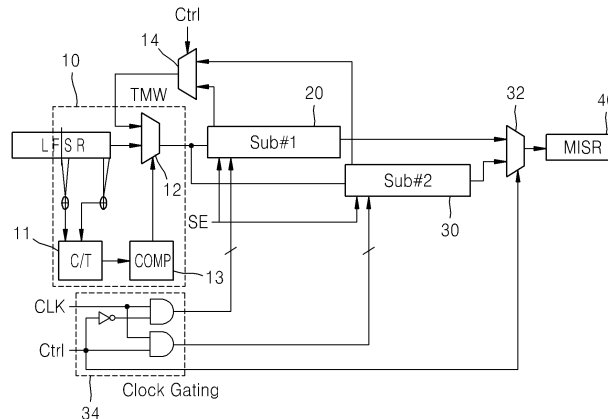
전체 청구항 수 : 총 8 항

(54) 유사랜덤 비아이에스티 기반의 통합 스캔전이 감소회로 및방법

(57) 요약

본 발명은 스캔에 인가되는 패턴의 조절과 캡처된 후 빠져나가는 응답의 천이감소를 통합하여 기존의 분리된 방법에 비해 월등히 좋은 천이 감소효과를 보일 수 있는 통합 스캔전이 감소회로에 관한 것이다. 이를 위해 LFSR(Linear Feedback Shifter Register)의 천이 경향을 감시하여 저전력 패턴을 생성시켜 주는 TMW(Transition Monitoring Window) 패턴생성기를, 스캔으로부터 빠져 나가는 응답(response)이 일으키는 이동 천이를 줄이기 위한 계층적 스캔 구조와 통합하였고 ISCAS'89 벤치마크 회로를 이용하여 실험하였다. 그 결과 TMW에 의해 평균 약 60% 정도의 스캔 인가시 천이를 감소시킨 것을 볼 수 있고 또한 계층 스캔 체인의 도입으로 인해 단순히 TMW만 적용한 구조에 비해 추가적으로 약 25% 정도 더 저전력 효과를 얻었음을 확인할 수 있다. 캡처 된 후 스캔으로부터 배출 되는 패턴은 계층 스캔 체인을 적용하지 않았을 때와 계층 스캔 체인이 적용되었을 때의 천이수를 기준으로 비율을 계산하였는데, 평균 약 26% 정도의 천이 절감 효과를 얻을 수 있었다.

대표도 - 도1



특허청구의 범위

청구항 1

BIST 장치에 있어서,

스캔에 인가되는 패턴의 천이를 감소시키는 수단과,

캡처된 후 스캔으로부터 배출되는 응답의 이동 천이를 감소시키는 수단을 포함하는, 유사랜덤 BIST 기반의 통합 스캔천이 감소회로.

청구항 2

제1항에 있어서, 상기 스캔에 인가되는 패턴의 천이를 감소시키는 수단은

소정 경향의 테스트패턴을 생성하는 LFSR,

상기 LFSR에서 출력되는 패턴의 천이수를 소정 기준치(k-value)와 비교하여 천이수가 k-value보다 클 경우는 직전에 스캔에 인가된 패턴을 피드백하여 천이가 억제된 벡터가 스캔에 인가되도록 하고, 상기 천이수가 k-value보다 적을 경우에는 LFSR에서 원래 생성된 패턴을 변형 없이 스캔에 인가되도록 하는 천이감시윈도우를 포함하는, 유사랜덤 BIST 기반의 통합 스캔천이 감소회로.

청구항 3

제2항에 있어서, 상기 k-value는 아래의 식으로 구해지는 것을 특징으로 하는, 유사랜덤 BIST 기반의 통합 스캔천이 감소회로.

$$k\text{-value} = \frac{TMWsize-1}{2} + 1, \text{ 단 } TMWsize = \frac{LFSRsize}{2}$$

청구항 4

제1항에 있어서, 상기 스캔으로부터 배출되는 응답의 이동 천이를 감소시키는 수단은

제1, 제2서브스캔(sub-scan),

입력되는 테스트 패턴이 제1서브스캔에 먼저 채워지도록 제1서브스캔을 동작시키는 제1클록과, 제1서브스캔이 채워진 다음에 제2서브스캔을 동작시키는 제2클록을 발생시키는 게이트드 클록모듈,

두 서브스캔이 모두 채워졌을 때에 이전 패턴에 의해 발생된 응답이 출력되는 MISR을 포함하는, 유사랜덤 BIST 기반의 통합 스캔천이 감소회로.

청구항 5

BIST 방법에 있어서,

스캔에 인가되는 패턴의 천이를 감소시키는 단계와,

캡처된 후 스캔으로부터 배출되는 응답의 이동 천이를 감소시키는 단계를 포함하는, 유사랜덤 BIST 기반의 통합 스캔천이 감소방법.

청구항 6

제5항에 있어서, 상기 스캔에 인가되는 패턴의 천이를 감소시키는 단계는

테스트 패턴의 천이수를 소정 기준치(k-value)와 비교하여 천이수가 k-value보다 클 경우는 직전에 스캔에 인가된 패턴을 피드백하여 천이가 억제된 벡터가 스캔에 인가되도록 하고, 상기 천이수가 k-value보다 적을 경우에는 LFSR에서 원래 생성된 패턴을 변형 없이 스캔에 인가되도록 하는 단계를 포함하는, 유사랜덤 BIST 기반의 통합 스캔천이 감소방법.

청구항 7

제6항에 있어서, 상기 k-value는 아래의 식으로 구해지는 것을 특징으로 하 유사랜덤 BIST 기반의 통합 스캔천이 감소방법.

$$k\text{-value} = \frac{TMWsize-1}{2} + 1, \text{ 단 } TMWsize = \frac{LFSRsize}{2}$$

청구항 8

제5항에 있어서, 상기 스캔으로부터 배출되는 응답의 이동 천이를 감소시키는 단계는 스캔을 제1, 제2서브스캔(sub-scan)으로 분할하는 단계,

입력되는 테스트 패턴이 제1서브스캔에 먼저 채워지도록 제1서브스캔을 동작시키는 제1클럭과, 제1서브스캔이 채워진 다음에 제2서브스캔을 동작시키는 제2클럭을 발생시키는 단계,

두 서브스캔이 모두 채워졌을 때에 이전 패턴에 의해 발생된 응답을 출력하는 단계를 포함하는, 유사랜덤 BIST 기반의 통합 스캔천이 감소방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 BIST에 관한 것으로서, 구체적으로는, BIST에서 가장 큰 전력 소모를 하는 부분인 스캔과 관련한 천이(transition)를 감소하기 위해 scan-in, scan-out을 고려하는 기술에 관한 것이다. 보다 구체적으로 본 발명은 스캔에 인가되는 패턴의 조절과 캡처된 후 빠져나가는 패턴의 천이감소를 통합하여 기존의 분리된 방식에 비해 월등히 좋은 천이 감소효과를 보일 수 있는 통합 스캔천이 감소회로 (TOSCA: Total Scan Power Reduction Architecture)에 관한 것이다.
- <8> BIST(Built-in Self Test)는 회로의 고장 유무를 판단하기 위한 로직으로서 고가의 ATE(Automated Test Equipment)를 대체하고 at-speed 테스트를 가능하게 하는 DFT(Design for Testability)의 대표적인 기법이다. 하지만 일반 동작 모드(normal functional mode)에 비해 테스트 모드(test mode)에 인가되는 패턴의 연관성(correlation)이 매우 낮아 그로 인한 초과 천이로 발생하는 열이 회로에 치명적인 손상을 입힐 수 있기 때문에 이러한 테스트 모드 적용시의 전력 문제는 매우 중요한 고려 사항 중 하나이다.
- <9> 종래의 BIST에 있어서는 다음과 같은 문제가 있다.
- <10> 스캔(scan) 기반의 테스트시 가장 전력을 많이 소비하는 부분은 스캔의 이동(shifting)과 관련한 부분으로 스캔에 입력되는 패턴의 SA(Switching Activity) 조작을 통해 저전력을 구현하는 방법들이 있다. 이러한 방법은 주로 저전력 패턴을 생성하는 생성기에 관한 방법으로 유사 랜덤(pseudo random) BIST에 적용되기 용이한 구조이다. 이러한 방법은 인가되는 패턴의 변형을 일으킬 수 있기 때문에 고장 검출율(fault coverage)을 유지하면서 천이를 줄이는 방향으로 접근하여야 한다.
- <11> 스캔이 이동되는 동안 조합회로(combinational circuit)로 인가되는 패턴으로 인한 불필요한 천이를 막기 위해 스캔과 조합 회로의 경계단에 블로킹(blocking) 회로를 추가하여 스캔이 동작하는 동안에는 천이가 발생하는 것을 원천적으로 막거나 일부를 확률적으로 줄이는 기법들이 연구되었다. 하지만 이러한 방법들의 가장 큰 단점은 블로킹 회로를 구성하기 위해 삽입되는 요소들의 하드웨어 오버헤드가 다른 방법들에 비해 다소 크다는 문제가 있다.
- <12> 스캔에 완전히 패턴이 인가된 후 캡처(capture)를 위한 클럭이 인가되고 고장 유무를 판단하기 위한 중요한 기준이 되는 응답(response)은 스캔 입력 패턴과는 달리 임의적인 변형을 가해 값을 변질시켜서는 안되는 특성을 갖는다. 그러므로 첫 패턴이 인가된 후 캡처되어 다음 패턴이 스캔에 업데이트되는 동안 스캔을 빠져 나가는 천이를 줄이기 위한 계층적인 스캔 체인 구조를 구성하여 응답이 스캔을 빠져나가는 물리적 길이를 줄이고자 하는 비교적 간단한 방법을 채택하는데, 이러한 방법은 분리된 스캔 체인을 동작하기 위해 게이티드 클럭(gated

clock)을 사용하기 때문에 클록트리(clock tree)의 밀도를 줄일 수 있는 장점이 있는 반면에, 경우에 따라서는 매우 복잡한 알고리즘을 통한 체인 구성을 요구하기도 한다.

발명이 이루고자 하는 기술적 과제

<13> 본 발명은 스캔에 인가되는 패턴의 조절과 캡처된 후 빠져나가는 패턴의 천이감소를 통합하여 기존의 분리된 방법에 비해 월등히 좋은 천이 감소효과를 보일 수 있는 통합 스캔천이 감소회로(TOSCA: Total Scan Power Reduction Architecture)를 제안하고자 한다. 이를 위해 LFSR(Linear Feedback Shift Register)의 천이 경향을 감시하여 저전력 패턴을 생성시켜 주는 TMW(Transition Monitoring Window) 패턴생성기를 스캔으로부터 빠져 나가는 응답이 일으키는 이동 천이를 줄이기 위한 계층적 스캔 구조와 통합하였고 ISCAS'89 벤치마크 회로를 이용하여 실험하였다.

<14> 따라서 본 발명의 목적은 scan-in과 scan-out의 천이를 동시에 줄일 수 있는 통합구조로서, 게이트드 클록을 채택함으로써 클록트리의 천이밀도(transition density)를 함께 줄이는, 통합스캔 천이 감소회로를 제공하는 것이다.

발명의 구성 및 작용

<15> <스캔에 인가되는 패턴의 천이감소>

<16> LFSR은 하드웨어의 구조가 비교적 간단하여 BIST의 패턴생성기로 가장 일반적으로 쓰이는데, 본 발명에서는 LFSR의 패턴의 천이 경향을 감시하여 저전력 패턴을 생성하는 구조로 변형하여 사용한다. 우선 LFSR에서 생성되는 패턴의 천이 경향을 살펴보기 위해 '패턴 천이(pattern transition)'라는 개념을 사용하는데 이는 스캔 체인에 패턴이 완전히 인가되었을 때 이웃하고 있는 벡터(vector)의 값이 서로 다른 경우 '1'을 증가시킨다. 예를 들어, 5개의 스캔을 갖는 체인에 P(1,0,0,1,0)이라는 패턴이 완전히 인가되었을 때의 패턴천이 수는 3이 된다. 이러한 패턴 천이수를 벤치마크 회로를 이용하여 계산해보면 그 분포가 유사 가우시안 분포(pseudo Gaussian distribution)를 갖는 것을 발견할 수 있다. 즉, 도 2에서 보는 바와 같이 벤치마크 회로 중 하나인 s38584의 5,000개 패턴을 이용하여 패턴 천이수를 그래프로 그린 그림은 유사 가우시안 분포를 보임을 알 수 있다.

<17> 다른 벤치마크 회로에 대한 추가 실험을 통해 분포의 평균축을 $(n-1)/2$ 로 예측할 수 있다. 그 이유는 n개의 스캔을 갖는 체인에서는 최고 $(n-1)$ 개의 천이 요소(transition factor)가 존재하는데 분포가 유사 가우시안 분포를 가지기 때문이다. 실제 패턴을 기준으로 측정한 평균 패턴천이수와 비교한 결과를 표 1에 나타내었다. 표 1은 $(n-1)/2$ 과 실제 측정한 평균 패턴천이수의 비교표이다. 표 1의 결과에서 보듯이 예측한 평균 패턴천이수인 $(n-1)/2$ 과 실제 측정 평균치가 거의 차이가 없으므로 $(n-1)/2$ 을 LFSR에서 생성되는 패턴 천이수의 평균값으로 간주하기로 한다.

표 1

<18>

| 회로종류 | 평균 패턴 천이수 | $(n-1)/2$ | 스캔 입력단수 |
|--------|-----------|-----------|---------|
| s838 | 22.77 | 15.5 | 32 |
| s1432 | 36.5 | 36.5 | 74 |
| s9234 | 113.6 | 113.5 | 228 |
| s13207 | 334.2 | 334 | 669 |
| s38417 | 817.4 | 817.5 | 1636 |
| s38584 | 725.3 | 725.5 | 1452 |

<19> 평균 패턴천이수인 $(n-1)/2$ 을 이동시켜 유사 가우시안 분포를 갖는 패턴의 분포 형태를 바꾸도록 하여 일정 천이 수 이상이 동시에 생성되지 않도록 할 수 있다면 저전력의 패턴을 생성할 수 있다. 즉, 만약 어떤 범위 내의 패턴천이수가 일정 수를 넘게 되면 최후로 스캔에 인가된 벡터를 재인가하여 연관성을 높여 천이가 감소된 저전력 패턴을 생성하도록 하며, 일정 수를 넘지 않은 경우는 LFSR에서 생성된 원래의 패턴을 인가하도록 하는 방법이다. 이때 천이 허용 범위를 결정하는 일정 수를 k-value라 하고, 천이 경향이 k-value를 넘는지 그렇지 않은지를 감지하는 장치를 TMW라고 한다. TMW 구조에서는 평균 패턴천이수인 $(n-1)/2$ 을 이동시키기 위한 α 로 이루어지는데 이는 수학적 식 1에 표현되어 있다. TMW의 크기는 처음에는 LFSR 전체를 감시하는 것으로 설정하였으나, 실제 LFSR의 우측 단이 스캔에 연결되어 있기 때문에 LFSR의 좌측단의 천이로 인해 패턴이 고연관 패턴으로 변

환 될 수 있는 단점이 있어 TMW의 크기를 LFSR크기의 3/4, 1/2, 1/4 크기로 실험을 해 본 결과 수학적 2에 표시한 바와 같이 LFSR의 절반일 때 가장 좋은 결과를 보였다.

수학적 1

$$k\text{-value} = \frac{TMW\text{size}-1}{2} \pm \alpha$$

수학적 2

$$TMW\text{size} = \frac{LFSR\text{size}}{2}$$

위의 식을 바탕으로 하여 저전력 스캔 패턴 생성을 위한 생성기는 도 3와 같이 구성하였다. 도 3에서, LFSR의 절반 크기로 설정된 TMW(10')의 천이 경향을 두 개의 XOR 게이트가 감시하게 되며 TMW(10')내에 천이가 증가하면 카운터를 증가시키고, 천이가 배출되면 카운터를 감소시킨다. 이러한 천이감시 결과는 매 클럭마다 k-value를 포함하고 있는 비교기(50)와 비교하여 천이수가 k-value보다 클 경우는 직전에 스캔에 인가된 패턴을 인가하는 되먹임(feedback) 루프가 작동하여 천이가 억제된 고연관의 벡터가 스캔에 인가되며, 감시된 천이수가 k-value보다 적을 경우 원래 LFSR에서 생성된 패턴이 변형 없이 스캔에 인가된다.

TMW 구조에 있어 가장 중요한 문제는 k-value를 어떻게 정할 것인가이다. k-value를 작게 설정하면 그만큼 많은 수의 천이가 억제되어 높은 저전력 효과를 얻을 수는 있지만 고장 검출율의 손실을 가져오게 되고, k-value를 크게 설정하면 상대적으로 많은 수의 천이가 허용되기 때문에 저전력 효과는 적은 반면에 고장 검출율을 높일 수가 있다. 이에 적절히 k-value의 α 값을 조절하여 최적의 k-value를 찾는 것이 중요하다. 본 발명에서는 추가적인 실험을 통해 최적의 α 값을 찾기 위한 시도를 하였는데, 우선 k-value의 증감에 따른 천이 감소비율과 고장검출율의 비율을 살펴보기 위해 수학적 3과 같이 gain 함수를 정하여 비교하였다.

수학적 3

$$f(\text{gain}) = \left| \frac{\Delta FC}{\Delta TR} \times 100 \right|$$

우선 도 4는 벤치마크 회로에 대해 다양한 α 값을 적용하였을 때 천이 감소와 고장검출율을 비교한 그래프이다. 그림에서 발견되는 특이한 점은 α 값+1을 기준으로 고장검출율의 변화가 심해짐을 볼 수가 있다.

위와 같은 변화 추이를 좀 더 정확하게 비교하기 위해 수학적 3의 gain 함수를 이용하여 변화량을 계산한 결과를 표 2에 나타내었다. 표 2는 32비트 LFSR (16비트 TMW)의 f(gain) 결과이다. 표 2에서 사용된 환경은 32비트 LFSR, 즉 16비트 TMW를 사용한 경우로서 보는 바와 같이 α 값이 +3에서 +2로, 그리고 +2에서 +1로 변화하면서 천이 감소 정도와 고장 검출율의 간격이 줄어들다가 α 값이 +1에서 0으로 변화할 때 갑자기 커지는 것을 볼 수 있다. 즉, α 값+1을 기준으로 성능의 변화량이 큰 차이를 보이고 있으므로 k-value에서의 최적의 α 값은 +1임을 알 수가 있다. 즉, 본 발명의 구조에서 사용되는 TMW의 α 값은 +1로 고정시켜 사용하도록 한다. 표 2의 s38417에서 *로 표시된 11.6은 그림 2에서 보는 바와 같이 고장검출율이 94.25에서 96.53으로 오히려 좋아짐에 의해 생긴 오차로 인한 것이지만 α 의 최적값이 +1이라는 전체의 흐름에 영향을 주지는 않는다.

표 2

| 회로종류 | $\alpha = +3 \rightarrow \alpha = +2$ | $\alpha = +2 \rightarrow \alpha = +1$ | $\alpha = +1 \rightarrow \alpha = 0$ |
|--------|---------------------------------------|---------------------------------------|--------------------------------------|
| s5378 | 7.4 | 4.1 | 21.7 |
| s9234 | 6.4 | 4.3 | 19.3 |
| s13207 | 4.3 | 5.2 | 17.5 |
| s38417 | 0.7 | *11.6 | 33.4 |
| s38584 | 14.4 | 2.0 | 9.8 |

- <28> 도 5는 TMW에 의해 생성된 패턴의 실제 예를 보여 주고 있다. 생성 환경은 67개의 스캔을 가진 임의의 회로에 '0x50741542'의 시드(seed)를 갖는 32 비트 LFSR(16비트 TMW)에서 생성하였다. 사용된 k-value는 언급한 바와 같이 $\alpha = +1$ 을 적용하였다. 패턴의 그림에서 보는 바와 같이 연속된 같은 벡터를 생성함으로써 저전력 패턴으로 변형함을 알 수가 있다. 패턴의 연속된 영역은 LFSR에서 생성되는 패턴에 따라 달라지므로 그 위치는 확률적으로 퍼지게 되므로 인가되는 패턴의 길이가 충분히 길기만 하다면 연속된 영역으로 인한 고장검출율의 손실을 보상할 수가 있다.
- <29> <캡처 후 스캔으로부터 배출되는 응답 천이의 감소
- <30> 스캔에 인가되는 패턴은 고장검출율만 일정 수준 확보할 수 있다면 비교적 자유롭게 패턴을 변형할 수 있지만, 캡처된 후의 응답은 고장 유무를 판단하는데 가장 중요한 기준이 되는 값이므로 이동 천이를 감소하기 위해 함부로 값을 변형할 수 없다. 현재까지 연구된, 스캔에서 배출되는 응답의 천이를 줄이는 방법들도 다양하지 않은 이유가 여기에 있다. 그러므로 응답이 스캔 체인을 따라 이동하는 물리적 거리를 줄이는 방법으로 천이를 줄이는 방법들이 많이 사용되고 있는데 본 발명에서도 계층적 스캔 체인을 사용하여 물리적 거리를 줄이는 구조를 채택하였다.
- <31> 즉, 도 6과 같이 두 개의 체인으로 분리하여 게이트드 클록에 의해 따로 동작하도록 하는 구조를 사용한다(도6의 (b) 참조). 그렇게 되면 스캔에서 배출되는 응답 뿐만 아니라 TMW에서 생성되는 저전력 패턴 역시 스캔에 인가되는 동안 물리적 거리를 단축시킬 수 있어 추가적인 천이 감소 효과를 보여주게 된다. 실험 결과에 나타내었지만 이러한 계층적 스캔 구조는 독립적으로 적용될 때보다 TMW와 함께 적용될 경우 보다 더 우수한 저전력 성능을 보임을 알 수 있었다. 또한 그림에서와 같이 게이트 클록으로 인해 클록트리의 천이 밀도를 TMW만 적용된 구조에 비해 절반으로 낮출 수가 있다. 예를 들어 2000개의 스캔이 있는 경우 1000개로 이루어진 2개의 계층 체인이 순차적으로 동작하므로 2000개의 스캔을 동시에 클록할 때의 천이 밀도에 비해 약 절반 정도의 천이 밀도로 TOSCA를 구동할 수가 있기 때문에 클록트리에 의한 최대 전력(peak power) 문제까지 해결할 수 있어 계층 스캔 구조는 본 발명에 있어 여러 가지 역할을 담당하고 있는 부분이다.
- <32> <통합 스캔천이 감소회로의 전체 구성
- <33> 앞서 언급한 스캔에 인가되는 패턴을 저전력 패턴으로 변형시키는 TMW 구조와 캡처된 후 스캔으로부터 배출되는 응답의 이동 천이수를 감소시키기 위한 계층 스캔 체인을 통합한 본 발명에 따른 통합 스캔천이 감소회로의 구성을 설명하고자 한다.
- <34> 도 1에서, LFSR에서 생성되는 패턴은 천이감시윈도우(TMW)(10)에 의해 천이 경향이 감시되며 그렇게 감시되는 천이 경향은 카운터 블록(11)에 의해 저장되고 매 클럭 인가시 비교기(13)의 k-value와 비교하여 LFSR의 천이 경향이 k-value를 넘을 경우에 MUX(12)의 이네이블 신호를 발생하고 그렇지 않을 경우에는 MUX(12)의 디스에이블 신호를 발생한다. MUX 이네이블시에는 피드백루프가 작동하여 가장 최근에 스캔에 인가된 벡터가 다시 인가되도록 하여 고연관의 저전력 패턴을 생성하도록 하는데, 본 발명에서는 서브스캔(sub-scan)으로 구성되어 있으므로, 해당 콘트롤 신호의(ctrl signal)의 상황에 따라 sub-scan#1(20)의 벡터, sub-scan#2(30)의 vector를 제2MUX(14)를 통해 선택적으로 피드백시키게 된다. 이렇게 입력되는 테스트 패턴이 sub-scan#1(20)을 먼저 채우고 BIST 콘트롤러(미도시)의 패턴 카운터에 의해 다 채운 것이 감지될 경우 sub-scan#2(30)에 클록을 인가하여 해당 체인을 채우게 된다. 두 부분의 체인이 모두 채워졌을 때 캡처 클록을 인가하고, 그런 후 sub-scan#1(20)에 앞의 과정에 의해 새로운 패턴이 인가될 때 이전 패턴에 의해 발생된 응답이 MISR(40)로 빠져나가게 되고, 마찬가지로 sub-scan#2(30)의 테스트 패턴과 응답들이 이동을 하게 된다. 이 때 MISR(40) 역시 ctrl 신호를 입력 받아 제3MUX(32)를 통해 sub-scan#1(20)과 sub-scan#2(30)를 선택적으로 받아들일 수 있게 된다. 각 서브체인(sub chain)을 동작하게 하는 클록은 게이트드 클록(gated clock) 모듈(34)에서 발생하게 되는데 이는 BIST 콘트롤러에서 전달되는 ctrl 신호를 이용하여 클록을 분배하는 역할을 하는 것이다. 이를 통해 클럭 트리의 천이 밀도 개선 효과도 함께 얻을 수 있다.
- <35> <본 발명의 성능 실험>
- <36> 실험은 ISCAS'89 벤치마크 회로를 이용하여 수행되었다. 사용된 패턴은 회로당 유사 랜덤 패턴 5000개를 인가하였으며 천이수를 계산하기 위한 시뮬레이터는 C++를 이용하여 작성되었다. LFSR은 32비트를 사용하였으며 수학적 2에서 본 바와 같이 TMW는 16비트로 설정하여 실험하였다. 또한, 이미 언급하였듯이 실험을 위해 k-value의 α 는 +1만을 사용하였다. 즉, TMW의 크기가 16비트 TMW를 설정하였으므로 사용된 k-value는 8이 된다.
- <37> 표 3에 TOSCA 실험 결과를 나타내었다. PI와 SI는 각각 최초 입력단(primary input)과 스캔 입력단(scan

input)의 수를 의미하며, TR은 천이 감소 (Transition Reduction)를 의미하는 것으로 TMW가 적용되기 전과 후의 스캔 이동 시 천이 감소를 비율을 의미한다. 표에서 보는 바와 같이 스캔에 인가되는 패턴은 TMW에 의해 생성되는 것이다. TMW가 적용되기 전 보다는 다소 고장검출율이 손실되었지만, TMW에 의해 평균 약 60% 정도의 스캔 인가시 천이를 감소시킨 것을 볼 수 있고 또한 계층 스캔 체인의 도입으로 인해 단순히 TMW만 적용한 구조에 비해 추가적으로 약 25% 정도 더 저전력 효과를 얻었음을 확인할 수 있다.

표 3

<38>

| 회로종류 | PI | SI | 고장검출율 (Pseudo-Random) | 고장검출율 (TMW) | TR | 개선율 (sub-scan) | 천이수 | 본 발명의 TR |
|--------|----|------|--------------------------|----------------|---------------------|-------------------|------------|-------------|
| | | | | | 스캔 입력 (patterns) | | | |
| s5378 | 35 | 179 | 96.27 | 95.70 | 55.2 | 25.6 | 15142092 | 26.2 |
| s9234 | 19 | 228 | 93.36 | 86.40 | 61.4 | 25.8 | 33295778 | 25.0 |
| s13207 | 31 | 669 | 97.83 | 95.31 | 62.9 | 25.2 | 377622088 | 23.9 |
| s38584 | 12 | 1452 | 98.41 | 96.53 | 63.3 | 25.1 | 1684013007 | 28.0 |
| s38417 | 28 | 1636 | 98.47 | 93.84 | 60.4 | 25.0 | 1921751424 | 26.5 |

<39>

캡처된 후 스캔으로부터 배출 되는 패턴은 계층 스캔 체인을 적용하지 않았을 때와 계층 스캔 체인이 적용되었을 때의 천이수를 기준으로 비율을 계산하였는데, 표 3에서 보는 바와 같이 평균 약 26% 정도의 천이 절감 효과를 얻을 수 있었다. 뿐만 아니라 수치적으로 나열하지는 않았지만 계층 스캔 체인을 동작하기 위한 게이트드 클록의 사용에 의해 클록게이트의 밀도를 절반 정도 줄여 그만큼 최대 전력을 낮추는 효과를 얻을 수 있었다.

발명의 효과

<40>

본 발명에 따르면, BIST(Built-in Self Test) 기법에서 가장 큰 전력을 소비하는 스캔의 동작과 관련하여 Scan-in과 Scan-out에서 발생하는 천이를 동시에 고려하여 저전력 효과를 극대화 시킬 수 있다. 또한, 테스트 모드에서 인가 되는 패턴에 의한 전력 소모는 발열로 이어지고 과도한 발열은 회로에 치명적 오류를 가져올 수 있으므로 회로의 안전한 저전력 테스트를 가능하게 하며, 해당 구조를 자동 생성해 주는 소프트웨어와 결합하여 CAD 관련 분야에 하나의 모듈로서 공급 가능하여 단일 품목으로 인한 경제적 효과 보다는 기존의 BIST 생성물에 해당 알고리즘을 삽입하기 위한 기술 이전으로 인한 수익 창출이 가능하다.

도면의 간단한 설명

<1>

도 1: 본 발명에 따른 통합 스캔천이 감소회로의 전체 구성도.

<2>

도 2: s38584 회로의 패턴 천이수 분포 그래프.

<3>

도 3: 스캔 인가 천이수를 줄이기 위한 TMW의 구성도.

<4>

도 4: 벤치마크 회로에 대한 다양한 α 값에 따른 천이 감소 변화와 고장검출율의 변화를 나타내는 그래프. (a)는 α 에 따른 천이 감소(TR: Transition Reduction) 변화를, (b)는 α 에 따른 고장검출율의 변화를 나타낸다.

<5>

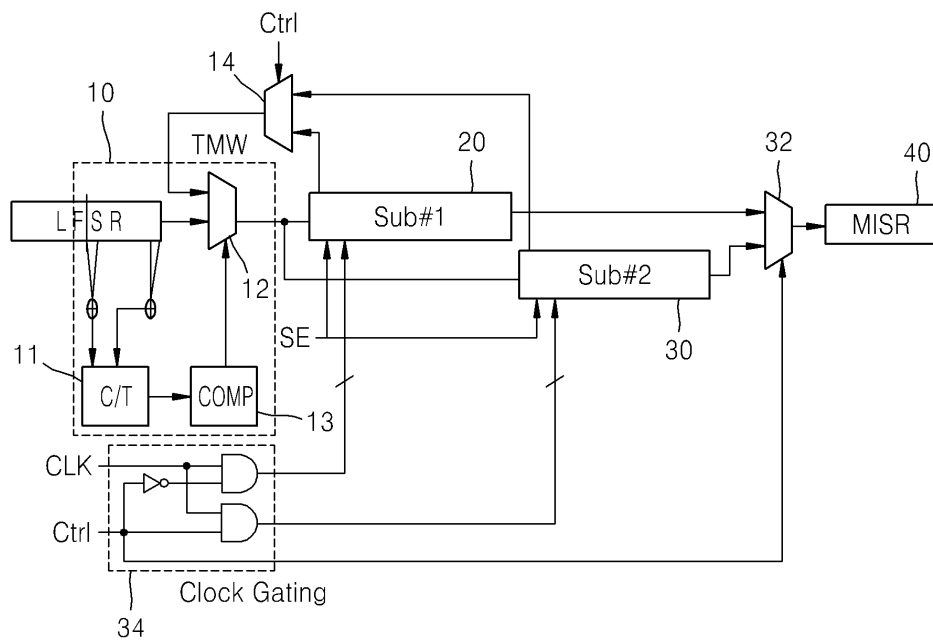
도 5: 저전력으로 변형된 TMW 패턴의 예시도 (k-value=7).

<6>

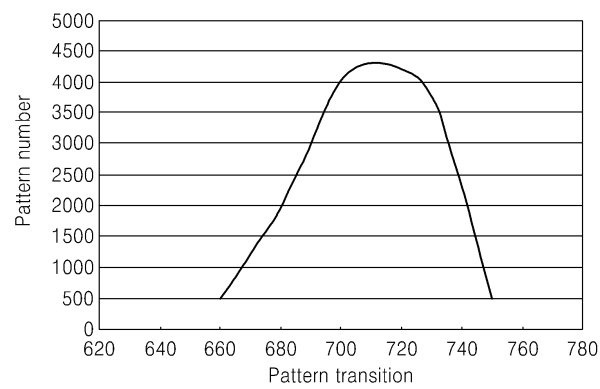
도 6: 클록트리 천이 밀도를 비교하는 설명도. (a)는 일반적인 스캔체인 구조를, (b)는 계층 스캔체인 구조를 나타낸다.

도면

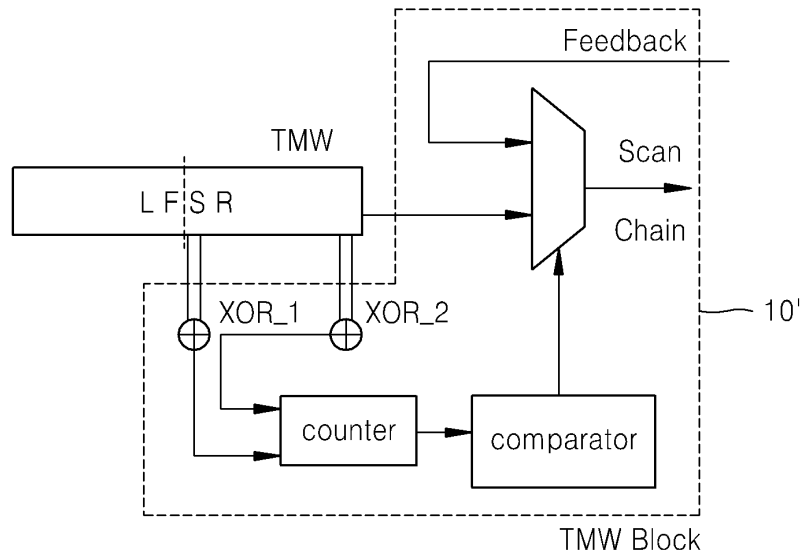
도면1



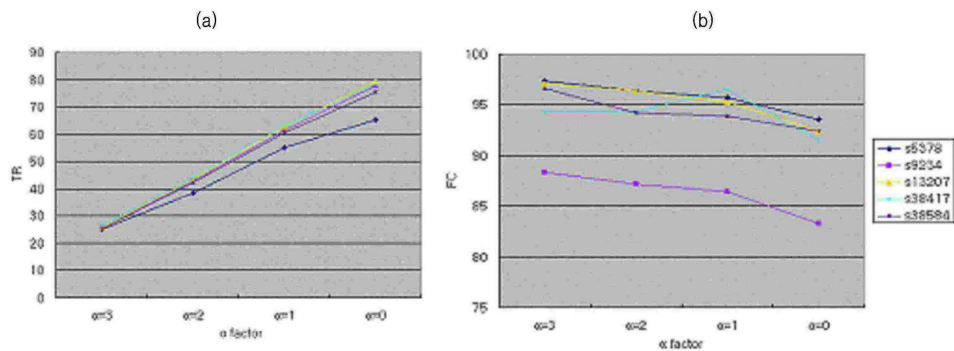
도면2



도면3



도면4



도면5

```

110100010100011101011001001111110101111111110100000000000000000000
0001110101010000011110000001111101111001100110010000010011100011
01110111000000110110100001000111010011000101111111111111111111111111
0111010100011011000001100000111011111111111111111111111111111111111111
0000011100001000110001110111111001111100011111111111111111111111111111
1001101011111111010100100111100010111111010110111111111111111111111111
00101011110100101000001100111110101011001111110000110011000011110
1011000111010001110101100110011000111100011110000000000000011101010
101000101100001100010111000110001011110000000000000000000000000000100
0010010001011010000111101110011100001100001010000000011100010011001
00110101100101101011011010001101000000000000000101110000000011111
10101111111110101010011111100011000111110000000111111111111110000
10000001001001111101000110100001100111111101011111000000000000000000
000000100100111011010010011001110000111111111111100001101110100111
111101001000011001111101000011101011111101101011100000000011011
1010000011000111110000011101001111001111111111111111111000011000100
0010100101100101011100101000100101110111111111111111111111111111111111
001111110011101000010010010101100000000001101111111000010001011
01101110011111110101000011000100011110100110000000000000000010110
10100111110010111111100011000000100110001110100000000000000000010
010011100101111010001000110011010011000000000000011011010011110000
    
```

도면6

