



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0011282
(43) 공개일자 2010년02월03일

(51) Int. Cl.

H03L 7/00 (2006.01)

(21) 출원번호 10-2008-0072426

(22) 출원일자 2008년07월24일

심사청구일자 2008년07월24일

(71) 출원인

연세대학교 산학협력단

서울 서대문구 신촌동 134 연세대학교

(72) 발명자

정성욱

서울시 서대문구 신촌동 134

류경호

서울시 강남구 개포1동 주공1단지 95동 507호

(74) 대리인

특허법인무한

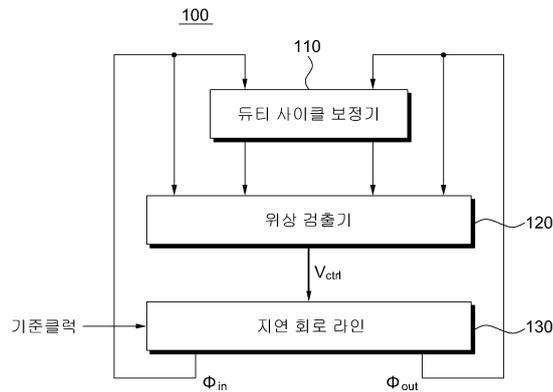
전체 청구항 수 : 총 17 항

(54) 듀얼 에지에서 트리거되는 위상 검출기 및 듀티 사이클변화가 적은 전압 제어 지연 셀을 포함하고 빠른 동기시간을 가지는 지연 동기 루프

(57) 요약

지연 동기 루프 회로(Delay Locked Loop, DLL)가 제공된다. 본 발명의 일 실시예에 따른 DLL은 dual edge triggered phase detector 를 포함할 수 있고, 제1 신호 및 제2 신호의 듀티 사이클(duty cycle) 차이를 보정(compensate)할 수 있다. DLL은 phase capture range를 넓히면서도 이득을 높일 수 있다. DLL은 phase locking 시간을 줄일 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	10030542
부처명	지식경제부 및 전자부품연구원
연구사업명	시스템집적반도체기술개발
연구과제명	선형 핵심 IP 기술 개발
주관기관	연세대학교 산학협력단
연구기간	2007년 09월 01일 ~ 2008년 08월 31일

특허청구의 범위

청구항 1

제1 신호 및 제2 신호를 입력 받고 상기 제1 신호 및 상기 제2 신호 간의 듀티 사이클 차이가 보정된 제3 신호 및 제4 신호를 생성하는 듀티 사이클 보정기;

상기 제1 신호의 정 에지 및 상기 제2 신호의 정 에지 간의 제1 위상 차 및 상기 제3 신호의 부 에지 및 상기 제4 신호의 부 에지 간의 제2 위상 차에 기초하여 제어 전압을 생성하고, $[-2\pi, 2\pi]$ 의 위상 포획 범위를 가지는 위상 검출기; 및

복수의 지연기 셀들을 포함하고, 상기 제어 전압에 기초하여 상기 제1 신호를 지연하여 상기 제2 신호를 생성하는 지연 회로 라인

을 포함하는 지연 동기 루프 회로.

청구항 2

제1항에 있어서,

상기 위상 검출기는

상기 제1 위상차 또는 상기 제2 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 상기 제1 위상 차 또는 상기 제2 위상 차에 비례하는 상기 제어 전압을 생성하고, 상기 제1 위상차 또는 상기 제2 위상 차가 구간 $[-2\pi, -\pi]$ 에 포함되면 음의 최대 값을 가지는 상기 제어 전압을 생성하고, 상기 제1 위상차 또는 상기 제2 위상 차가 구간 $[\pi, 2\pi]$ 에 포함되면 양의 최대 값을 가지는 상기 제어 전압을 생성하는 지연 동기 루프 회로.

청구항 3

제1항에 있어서,

상기 복수의 지연기 셀들 각각은

제1 차동 입력 신호 쌍을 입력 받고, 상기 제1 차동 입력 신호 쌍의 정 에지가 빠르게 천이하도록 조정된 제2 차동 신호 쌍을 생성하는 제1 버퍼; 및

상기 제2 차동 신호 쌍을 보간하여 제3 차동 신호 쌍을 출력하는 제2 버퍼

를 포함하고,

상기 지연 회로 라인

이전 지연기 셀의 출력 신호 쌍을 다음 지연기 셀의 입력 신호 쌍으로 전달하는 지연 동기 루프 회로.

청구항 4

제3항에 있어서,

상기 제1 버퍼는

상기 제어 전압에 기초하여 상기 제2 차동 신호 쌍에 대응하는 노드의 방전을 적응적으로 보조하는 지연 동기 루프 회로.

청구항 5

제1항에 있어서,

상기 듀티 사이클 보정기는

상기 제1 신호 및 상기 제1 신호의 지연 신호 중 하나를 상기 제2 신호에 기초하여 선택하는 제1 다중화기; 및

상기 제2 신호 및 상기 제2 신호의 지연 신호 중 하나를 상기 제1 신호에 기초하여 선택하는 제2 다중화기

를 포함하는 지연 동기 루프 회로.

청구항 6

제1 입력 신호의 정 에지 및 제2 입력 신호의 정 에지 간의 제1 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 상기 제1 위상 차에 비례하는 길이의 제1 제어 펄스 쌍을 생성하고, 상기 제1 위상 차가 $[-2\pi, -\pi]$ 또는 $[\pi, 2\pi]$ 에 포함되면 고정된 최대 길이의 상기 제1 제어 펄스 쌍을 생성하는 정 에지 검출 수단;

상기 제1 입력 신호 및 상기 제2 입력 신호를 입력 받고 상기 제1 입력 신호 및 상기 제2 입력 신호 간의 듀티 사이클 차이가 보정된 제3 신호 및 제4 신호를 생성하는 듀티 사이클 보정 수단; 및

상기 제3 신호의 부 에지 및 상기 제4 신호의 부 에지 간의 제2 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 상기 제2 위상 차에 비례하는 길이의 제2 제어 펄스 쌍을 생성하고, 상기 제2 위상 차가 $[-2\pi, -\pi]$ 또는 $[\pi, 2\pi]$ 에 포함되면 고정된 최대 길이의 상기 제2 제어 펄스 쌍을 생성하는 부 에지 검출 수단

을 포함하는 지연 동기 루프 회로의 위상 검출기.

청구항 7

제6항에 있어서,

상기 제1 제어 펄스 쌍 및 상기 제2 펄스 쌍에 기초하여 제3 제어 펄스 쌍을 생성하는 병합 수단

을 더 포함하는 지연 동기 루프 회로의 위상 검출기.

청구항 8

제6항에 있어서,

상기 제1 제어 펄스 쌍 및 상기 제2 제어 펄스 쌍에 기초하여 지연 동기 루프 회로의 제어 전압을 생성하는 전압 변환 수단

을 더 포함하는 지연 동기 루프 회로의 위상 검출기.

청구항 9

제6항에 있어서,

상기 정 에지 검출 수단은

상기 제1 입력 신호, 상기 제1 입력 신호의 반전 신호, 상기 제2 입력 신호 및 상기 제2 입력 신호의 반전 신호를 입력 받는 지연 동기 루프 회로의 위상 검출기.

청구항 10

제6항에 있어서,

상기 부 에지 검출 수단은

상기 제1 입력 신호, 상기 제1 입력 신호의 반전 신호, 상기 제2 입력 신호 및 상기 제2 입력 신호의 반전 신호를 입력 받는 지연 동기 루프 회로의 위상 검출기.

청구항 11

제6항에 있어서,

상기 듀티 사이클 보정 수단은

상기 제1 입력 신호 및 상기 제1 입력 신호의 지연 신호 중 하나를 상기 제2 입력 신호에 기초하여 상기 제3 신호로 선택하는 제1 다중화기; 및

상기 제2 입력 신호 및 상기 제2 입력 신호의 지연 신호 중 하나를 상기 제1 입력 신호에 기초하여 상기 제4 신호로 선택하는 제2 다중화기

를 포함하는 지연 동기 루프 회로의 위상 검출기.

청구항 12

제11항에 있어서,

상기 제1 다중화기는

상기 제2 입력 신호가 논리 "1"에 대응할 때 상기 제1 입력 신호의 지연 신호를 상기 제3 신호로 선택하고, 상기 제2 입력 신호가 논리 "0"에 대응할 때 상기 제1 입력 신호를 상기 제3 신호로 선택하는 지연 동기 루프 회로의 위상 검출기.

청구항 13

제11항에 있어서,

상기 제2 다중화기는

상기 제1 입력 신호가 논리 "1"에 대응할 때 상기 제2 입력 신호의 지연 신호를 상기 제4 신호로 선택하고, 상기 제1 입력 신호가 논리 "0"에 대응할 때 상기 제2 입력 신호를 상기 제4 신호로 선택하는 지연 동기 루프 회로의 위상 검출기.

청구항 14

복수의 지연기 셀들을 포함하고,

상기 복수의 지연기 셀들 각각은

제1 차동 입력 신호 쌍을 입력 받고, 상기 제1 차동 입력 신호 쌍의 정 에지가 빠르게 천이하도록 조정된 제2 차동 신호 쌍을 생성하는 제1 버퍼; 및

상기 제2 차동 신호 쌍을 보간하여 제3 차동 신호 쌍을 출력하는 제2 버퍼

를 포함하고,

이전 지연기 셀의 출력 신호 쌍을 다음 지연기 셀의 입력 신호 쌍으로 전달하는 지연 동기 루프 회로.

청구항 15

제14항에 있어서,

상기 제1 버퍼는

상기 제어 전압에 기초하여 상기 제2 차동 신호 쌍에 대응하는 노드의 방전을 적응적으로 보조하는 지연 동기 루프 회로.

청구항 16

제14항에 있어서,

상기 제1 버퍼는

상기 제1 차동 입력 신호 쌍이 게이트 단자에 연결되는 피모스 트랜지스터 쌍;

게이트 단자는 상대방의 드레인 단자에 연결되고, 드레인 단자는 각각 상기 피모스 트랜지스터 쌍과 반전되어 상기 제2 차동 신호 쌍과 연결되는 엔모스 트랜지스터 쌍

을 포함하는 지연 동기 루프 회로.

청구항 17

제14항에 있어서,

상기 제2 버퍼는

상기 제2 차동 신호 쌍의 음의 신호를 입력 받는 제1 인버터;

상기 제2 차동 신호 쌍의 양의 신호를 입력 받는 제2 인버터;
 상기 제1 인버터의 출력을 입력 받는 제3 인버터;
 상기 제2 인버터의 출력을 입력 받는 제4 인버터;
 상기 제2 차동 신호 쌍의 음의 신호를 입력 받는 제5 인버터;
 상기 제2 차동 신호 쌍의 양의 신호를 입력 받는 제6 인버터;
 상기 제4 인버터의 출력 및 상기 제4 인버터의 출력이 연결된 노드를 입력으로 하는 제7 인버터; 및
 상기 제3 인버터의 출력 및 상기 제6 인버터의 출력이 연결된 노드를 입력으로 하는 제8 인버터
 를 포함하는 지연 동기 루프 회로.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 지연 동기 루프 (Delay Locked Loop, DLL)의 회로 구성에 관련된 분야의 발명으로서, 특히 위상 검출기(phase detector) 및 전압 제어 지연 셀(Voltage Controlled Delay Cell, VCDC)의 구성에 관한 것이다. 본 연구는 지식경제부 및 전자부품연구원의 시스템집적반도체기술개발사업의 일환으로 수행하였다. [2007-8-1510, 고성능 고신뢰성 SOC를 위한 핵심요소 IP 개발]

배경기술

- [0002] 일반적으로 DLL 회로는 외부 클럭을 변환하여 얻은 기준 클럭 (reference clock)에 대하여 위상이 앞서는 내부 클럭을 제공하는 데 사용된다. 이 때 DLL 회로는 내부 클럭이 기준 클럭에 비해 일정하게 앞서는 위상을 가지도록 할 수 있다. 일반적으로 내부 클럭은 SDRAM(Synchronous DRAM) 등과 같이 비교적 높은 집적도를 갖는 반도체 집적 회로에서, 외부 클럭과 동기되어 동작하기 위하여 생성된다.
- [0003] 보다 상세히 설명하면, 반도체 집적 회로의 입력 핀을 통해 입력되는 외부 클럭이 클럭 입력 버퍼로 입력되면 클럭 입력 버퍼로부터 내부 클럭이 발생한다. 이후 내부 클럭이 데이터 출력 버퍼를 제어하여 외부로 데이터가 출력된다. 이 때 내부 클럭은 클럭 버퍼에 의해 외부 클럭으로부터 일정 시간 지연되고, 또한 데이터 출력 버퍼로부터의 출력 데이터도 내부 클럭으로부터 일정 시간 지연된 후 출력된다.
- [0004] 따라서 출력 데이터는 외부 클럭에 대하여 많은 시간이 지연된 후에 출력되는 문제점이 있다. 다시 말해서 외부 클럭 인가 후 데이터가 출력되는 시간, 즉 출력 데이터 액세스 시간이 길어지는 문제점이 있다.
- [0005] 이러한 문제점을 해결하기 위하여 DLL 회로를 사용하여 내부 클럭의 위상을 외부 클럭에 대해 일정하게 앞서도록 함으로써, 출력 데이터가 외부 클럭에 대하여 지연 없이 출력될 수 있도록 한다. 즉 DLL 회로는 외부클럭을 수신하고 일정하게 위상이 앞서는 내부 클럭을 발생하며, 내부 클럭은 데이터 출력 버퍼 등의 영역에서 기준 클럭으로 사용된다.
- [0006] DLL 회로는 클럭 버퍼(clock buffer)를 포함함으로써 외부 클럭의 진폭을 변환시킨 기준 클럭을 생성한다. 이 때 생성된 기준 클럭은 위상 비교기에서 피드백 클럭 (feedback clock)과의 위상을 비교하기 위해 사용되며, 또한 쉬프트 레지스터 (shift register)의 제어에 따라 내부 클럭을 생성하는 지연 라인(delay line)의 입력 신호로서 사용된다.

발명의 내용

해결 하고자하는 과제

- [0007] 본 발명의 실시예들은 위상 검출기 (phase detector)의 이득을 높임으로써 위상 locking 시간을 단축할 수 있다. 본 발명의 실시예들은 위상 검출기의 이득을 높이면서도 phase capture range를 넓힐 수 있다.
- [0008] 본 발명의 실시예들은 delay line을 경유하면서 발생하는 duty cycle의 차이를 compensate할 수 있다. 본 발명의 실시예들은 duty cycle의 차이를 충분히 최소화함으로써 dual edge triggered phase detector의 성능을

최적화할 수 있다.

과제 해결수단

- [0009] 본 발명의 일 실시예에 따른 지연 동기 루프(DLL)는 제1 신호 및 제2 신호를 입력 받고 상기 제1 신호 및 상기 제2 신호 간의 듀티 사이클 차이가 보정된 제3 신호 및 제4 신호를 생성하는 듀티 사이클 보정기(Duty Cycle Compensator), 상기 제1 신호의 정 에지(Positive edge) 및 상기 제2 신호의 정 에지 간의 제1 위상 차 및 상기 제3 신호의 부 에지 및 상기 제4 신호의 부 에지 간의 제2 위상 차에 기초하여 제어 전압을 생성하고, $[-2\pi, 2\pi]$ 의 위상 포획 범위를 가지는 위상 검출기 및 복수의 지연기 셀들을 포함하고, 상기 제어 전압에 기초하여 상기 제1 신호를 지연하여 상기 제2 신호를 생성하는 지연 회로 라인을 포함할 수 있다.
- [0010] 본 발명의 일 실시예에 따른 지연 동기 루프의 위상 검출기는 제1 입력 신호의 정 에지 및 제2 입력 신호의 정 에지 간의 제1 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 상기 제1 위상 차에 비례하는 길이의 제1 제어 펄스 쌍을 생성하고, 상기 제1 위상 차가 $[-2\pi, -\pi]$ 또는 $[\pi, 2\pi]$ 에 포함되면 고정된 최대 길이의 상기 제1 제어 펄스 쌍을 생성하는 정 에지 검출 수단, 상기 제1 입력 신호 및 상기 제2 입력 신호를 입력 받고 상기 제1 입력 신호 및 상기 제2 입력 신호 간의 듀티 사이클 차이가 보정된 제3 신호 및 제4 신호를 생성하는 듀티 사이클 보정 수단, 및 상기 제3 신호의 부 에지 및 상기 제4 신호의 부 에지 간의 제2 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 상기 제2 위상 차에 비례하는 길이의 제2 제어 펄스 쌍을 생성하고, 상기 제2 위상 차가 $[-2\pi, -\pi]$ 또는 $[\pi, 2\pi]$ 에 포함되면 고정된 최대 길이의 상기 제2 제어 펄스 쌍을 생성하는 부 에지 검출 수단을 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 따른 지연 동기 루프는 복수의 지연기 셀들을 포함할 수 있다. 이 때 복수의 지연기 셀들 각각은 제1 차동(differential) 입력 신호 쌍을 입력 받고, 상기 제1 차동 입력 신호 쌍의 정 에지가 빠르게 천이하도록 제2 차동 신호 쌍을 생성하는 제1 버퍼, 및 상기 제2 차동 신호 쌍을 보간(interpolate)하여 제3 차동 신호 쌍을 출력하는 제2 버퍼를 포함할 수 있다. 지연 동기 루프는 이전 지연기 셀의 출력 신호 쌍을 다음 지연기 셀의 입력 신호 쌍으로 전달할 수 있다.

효과

- [0012] 본 발명의 실시예들은 위상 검출기(phase detector)의 이득을 높임으로써 위상 locking 시간을 단축할 수 있다. 본 발명의 실시예들은 위상 검출기의 이득을 높이면서도 phase capture range를 넓힐 수 있다.
- [0013] 본 발명의 실시예들은 delay line을 경유하면서 발생하는 duty cycle의 차이를 compensate할 수 있다. 본 발명의 실시예들은 duty cycle의 차이를 충분히 최소화함으로써 dual edge triggered phase detector의 성능을 최적화할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0014] 이하에서, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0015] 도 1은 본 발명의 일 실시예에 따른 지연 동기 루프(Delay Locked Loop, DLL)(100)를 도시하는 도면이다.
- [0016] 도 1을 참조하면 DLL(100)은 듀티 사이클 보정기(Duty Cycle Compensator)(110), 위상 검출기(Phase Detector)(120) 및 지연 회로 라인(Delay Line)(130)을 포함할 수 있다.
- [0017] 듀티 사이클 보정기(110)는 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 를 입력 받을 수 있다. 듀티 사이클 보정기(110)는 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 의 듀티 사이클 차이가 보정된 제3 신호 ϕ_{in}' 및 제2 신호 ϕ_{out}' 를 생성할 수 있다.
- [0018] 위상 검출기(120)는 제1 신호 ϕ_{in} 의 정 에지(positive edge) 및 제2 신호 ϕ_{out} 의 정 에지 간의 제1 위상 차를 검출할 수 있다. 위상 검출기(120)는 제3 신호 ϕ_{in}' 의 부 에지(negative edge) 및 제2 신호 ϕ_{out}' 의 부 에지 간의 제2 위상 차를 검출할 수 있다. positive edge는 rising edge라고도 불릴 수 있고 negative edge는 falling edge라고도 불릴 수 있다.
- [0019] 위상 검출기(120)는 제1 위상 차 및 제2 위상 차에 기초하여 제어 전압 V_{ctrl} 을 생성할 수 있다. 위상 검출기(120)는 제1 위상 차 또는 제2 위상 차가 구간 $[-2\pi, 2\pi]$ 에 포함되면 위상을 locking하는 제어 전압 V_{ctrl} 을 생성할 수 있다. 이러한 구간 $[-2\pi, 2\pi]$ 을 phase capture range라 하기도 한다.

- [0020] 위상 검출기(120)는 TSPC (True Single Phase Clocking) Phase Detection 기법을 이용할 수 있다. 또한 위상 검출기(120)는 제1 신호 ϕ_{in} 의 차동 신호 쌍(differential signal pair) 및 제2 신호 ϕ_{out} 의 차동 신호 쌍을 입력 받고, 각 차동 신호 쌍에 의해 생성된 제어 펄스를 교차 피드백하여 위상 검출 이득을 개선할 수 있다.
- [0021] 위상 검출기(120)는 제1 위상차 또는 제2 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 제1 위상 차 또는 제2 위상 차에 비례하는 제어 전압 V_{ctrl} 을 생성하고, 제1 위상차 또는 제2 위상 차가 구간 $[-2\pi, -\pi]$ 에 포함되면 음의 최대 값을 가지는 제어 전압 V_{ctrl} 을 생성하고, 제1 위상차 또는 제2 위상 차가 구간 $[\pi, 2\pi]$ 에 포함되면 양의 최대 값을 가지는 제어 전압 V_{ctrl} 을 생성할 수 있다.
- [0022] 위상 검출기(120)는 phase capture range를 높이면서도 위상 검출 이득을 높일 수 있다. 따라서 위상 검출기(120)는 dual edge triggered phase detection의 이점을 최대한 이용하여 phase locking 시간을 단축할 수 있다.
- [0023] 지연 회로 라인(130)은 복수의 지연기 셀(delay cell)들을 포함할 수 있다. 지연 회로 라인(130)은 제어 전압 V_{ctrl} 에 기초하여 제1 신호 ϕ_{in} 을 지연하여 제2 신호 ϕ_{out} 를 생성할 수 있다. 지연 회로 라인(130)은 기준 클럭 (reference clock)에 기초하여 주기적으로 반복되는 펄스를 가지는 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 를 생성할 수 있다. 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 간의 지연 시간(delay time)은 제어 전압 V_{ctrl} 에 기초하여 결정될 수 있다.
- [0024] 복수의 delay cell들 각각은 차동 신호 쌍을 입력 받고, 입력 받은 차동 신호 쌍을 지연하여 출력 차동 신호 쌍을 생성할 수 있다. 지연 회로 라인(130)은 이전 delay cell의 출력 차동 신호 쌍을 다음 delay cell의 입력 차동 신호 쌍으로서 전달할 수 있다.
- [0025] delay cell 들 각각은 입력 차동 신호 쌍을 입력 받고, 입력 차동 신호 쌍의 정 에지(positive edge)가 빠르게 친이하도록 조정된 제2 차동 신호 쌍을 생성하는 제1 버퍼(buffer)를 포함할 수 있다. delay cell들 각각은 또한 제2 차동 신호 쌍을 보간(interpolate)하여 출력 차동 신호 쌍을 생성하는 제2 버퍼를 포함할 수 있다. delay cell은 출력 차동 신호 쌍을 구성하는 신호들 간의 duty cycle 차이를 줄일 수 있다.
- [0026] 제1 버퍼는 제어 전압 V_{ctrl} 에 기초하여 제2 차동 신호 쌍에 대응하는 노드들의 방전을 적응적으로(adaptively) 보조할 수 있다.
- [0027] 듀티 사이클 보정기(110)는 제1 신호 ϕ_{in} 및 제1 신호 ϕ_{in} 의 지연 신호 중 하나를 제2 신호 ϕ_{out} 에 기초하여 선택하는 제1 다중화기(multiplexer)를 포함할 수 있다. 듀티 사이클 보정기(110)는 또한 제2 신호 ϕ_{out} 및 제2 신호 ϕ_{out} 의 지연 신호 중 하나를 제1 신호 ϕ_{in} 에 기초하여 선택하는 제2 다중화기를 포함할 수 있다.
- [0028] 듀티 사이클 보정기(110)는 negative edge가 시간 상 먼저 나타난 신호를 delay하고 negative edge가 시간 상 나중에 나타난 신호는 delay 없이 전달하여 negative edge의 발생 시점의 차이를 줄일 수 있다.
- [0029] 도 2는 도 1의 위상 검출기(120)의 일 예를 상세히 도시하는 도면이다.
- [0030] 도 2를 참조하면 위상 검출기(120)는 Positive Edge Triggered Phase Detector (PET-PD) (210), Negative Edge Triggered Phase Detector (NET-PD) (220), 병합 수단(230) 및 Charge Pump (240)를 포함할 수 있다.
- [0031] PET-PD (210)는 제1 입력 신호 ϕ_{in} 의 positive edge 및 제2 입력 신호 ϕ_{out} 의 positive edge 간의 제1 위상 차에 기초하여 제1 제어 펄스 쌍 (P_DN, P_UP)을 생성할 수 있다.
- [0032] PET-PD (210)는 제1 입력 신호 ϕ_{in} , 제1 입력 신호 ϕ_{in} 의 반전 신호 $/\phi_{in}$, 제2 입력 신호 ϕ_{out} , 제2 입력 신호 ϕ_{out} 의 반전 신호 $/\phi_{out}$ 를 입력 받아 제1 위상 차를 검출할 수 있다.
- [0033] PET-PD (210)는 제1 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 제1 위상 차에 비례하는 길이의 제1 제어 펄스 쌍을 생성하고, 상기 제1 위상 차가 $[-2\pi, -\pi]$ 또는 $[\pi, 2\pi]$ 에 포함되면 고정된 최대 길이의 상기 제1 제어 펄스 쌍을 생성할 수 있다.
- [0034] 예를 들어 제2 입력 신호 ϕ_{out} 의 positive edge가 제1 입력 신호 ϕ_{in} 의 positive edge보다 느린 경우 제1 위상 차는 양의 값(positive value)을 가질 수 있다. 제1 위상 차가 구간 $[0, \pi]$ 에 포함되면 PET-PD (210)는 제1 위상 차에 비례하는 길이의 펄스를 P_UP 신호로 생성할 수 있다. 제1 위상 차가 구간 $[\pi, 2\pi]$ 에 포함되면 PET-PD (210)는 고정된 최대 길이의 펄스를 P_UP 신호로 생성할 수 있다.
- [0035] 반대의 예로서 제2 입력 신호 ϕ_{out} 의 positive edge가 제1 입력 신호 ϕ_{in} 의 positive edge보다 빠른 경우 제

1 위상 차는 음의 값(negative value)을 가질 수 있다. 제1 위상 차가 구간 $[-\pi, 0]$ 에 포함되면 PET-PD (210)는 제1 위상 차의 크기에 비례하는 길이의 펄스를 P_DN 신호로 생성할 수 있다. 제1 위상 차가 구간 $[-2\pi, -\pi]$ 에 포함되면 PET-PD (210)는 고정된 최대 길이의 펄스를 P_DN 신호로 생성할 수 있다.

- [0036] NET-PD (220)는 듀티 사이클 보정기(110)에 의하여 제1 입력 신호 ϕ_{in} 및 제2 입력 신호 ϕ_{out} 간의 duty cycle 차이가 보정된 제3 신호 $\phi_{in'}$ 및 제4 신호 $\phi_{out'}$ 를 입력 받을 수 있다.
- [0037] NET-PD (220)는 제3 신호 $\phi_{in'}$ 의 negative edge 및 제4 신호 $\phi_{out'}$ 의 negative edge 간의 제2 위상 차에 기초하여 제2 제어 펄스 쌍 (N_DN, N_UP)을 생성할 수 있다.
- [0038] NET-PD (220)는 제3 신호 $\phi_{in'}$ 의 반전 신호 $/\phi_{in'}$ 및 제4 신호 $\phi_{out'}$ 의 반전 신호 $/\phi_{out'}$ 를 더 입력 받아 제2 위상 차를 검출할 수 있다.
- [0039] 제4 신호 $\phi_{out'}$ 의 negative edge가 제3 신호 $\phi_{in'}$ 의 negative edge보다 느린 경우 제2 위상 차는 양의 값을 가질 수 있다. 제2 위상 차가 구간 $[0, \pi]$ 에 포함되면 NET-PD (220)는 제2 위상 차에 비례하는 길이의 펄스를 N_UP 신호로 생성할 수 있다. 제2 위상 차가 구간 $[\pi, 2\pi]$ 에 포함되면 NET-PD (220)는 고정된 최대 길이의 펄스를 N_UP 신호로 생성할 수 있다.
- [0040] 제4 입력 신호 $\phi_{out'}$ 의 negative edge가 제3 입력 신호 $\phi_{in'}$ 의 negative edge보다 빠른 경우 제2 위상 차는 음의 값을 가질 수 있다. 제2 위상 차가 구간 $[-\pi, 0]$ 에 포함되면 NET-PD (220)는 제2 위상 차의 크기에 비례하는 길이의 펄스를 N_DN 신호로 생성할 수 있다. 제2 위상 차가 구간 $[-2\pi, -\pi]$ 에 포함되면 NET-PD (220)는 고정된 최대 길이의 펄스를 N_DN 신호로 생성할 수 있다.
- [0041] 병합 수단(230)은 제1 제어 펄스 쌍 (P_UP, P_DN) 및 제2 제어 펄스 쌍 (N_UP, N_DN)에 기초하여 제3 제어 펄스 쌍 (DN, UP)을 생성할 수 있다.
- [0042] 병합 수단(230)은 P_UP 신호 및 N_UP 신호에 대하여 논리 합 연산(logical OR operation)을 수행하여 UP 신호를 생성할 수 있고, P_DN 신호 및 N_DN 신호에 대하여 논리 합 연산을 수행하여 DN 신호를 생성할 수 있다.
- [0043] Charge Pump(240)는 제3 제어 펄스 쌍 (DN, UP)에 기초하여 제어 전압 Vctrl을 생성할 수 있다. Charge Pump(240)는 DN 신호의 펄스의 길이에 기초하여 제어 전압 Vctrl을 낮출 수 있고 UP 신호의 펄스의 길이에 기초하여 제어 전압 Vctrl을 높일 수 있다. Charge Pump(240)는 펄스의 시간적 길이에 기초하여 제어 전압 Vctrl의 레벨을 결정하므로 시간 지연(time delay)을 전압으로 변환하는 기능을 수행한다고 할 수 있다.
- [0044] 위상 검출기(120)는 신호의 positive edge 및 negative edge를 검출하고, 검출된 edge에 기초하여 위상 차이를 검출하므로 위상 검출 이득을 높일 수 있다. 따라서 위상 검출기(120)를 포함하는 DLL(100)은 phase locking 시간을 줄일 수 있다.
- [0045] 도 3은 도 2의 PET-PD (210)의 일 예를 상세히 도시하는 도면이다.
- [0046] 도 3을 참조하면 PET-PD (210)는 제1 입력 신호 ϕ_{in} , 제1 입력 신호 ϕ_{in} 의 반전 신호 $/\phi_{in}$, 제2 입력 신호 ϕ_{out} , 및 제2 입력 신호 ϕ_{out} 의 반전 신호 $/\phi_{out}$ 를 입력 받을 수 있다.
- [0047] 게이트(gate) NOR1은 $/\phi_{in}$ 신호 및 P_UP 신호를 입력 받고 출력 신호를 생성한다. 편의 상 이 때의 출력 신호를 NOR1.out 이라 표시할 수 있다.
- [0048] 트랜지스터 P1, P3 및 N1은 NOR1.out 신호 및 제1 입력 신호 ϕ_{in} 을 입력 받고 출력 신호를 생성할 수 있다. 이 때의 출력 신호는 트랜지스터 P3 및 N1의 출력이므로 편의 상 P3.out 이라 표시할 수 있다.
- [0049] 트랜지스터 P2, N3, 및 N2는 P3.out 신호 및 제1 입력 신호 ϕ_{in} 을 입력 받고 출력 신호 P_DN을 생성할 수 있다.
- [0050] 게이트(gate) NOR2는 $/\phi_{out}$ 신호 및 P_DN 신호를 입력 받고 출력 신호를 생성한다. 편의 상 이 때의 출력 신호를 NOR2.out 이라 표시할 수 있다.
- [0051] 트랜지스터 P4, P6 및 N4는 NOR2.out 신호 및 제2 입력 신호 ϕ_{out} 를 입력 받고 출력 신호를 생성할 수 있다. 이 때의 출력 신호는 트랜지스터 P6 및 N4의 출력이므로 편의 상 P6.out 이라 표시할 수 있다.
- [0052] 트랜지스터 P5, N6, 및 N5는 P6.out 신호 및 제2 입력 신호 ϕ_{out} 를 입력 받고 출력 신호 P_DN을 생성할 수 있다.

- [0053] PET-PD (210)는 출력 신호 쌍 P_DN, P_UP을 교차 피드백함으로써 phase capture range를 넓히면서도 이득을 높게 유지할 수 있다.
- [0054] 도 4는 도 1의 위상 검출기(120)의 동작 특성의 일 예를 도시하는 도면이다.
- [0055] 위상 검출기(120)는 위상 차를 검출하고, 위상 차에 기초하여 제어 전압 Vctrl을 생성할 수 있다.
- [0056] 도 4를 참조하면 위상 차가 구간 $[-2\pi, -\pi]$ 에 포함되면 제어 전압 Vctrl은 음의 최대 전압 $-VDD$ 를 가질 수 있다. 위상 차가 구간 $[-\pi, \pi]$ 에 포함되면 제어 전압 Vctrl은 위상 차에 비례하는 값을 가질 수 있다. 위상 차가 구간 $[\pi, 2\pi]$ 에 포함되면 제어 전압 Vctrl은 양의 최대 전압 VDD를 가질 수 있다.
- [0057] 위상 검출기(120)는 dual edge triggered phase detector (DET-PD)의 성능을 이용하여 구간 $[-\pi, \pi]$ 에서는 높은 이득을 얻을 수 있고, 이득 특성 곡선을 개선함으로써 구간 $[-2\pi, -\pi]$ 및 구간 $[\pi, 2\pi]$ 도 phase capture range로 포함할 수 있다.
- [0058] 도 5는 도 1의 지연 회로 라인(130)의 일 예를 도시하는 도면이다.
- [0059] 도 5를 참조하면 지연 회로 라인(130)은 N개의 delay cell들을 포함할 수 있다.
- [0060] Delay Cell 1 (510)는 기준 클럭(reference clock)을 입력 받아 주기적으로 반복되는 펄스를 생성할 수 있다. 펄스의 주기는 기준 클럭의 주기에 기초하여 결정되고 펄스의 기준 클럭에 대한 지연 시간(delay time)은 제어 전압 Vctrl에 기초하여 결정될 수 있다.
- [0061] Delay Cell 2 (520)는 Delay Cell 1 (510)의 출력 펄스를 입력 받아 Vctrl에 기초하여 지연된 펄스를 생성할 수 있다.
- [0062] Delay Cell N (530)는 이전 Delay Cell (N-1)의 출력 펄스를 입력 받아 신호 ϕ_{out} 을 생성할 수 있다.
- [0063] 신호 ϕ_{in} 및 신호 ϕ_{out} 은 주기적으로 반복되는 펄스 신호이다. 이 때 펄스의 주기는 기준 클럭의 주기에 기초하여 결정될 수 있다. 신호 ϕ_{in} 및 신호 ϕ_{out} 간의 위상 차는 제어 전압 Vctrl에 기초하여 결정될 수 있다.
- [0064] 도 5에 대응하는 다른 실시예에 따라서는 Delay Cell 1 (510)는 차동 신호 쌍 (differential signal pair)을 생성할 수 있다. 지연 회로 라인(130)은 이전 Delay Cell의 차동 신호 쌍을 다음 Delay Cell의 입력으로 전달할 수 있다.
- [0065] 지연 회로 라인(130)은 voltage controlled delay line (VCDL)이라 불리기도 한다.
- [0066] 도 6은 도 5의 Delay Cell 1 (510)의 일 예를 상세히 도시하는 도면이다.
- [0067] 도 6을 참조하면 Delay Cell 1 (510)은 제1 버퍼(buffer) (610) 및 제2 버퍼 (620)를 포함할 수 있다.
- [0068] 제1 버퍼 (610)는 제1 차동 입력 신호 쌍 ($in+$, $in-$)을 입력 받고, 제1 차동 입력 신호 쌍의 positive edge 가 빠르게 천이되도록 조정된 제2 차동 신호 쌍 ($out+$, $out-$)을 생성할 수 있다.
- [0069] 이 때 제1 차동 입력 신호 쌍 ($in+$, $in-$)은 이전 Delay Cell의 출력 차동 신호 쌍일 수 있다.
- [0070] 제1 차동 입력 신호 쌍은 트랜지스터 P51 및 P52 각각의 게이트 단자(gate terminal)에 연결된다. 트랜지스터 N51 및 N52 각각의 게이트 단자는 상대방의 드레인 단자(drain terminal)에 연결된다. 트랜지스터 N51의 드레인 단자는 또한 트랜지스터 P51의 드레인 단자에 연결되고 $out-$ 로 명명된다. 트랜지스터 P51은 $in+$ 신호를 입력 받아 $out-$ 신호를 출력한다. 트랜지스터 N52의 드레인 단자는 트랜지스터 P52의 드레인 단자에 연결되고 $out+$ 로 명명된다. 트랜지스터 P52는 $in-$ 신호를 입력 받아 $out+$ 신호를 출력한다.
- [0071] 트랜지스터 N53 및 N54는 제어 전압 Vctrl에 기초하여 제2 차동 신호 쌍($out+$, $out-$)에 대응하는 노드의 방전을 적응적으로(adaptively) 보조할 수 있다.
- [0072] 펄스 신호가 복수의 delay cell들을 거치면서 edge의 slope가 완만하게 변화되는 경우가 빈번하다. edge의 slope가 완만하면 triggering point를 찾기가 어려우므로 제1 버퍼(610)는 신호의 positive edge의 slope를 복원함으로써 위상 검출기(120)가 위상 차를 쉽게 검출할 수 있도록 한다.
- [0073] 또한 제1 버퍼(610)는 positive edge의 slope를 복원하고 negative edge의 slope를 상대적으로 작게 복원함으로써 $out+$, $out-$ 신호의 edge 간의 거리를 좁혀 duty cycle을 1/2에 가깝게 조정할 수 있다.

- [0074] in+, in-의 positive edge의 slope가 지나치게 완만한 경우, 트랜지스터 P51 및 P52가 turn off 되는 시점이 늦어 out+, out-의 negative edge가 완만해지는 경향이 있을 수 있다. 트랜지스터 N53 및 N54는 Vctrl에 기초하여 adaptive하게 out+, out-에 대응하는 node의 discharging을 지원함으로써 out+, out-의 negative edge의 slope를 개선할 수 있다.
- [0075] 제2 버퍼(620)는 8개의 인버터(inverter)들 (I1 내지 I8)을 포함할 수 있다.
- [0076] I1는 out- 신호를 입력 받고 I3는 I1의 출력을 입력 받을 수 있다.
- [0077] I2는 out+ 신호를 입력 받고 I4는 I2의 출력을 입력 받을 수 있다.
- [0078] I5는 out- 신호를 입력 받고 I4 및 I5의 출력은 하나의 노드(node)에 연결된다. I7은 I4 및 I5의 출력이 연결된 노드를 입력으로 하고 ϕ_{out-} 를 생성할 수 있다.
- [0079] I6는 out+ 신호를 입력 받고 I3 및 I6의 출력은 또 하나의 노드에 연결된다. I8은 I3 및 I6의 출력이 연결된 노드를 입력으로 하고 ϕ_{out+} 를 생성할 수 있다.
- [0080] 제2 버퍼(620)는 제2 차동 신호 쌍(out+, out-)을 interpolate하여 차동 출력 신호 쌍(ϕ_{out+} , ϕ_{out-})을 생성할 수 있다.
- [0081] Delay Cell 1 (510)은 펄스 신호가 VCDL을 경유하는 동안 발생한 duty cycle distortion을 제거하고 복원된 duty cycle을 가지는 펄스 신호를 생성할 수 있다.
- [0082] 듀티 사이클 보정기(110)는 Delay Cell 1 (510)에 의하여 제거되지 못한 duty cycle distortion을 compensation할 수 있다. DLL (100)은 duty cycle의 distortion을 제거함으로써 DET-PD 기법에 의한 높은 이득을 유지할 수 있고, 따라서 phase locking time 을 줄일 수 있다.
- [0083] 도 7은 도 1의 듀티 사이클 보정기(110)의 일 예를 상세히 도시하는 도면이다.
- [0084] 도 7을 참조하면 듀티 사이클 보정기(110)는 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 을 입력 받아 보정된 제3 신호 $\phi_{in'}$ 및 보정된 제4 신호 $\phi_{out'}$ 을 생성할 수 있다.
- [0085] 듀티 사이클 보정기(110)는 반전된 제1 신호 / ϕ_{in} 및 반전된 제2 신호 / ϕ_{out} 을 입력 받아 반전된 제3 신호 / $\phi_{in'}$ 및 반전된 제4 신호 / $\phi_{out'}$ 을 더 생성할 수 있다.
- [0086] Delay (720)는 제1 신호 ϕ_{in} 의 지연 신호를 생성할 수 있다. 다중화기 (multiplexer)(710)는 제1 신호 ϕ_{in} 및 제1 신호 ϕ_{in} 의 지연 신호 중 하나를 제2 신호 ϕ_{out} 에 기초하여 제3 신호 $\phi_{in'}$ 으로 선택할 수 있다.
- [0087] 다중화기(710)는 제2 신호 ϕ_{out} 이 논리 "1"에 대응할 때 제1 신호 ϕ_{in} 의 지연 신호를 제3 신호 $\phi_{in'}$ 으로 선택하고 제2 신호 ϕ_{out} 이 논리 "0"에 대응할 때 제1 신호 ϕ_{in} 를 제3 신호 $\phi_{in'}$ 으로 선택할 수 있다.
- [0088] Delay (760)는 제2 신호 ϕ_{out} 의 지연 신호를 생성할 수 있다. 다중화기 (750)는 제2 신호 ϕ_{out} 및 제2 신호 ϕ_{out} 의 지연 신호 중 하나를 제1 신호 ϕ_{in} 에 기초하여 제4 신호 $\phi_{out'}$ 으로 선택할 수 있다.
- [0089] 다중화기(750)는 제1 신호 ϕ_{in} 이 논리 "1"에 대응할 때 제2 신호 ϕ_{out} 의 지연 신호를 제4 신호 $\phi_{out'}$ 으로 선택하고 제1 신호 ϕ_{in} 이 논리 "0"에 대응할 때 제2 신호 ϕ_{out} 를 제4 신호 $\phi_{out'}$ 으로 선택할 수 있다.
- [0090] 설명의 편의 상 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 의 positive edge가 동기되었거나 거의 동기된 경우를 가정한다. 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 중 시간 상으로 앞선 negative edge를 가지는 신호는 좀 더 delay되므로 듀티 사이클 보정기(110)는 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 간의 negative edge의 시간 차이를 줄일 수 있다. 따라서 듀티 사이클 보정기(110)는 제1 신호 ϕ_{in} 및 제2 신호 ϕ_{out} 간의 duty cycle 차이를 보정할 수 있다.
- [0091] Delay (740)는 반전된 제1 신호 / ϕ_{in} 의 지연 신호를 생성할 수 있다. 다중화기 (730)는 반전된 제1 신호 / ϕ_{in} 및 반전된 제1 신호 / ϕ_{in} 의 지연 신호 중 하나를 제2 신호 ϕ_{out} 에 기초하여 제3 신호의 반전 신호 / $\phi_{in'}$ 으로 선택할 수 있다.
- [0092] 다중화기(730)는 제2 신호 ϕ_{out} 이 논리 "1"에 대응할 때 반전된 제1 신호 / ϕ_{in} 의 지연 신호를 제3 신호의 반전 신호 / $\phi_{in'}$ 으로 선택하고 제2 신호 ϕ_{out} 이 논리 "0"에 대응할 때 반전된 제1 신호 / ϕ_{in} 를 제3 신호의 반전 신호 / $\phi_{in'}$ 으로 선택할 수 있다.
- [0093] Delay (780)는 반전된 제2 신호 / ϕ_{out} 의 지연 신호를 생성할 수 있다. 다중화기 (770)는 반전된 제2 신호 / ϕ_{out} 및 반전된 제2 신호 / ϕ_{out} 의 지연 신호 중 하나를 제1 신호 ϕ_{in} 에 기초하여 제4 신호의 반전 신호 / $\phi_{out'}$ 으로 선택할 수 있다.

out'으로 선택할 수 있다.

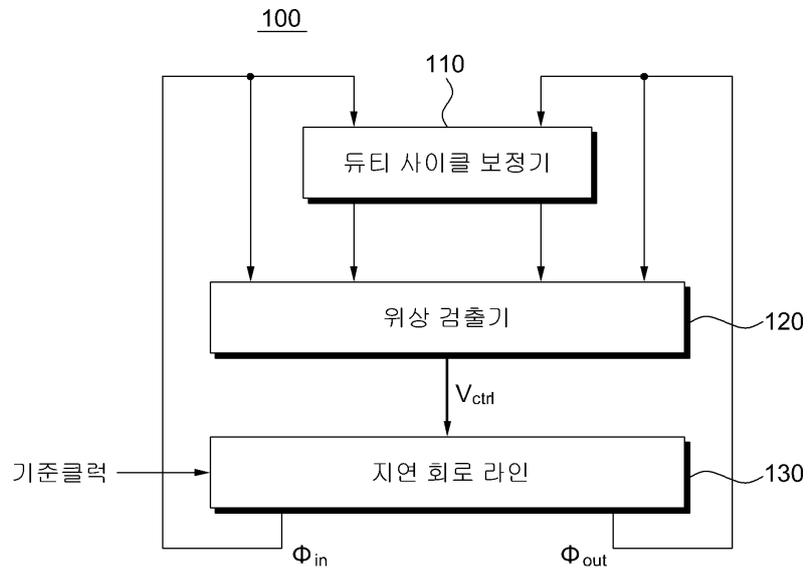
- [0094] 다중화기(770)는 제1 신호 ϕ_{in} 이 논리 "1"에 대응할 때 반전된 제2 신호 ϕ_{out} 의 지연 신호를 제4 신호의 반전 신호 ϕ_{out} '으로 선택하고 제1 신호 ϕ_{in} 이 논리 "0"에 대응할 때 반전된 제2 신호 ϕ_{out} 를 제4 신호의 반전 신호 ϕ_{out} '으로 선택할 수 있다.
- [0095] 본 발명의 실시예들에 따른 지연 동기(phase locking) 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0096] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0097] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

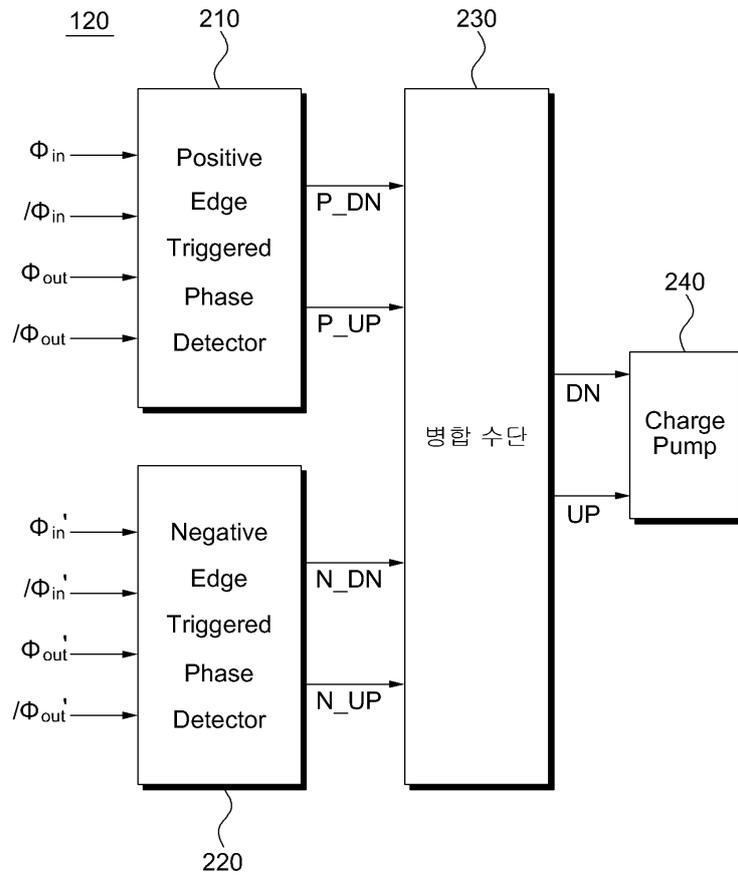
- [0098] 도 1은 본 발명의 일 실시예에 따른 지연 동기 루프(Delay Locked Loop, DLL)(100)를 도시하는 도면이다.
- [0099] 도 2는 도 1의 위상 검출기(120)의 일 예를 상세히 도시하는 도면이다.
- [0100] 도 3은 도 2의 PET-PD (210)의 일 예를 상세히 도시하는 도면이다.
- [0101] 도 4는 도 1의 위상 검출기(120)의 동작 특성의 일 예를 도시하는 도면이다.
- [0102] 도 5는 도 1의 지연 회로 라인(130)의 일 예를 도시하는 도면이다.
- [0103] 도 6은 도 5의 Delay Cell 1 (510)의 일 예를 상세히 도시하는 도면이다.
- [0104] 도 7은 도 1의 듀티 사이클 보정기(110)의 일 예를 상세히 도시하는 도면이다.
- [0105] <도면의 주요 부분에 대한 부호의 설명>
- [0106] 110: Duty Cycle Compensator
- [0107] 120: Phase Detector
- [0108] 130: Delay Line

도면

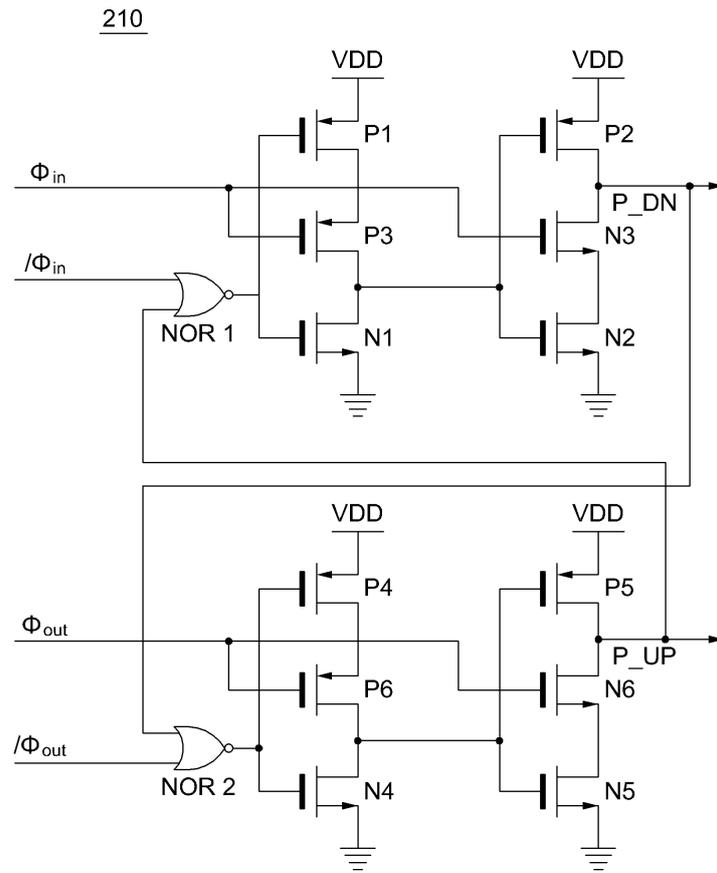
도면1



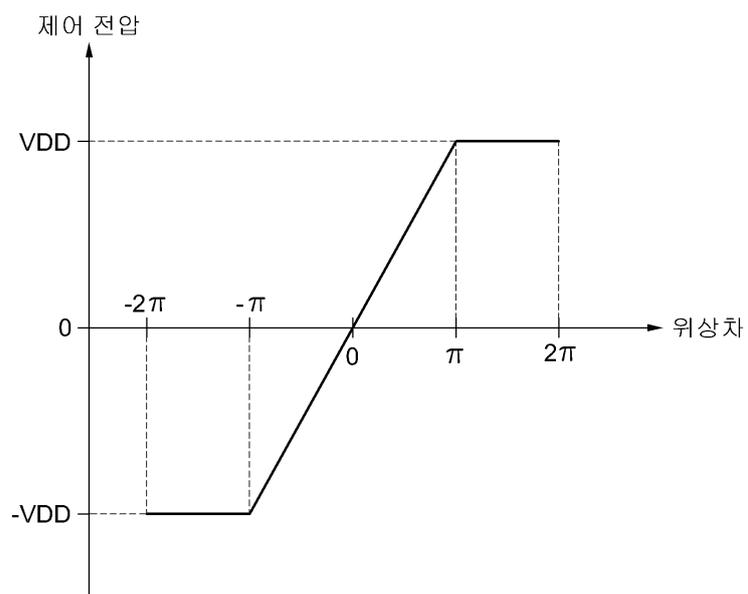
도면2



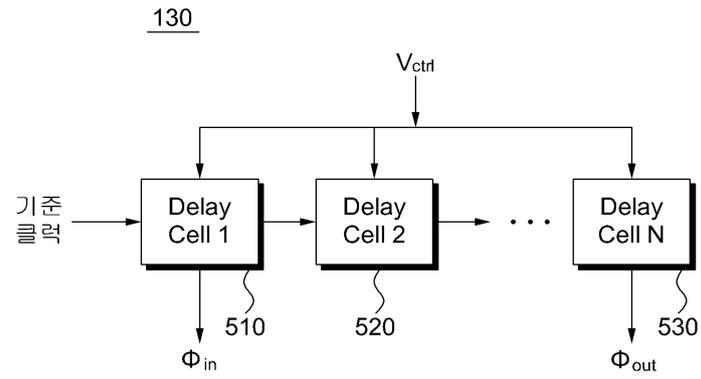
도면3



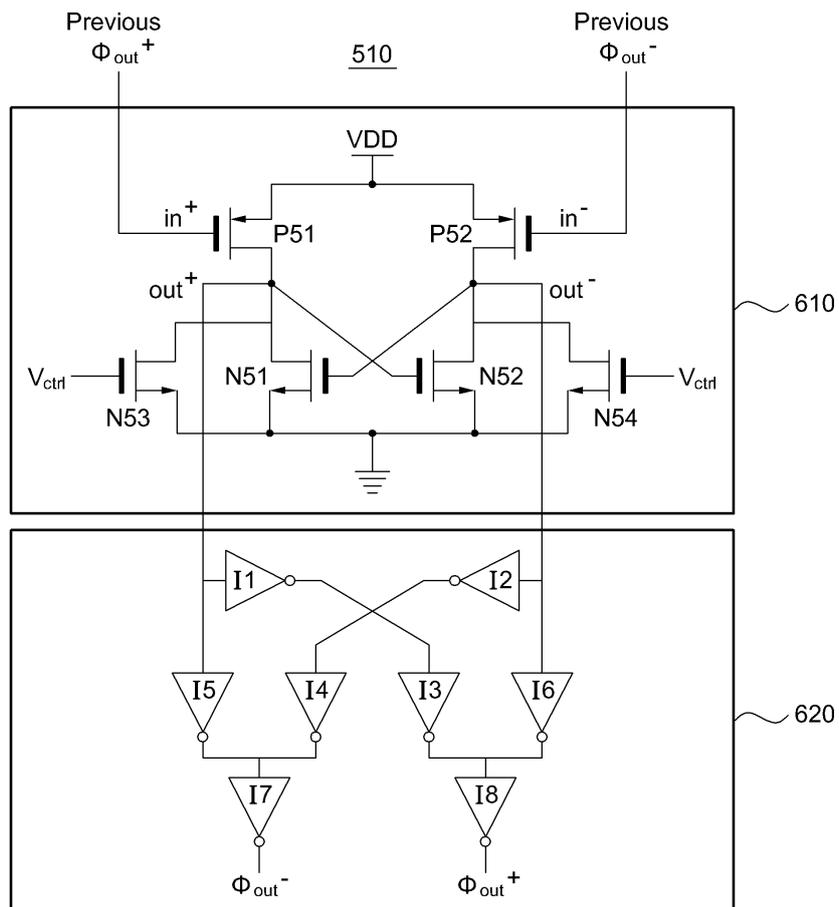
도면4



도면5



도면6



도면7

