	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2010-0042955 (43) 공개일자 2010년04월27일
(51) Int. Cl. <i>H01L 21/8247</i> (2006.01) (21) 출원번호 10-2008-0102190 (22) 출원일자 2008년10월17일 심사청구일자 없음	(71) 출원인 연세대학교 산학협력단 서울 서대문구 신촌동 134 연세대학교 (72) 발명자 이대운 서울특별시 서대문구 신촌동 134 연세대학교 서정목 경기도 고양시 일산서구 주엽1동 강선마을 106동 2301호 (74) 대리인 특허법인 씨엔에스·로고스	

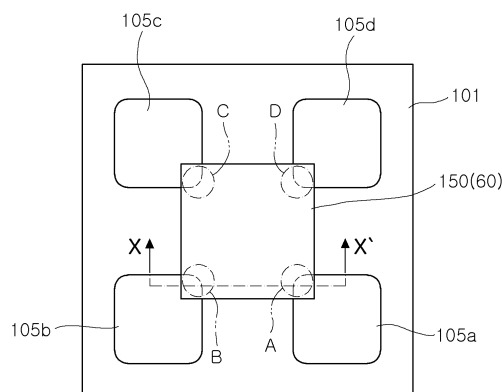
전체 청구항 수 : 총 13 항

(54) 전하 트랩 영역을 이용한 멀티-레벨-셀 비휘발성 메모리 소자

(57) 요약

본 발명의 일 측면에 따른 멀티-레벨-셀 비휘발성 메모리 소자는, 단위 셀당 3개 이상의 소스/드레인 영역이 형성된 반도체 기판; 상기 반도체 기판 상에 형성되며, 상기 소스/드레인 영역에 인가되는 전압에 따라 전하를 트랩핑하는 전하 트랩 영역을 갖는 전하 트래핑 절연부; 및 상기 전하 트래핑 절연부 상에 형성되며, N각형(N은 3 이상의 정수)의 평면 형상을 갖는 게이트 전극을 포함하고, 상기 전하 트랩 영역은 전하가 지역화되어(localized) 저장될 수 있는 전하 트랩 사이트를 제공하고, 상기 소스/드레인 영역은 상기 게이트 전극이 형성하는 N각형의 꼭지점부에 배치되어 있다.

대표도 - 도1



특허청구의 범위

청구항 1

단위 셀당 3개 이상의 소스/드레인 영역이 형성된 반도체 기관;

상기 반도체 기관 상에 형성되며, 상기 소스/드레인 영역에 인가되는 전압에 따라 전하를 트랩핑하는 전하 트랩 영역을 갖는 전하 트래핑 절연부; 및

상기 전하 트래핑 절연부 상에 형성되며, N각형(N은 3이상의 정수)의 평면 형상을 갖는 게이트 전극을 포함하고,

상기 전하 트랩 영역은 전하가 지역화되어 저장될 수 있는 전하 트랩 사이트를 제공하고, 상기 소스/드레인 영역은 상기 게이트 전극이 형성하는 N각형의 꼭지점부에 배치된 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 2

제1항에 있어서,

상기 전하 트래핑 절연부는,

상기 반도체 기관과 상기 전하 트랩 영역 사이에 형성된 터널링 절연막; 및

상기 터널링 절연막 상에 형성된 블로킹 절연막;을 포함하는 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 3

제1항에 있어서,

상기 비휘발성 메모리 소자는, 상기 소스/드레인 영역에 인가되는 전압에 따라, 상기 전하 트랩 영역 중 상기 소스/드레인 영역에 인접한 부분에 전하를 지역화하여 선택적으로 저장함으로써, 단위 셀당 3비트 이상의 데이터를 저장하는 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 4

제1항에 있어서,

상기 N각형의 변을 따라 또는 상기 N각형의 대각선을 따라 상기 반도체 기관에서 고유의 채널 영역이 형성되는 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 5

제1항에 있어서,

상기 전하 트랩 영역은 상기 터널링 절연막 상에 형성된 복수의 금속 나노닷으로 이루어진 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 6

제5항에 있어서,

상기 금속 나노닷은 금, 은, 니켈, 백금, 루테튬 중에서 선택된 금속으로 형성된 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 7

제1항에 있어서,

상기 전하 트랩 영역은 전하 트랩 사이트를 제공하는 질화막으로 형성된 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 8

제1항에 있어서,

상기 게이트 전극은 4각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 4각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 4비트의 데이터를 저장하는 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 9

제1항에 있어서,

상기 게이트 전극은 6각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 6각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 6비트의 데이터를 저장하는 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 10

제1항에 있어서,

상기 게이트 전극은 8각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 8각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 8비트의 데이터를 저장하는 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 11

제1항에 있어서,

상기 게이트 전극은 3각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 3각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 3비트의 데이터를 저장하는 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 12

단위 셀당 N개의(N은 3 이상의 정수) 소스/드레인 영역이 형성된 반도체 기판;

상기 반도체 기판 상에 형성된 터널링 절연막;

상기 터널링 절연막 상에 형성되며, 상기 소스/드레인에 인가되는 전압에 따라 전하를 트랩하여 지역화된 전하를 저장하는 복수의 금속 나노닷;

상기 금속 나노닷 상에 형성된 블로킹 절연막; 및

상기 블로킹 절연막 상에 형성되며, N각형의 평면 형상을 갖는 게이트 전극;을 포함하고,

상기 소스/드레인 영역은 상기 N각형의 각 꼭지점부에 배치되고, 상기 복수의 금속 나노닷은 상기 N각형의 꼭지

점부에 인접하게 전하를 지역화하여 저장함으로써 단위 셀당 N비트의 데이터 저장을 구현하는 멀티-레벨-셀 비휘발성 메모리 소자.

청구항 13

제12항에 있어서,

상기 N은 3 이상 8이하인 정수인 것을 특징으로 하는 멀티-레벨-셀 비휘발성 메모리 소자.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 소자에 관한 것으로, 보다 상세하게는 전하가 지역화되어(localized) 저장될 수 있는 전하 트랩 영역을 이용하여 단위 셀당 3개 비트 이상을 저장할 수 있는 새로운 구조를 갖는 멀티-레벨-셀 비휘발성 메모리 소자에 관한 것이다.

배경 기술

[0002] 플래시 메모리 등의 개서 가능한 비휘발성 메모리 소자는 기존의 전형적인 MOS 구조의 유전막 사이에 플로팅 게이트(floating gate)라고 불리는 전하 저장부를 포함하며, 전원 공급이 차단된 상태에서도 데이터를 저장할 수 있는 특성을 갖는다. 기존의 플래시 메모리 소자에서는 전하를 저장하는 플로팅 게이트로서 폴리실리콘을 주로 사용하였으나, 소자간 간섭으로 인한 집적도 향상의 어려움 때문에 최근에는 폴리실리콘을 대체하기 위한 전하 트랩형 메모리 소자(charge trap type memory device)에 관한 연구가 활발히 진행되고 있다. 전하 트랩형 메모리 소자에는, 플로팅 게이트로서 질화막을 사용하는 SONOS 구조의 메모리 소자와, 전하 트랩 사이트(charge trap sites)로서 나노 구조를 이용하는 나노 플로팅 게이트 메모리 소자가 있다.

[0003] 비휘발성 메모리 소자의 성능은 데이터 저장 능력과 그 데이터의 쓰기 및 읽기 동작의 안정성 및 속도 등에 의해 결정된다. 플래시 등의 비휘발성 메모리 소자 분야에서도 고집적화의 필요성이 증대되고 있다. 이를 위해서 메모리 소자의 크기를 줄이기 위한 노력이 계속되고 있으나 소자 축소에 따른 단채널 효과등 소자 특성의 악화를 방지하기 위한 방안이 요구되고 있다. 고집적화를 위한 다른 방안으로서, 단위 셀에 2비트 등 다중 비트 동작을 구현하는 멀티-레벨-셀의 가능성이 제시되고 있다.

[0004] 그러나 기존의 폴리실리콘 플로팅 게이트를 이용한 멀티-레벨-셀은 단순히 플로팅 게이트에 저장되는 전하의 양에 따라 각 상태를 구분하여, 안정적인 데이터 쓰기과 읽기 동작에 어려움이 있고 동작 자체가 복잡하다. 또한, 트랩 사이트를 통해서 구현되는 멀티-레벨-셀이 제시되었으나, 각 데이터 저장 상태를 명확하고 안정적으로 구분하는 데에 어려움이 있고, 단위셀당 3비트 이상의 데이터 저장이 효율적이지 못하거나 어렵다. 단위셀당 멀티비트 구현이 가능한 전하 트랩형 플래시 메모리 소자는 기존의 MOS 구조로 구현될 경우 그 한계가 분명해 보인다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 일 과제는 단위셀당 3비트 이상의 데이터를 효율적이고 안정적으로 저장하여 메모리 집적도 향상에 기여하는 새로운 구조의 멀티-레벨-셀 비휘발성 메모리 소자를 제공하는 것이다.

과제 해결수단

- [0006] 본 발명의 일 측면에 따른 멀티-레벨-셀 비휘발성 메모리 소자는, 단위 셀당 3개 이상의 소스/드레인 영역이 형성된 반도체 기판; 상기 반도체 기판 상에 형성되며, 상기 소스/드레인 영역에 인가되는 전압에 따라 전하를 트랩핑하는 전하 트랩 영역을 갖는 전하 트래핑 절연부; 및 상기 전하 트래핑 절연부 상에 형성되며, N각형(N은 3 이상의 정수)의 평면 형상을 갖는 게이트 전극을 포함하고, 상기 전하 트랩 영역은 전하가 지역화되어(localized) 저장될 수 있는 전하 트랩 사이트를 제공하고, 상기 소스/드레인 영역은 상기 게이트 전극이 형성하는 N각형의 꼭지점부에 배치되어 있다.
- [0007] 상기 전하 트래핑 절연부는, 상기 반도체 기판과 상기 전하 트랩 영역 사이에 형성된 터널링 절연막; 및 상기 터널링 절연막 상에 형성된 블로킹 절연막;을 포함할 수 있다.
- [0008] 상기 비휘발성 메모리 소자는, 상기 소스/드레인 영역에 인가되는 전압에 따라, 상기 전하 트랩 영역 중에서 상기 소스/드레인 영역(또는 N각형의 꼭지점부)에 인접한 부분에 전하를 지역화하여(localize) 선택적으로 저장함으로써, 단위 셀당 3비트 이상의 데이터를 저장할 수 있다.
- [0009] 본 발명의 실시형태에 따르면, 상기 N각형의 변을 따라 또는 상기 N각형의 대각선을 따라 상기 반도체 기판에서 고유의 채널 영역이 형성될 수 있다.
- [0010] 본 발명의 실시형태에 따르면, 상기 전하 트랩 영역은 상기 터널링 절연막 상에 형성된 복수의 금속 나노닷(nanodots)으로 이루어질 수 있다. 상기 금속 나노닷은 금, 은, 니켈, 백금, 루테튬 중에서 선택된 금속으로 형성될 수 있다. 다른 실시형태에 따르면, 상기 전하 트랩 영역은 전하 트랩 사이트를 제공하는 질화막으로 형성될 수도 있다.
- [0011] 본 발명의 실시형태에 따르면, 상기 게이트 전극은 4각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 4각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 4비트의 데이터를 저장할 수 있다.
- [0012] 다른 실시형태로서, 상기 게이트 전극은 6각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 6각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 6비트의 데이터를 저장할 수 있다.
- [0013] 또 다른 실시형태로서, 상기 게이트 전극은 8각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 8각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 8비트의 데이터를 저장할 수 있다.
- [0014] 또 다른 실시형태로서, 상기 게이트 전극은 3각형의 평면 형상을 갖고, 상기 소스/드레인 영역은 상기 3각형의 각 꼭지점부에 배치되고, 상기 비휘발성 메모리 소자는 단위 셀당 3비트의 데이터를 저장할 수 있다.
- [0015] 또한, 본 발명의 일 측면에 따르면, 단위 셀당 N개의(N은 3 이상의 정수) 소스/드레인 영역이 형성된 반도체 기판; 상기 반도체 기판 상에 형성된 터널링 절연막; 상기 터널링 절연막 상에 형성되며, 상기 소스/드레인 영역에 인가되는 전압에 따라 전하를 트랩하여 지역화된 전하를 저장하는 복수의 금속 나노닷; 상기 금속 나노닷 상에 형성된 블로킹 절연막; 및 상기 블로킹 절연막 상에 형성되며, N각형의 평면 형상을 갖는 게이트 전극;을 포함하고, 상기 소스/드레인 영역은 상기 N각형의 각 꼭지점부에 배치되고, 상기 복수의 금속 나노닷은 상기 N각형의 꼭지점부에 인접하게 전하를 지역화하여 선택적으로 저장함으로써 단위 셀당 N비트의 데이터 저장을 구현하는,

멀티-레벨-셀 비휘발성 메모리 소자를 제공한다.

[0016] 본 발명의 실시형태에 따르면, 상기 N은 3 이상 8이하인 정수로 선택될 수 있다.

효 과

[0017] 본 발명에 따르면, 다각형 게이트 모양에 따라 다양한 비트를 단위 메모리 셀에 안정적으로 저장할 수 있다. 본 발명은 기존의 비휘발성 메모리가 갖는 저장 능력의 한계와 스케일 다운시 발생하는 소자간 간섭을 동시에 극복 하면서, 1개의 메모리 셀에 3개 또는 4개 이상의 비트를 저장하여 회로의 집적도를 기존에 비해 크게 향상시킬 수 있다. 고집적도와 높은 신뢰성을 갖는 플래시 메모리 소자의 구현에 기여할 수 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러 가지의 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로만 한정되는 것은 아니다. 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0019] 본 발명자가 제안하는 3비트 또는 4비트 이상의 멀티-레벨-셀은, 금속 나노닷 또는 질화막 등에 의해 제공되는 전하 트랩 사이트의 전하 지역화 특성에 의해 실현될 수 있다. 또한, 이 멀티-레벨-셀은, 다각형(3각형 이상)의 평면 형상을 갖는 게이트 전극 구조와, 다각형 게이트 전극의 엣지부(꼭지점부)에 오버랩되는 복수의 소스/드레인 영역(이하, 반도체 기판에서 소스 또는 드레인이 되는 불순물 영역을 '소스/드레인 영역'이라 통칭함)을 이용한다. 본 발명자에 의해 새롭게 제안되는 멀티 비트 구조는 기존 MOS 구조의 3전극(소스, 드레인 및 게이트 전극) 형태에서 발전하여 4개 이상의 전극이 관련된 구조이며, 각 비트는 다양한 게이트 평면 모양(게이트 상면 위로부터 바라본 모양으로서 사각형, 육각형, 팔각형 등)의 꼭지점에 해당하는 지역에 저장되는 특성을 갖는다.

[0020] 도 1은 본 발명의 실시형태에 따른 멀티-레벨-셀 비휘발성 메모리 소자, 특히 메모리 소자의 단위셀을 개략적으로 보여주는 평면도이다. 도 1의 XX' 라인을 따라 자른 단면도가 도 2에 나타나 있다. 도 3은 도 1의 비휘발성 메모리 소자를 3차원 입체 구조로 개략적으로 나타낸 사시도이다.

[0021] 도 1 내지 3을 참조하면, 비휘발성 메모리 소자(100)는 4개의 소스/드레인 영역(105a, 105b, 105c, 105d)을 갖는 반도체 기판(101)을 포함한다. 소스/드레인 영역(105a~105d)은 예를 들어, n채널 트랜지스터 형성을 위한 n-도프 불순물 영역일 수 있다. 이와 달리, 다른 실시예로서, p채널 트랜지스터 형성을 위한 p-도프 불순물 영역의 소스/드레인이 이용될 수도 있다.

[0022] 반도체 기판(101) 상에는 전하의 트래핑(trapping)과 트랩된 전하의 유지를 위한 전하 트래핑 절연부(140)가 형성되어 있고, 전하 트래핑 절연부(140) 상에는 폴리실리콘 또는 다른 도전체의 게이트 전극(150)이 형성되어 있다. 전하 트래핑 절연부(140)와 게이트 전극(150)은 반도체 기판(101) 상에서 게이트 구조를 이루며, 후술하는 바와 같이 다각형의 평면 형상을 가질 수 있다. 전하 트래핑 절연부(140)는 기판(101) 상에 순차 형성된 터널링 절연막(110), 전하 트랩 영역(60), 블로킹 절연막(130)을 포함한다.

[0023] 터널링 절연막(110)과 블로킹 절연막(130)은 SiO₂ 등의 산화물로 형성될 수 있다. 블로킹 절연막(130)은 전하 트랩 영역(60)에 트랩된 전하가 게이트 전극(150)으로 누설되는 것을 방지하고, 게이트 전극(150)으로부터 전하 트랩 영역(60)으로 전하가 주입되는 것을 방지한다. 금속 나노닷(120)으로는 일함수(work function)가 실리콘과

비슷거나 더 큰 금속, 예를 들어 금, 은, 니켈, 백금, 루테튬 등의 금속 물질을 사용할 수 있다.

[0024] 본 실시형태에서는, 전하 트랩 사이트를 제공하기 위한 전하 트랩 영역(60)으로서 금속 나노닷(nanodots: 120)을 사용한다. 이러한 금속 나노닷(120)으로 된 전하 트랩 영역(60)은 프로그램(전하 저장) 동작시 전하를 지역화하여 높은 필드가 있는 부분에 비대칭적으로 저장할 수 있다. 예를 들어, n채널의 경우, 도 2에서 왼쪽의 소스/드레인 영역(105b)에 0V 전압, 오른쪽의 소스/드레인 영역(105a)에 소정의 양 전압, 게이트에 기설정된 게이트 전압(양 전압)을 인가하여 소스측(105b)으로부터 드레인측(105a)으로 흐르는 전자(e-)가 열전자 주입(hot electron injection) 등에 의해 터널링 절연막(110)을 통과하여 드레인측(105a)에 인접한 금속 나노닷 지역(A)에 트랩되게 할 수 있다(도 2 참조). 이로써, 전자는 드레인측(105a)에 인접한 소정 지역(A)에 비대칭적으로 지역화되어 저장될 수 있다. 소스/드레인 영역(105a, 105b)에 인가되는 전압을 반대로 바꿈으로써, 상기 지역(A)의 반대쪽 지역(B)에 전하를 지역화하여 저장할 수 있다. 마찬가지로 p채널의 경우에도, 소스/드레인 영역(105a, 105b)에 인가되는 전압에 따라, A 지역 또는 B 지역에(또는 A 및 B 지역 모두에) 전하를 지역화하여 저장할 수 있다.

[0025] 마찬가지로 방식으로, 소스/드레인 영역(105a, 105b, 105c, 105d)에 인가되는 전압에 따라, 4각형 게이트 전극(150)의 꼭지점에 인접한 전하 트랩 영역 부분(A, B, C, D)에 전하를 지역화하여 선택적으로 저장할 수 있다. 이와 같이 전하가 저장된 지역에 따라 메모리 소자의 문턱 전압 등 전기적 특성이 달라지고 메모리의 데이터 저장 상태를 구분한다. 게이트 전극(150)의 4각형 꼭지점에 소스/드레인 영역(150)을 배치하고 각 꼭지점부에서 전하를 저장 또는 소거함으로써, 각 꼭지점부에서 0 또는 1을 구분해서 1개의 비트를 저장한다. 이로써, 4각형 평면 형상의 게이트 전극(150)의 꼭지점에 해당하는 지역(A, B, C, D)에 각각 1개의 비트가 저장되어 총 4개 비트를 1개의 단위 셀에 저장할 수 있게 된다.

[0026] 전하를 저장하는 프로그램 동작시 또는 데이터를 읽는 읽기 동작시, 4각형의 변의 양 끝단에 배치된 1쌍의 소스/드레인 영역(예컨대, 105a와 105b)에 기설정된 동작 전압을 인가해줌으로써, 4각형의 변을 따라 반도체 기판(101)에 고유의 채널 영역이 형성될 수 있다. 예를 들어, 1쌍의 소스/드레인 영역(105a, 105b)에 동작 전압을 인가해줌으로써 1쌍의 소스/드레인 영역(105b, 105c)을 잇는 변을 따라 채널 영역이 형성될 수 있다. 또한, 1쌍의 소스/드레인 영역(105b, 105c)에 동작 전압을 인가해줌으로써 1쌍의 소스/드레인 영역(105b, 105c)을 잇는 변을 따라 다른 채널 영역이 형성될 수 있다. 이와 같은 방식으로, 도 1의 비휘발성 메모리 소자의 단위 셀에서, 게이트의 4각형의 4개 변을 따라, 4개의 채널 영역이 형성될 수 있다. 이와 달리, 게이트의 4각형의 적어도 하나의 대각선 방향으로 채널을 형성하는 것도 가능하다. 예컨대, 1쌍의 소스/드레인 영역(105a, 105c)에 동작 전압을 인가해줌으로써 1쌍의 소스/드레인 영역(105a, 105c)를 잇는 대각선을 따라 채널 영역이 형성될 수도 있다.

[0027] 상술한 메모리 소자(100)는 예를 들어, 아래와 같이 여러 층을 순차적으로 증착시켜 제조할 수 있다. 우선, 반도체 기판(101)에 이온 주입(ion implantation)과 금속 열처리를 통해 소스/드레인 영역(105)을 형성한다. 여기서, 소스/드레인 영역(105)은 나중에 형성될 게이트 전극(150)의 꼭지점에 오버랩되는 위치에 형성한다. 그 후, 반도체 기판(101) 상에 터널링 절연막(110)용 제1 절연막(예컨대, SiO₂ 등)을 건식 산화 방법으로 약 7nm 증착하고, 그 위에 금속막을 2~8nm 증착한 후, 700~900℃에서 15~16초로 금속 열처리하여 금속 나노닷(120)을 형성할 수 있다.

[0028] 도 4는 본 발명의 실시형태에 따른 비휘발성 메모리 소자의 전하 트랩 사이트로 사용되는 금속 나노닷을 나타낸 주사 전자 현미경(SEM) 사진이다. 도 4(a)는 4nm 두께로 금속막(Pt)을 증착한 후에 약 800℃에서 열처리하여 얻은 금속 나노닷을 나타내고, 도 4(b)는 8nm 두께로 금속막(Pt)을 증착한 후에 약 800℃에서 열처리하여 얻은 Pt 나노닷을 나타낸다.

- [0029] 그 이후에는 게이트로의 전하 누설을 방지하기 위한 블로킹 절연막(130)용 제2 절연막(예컨대, SiO_2 등)을 30~100nm 두께로 PECVD를 통해 증착하고, 게이트 전극(150)용 게이트 도전층을 100~200nm 증착한다. 이러한 일련의 증착 과정을 거친 후, 패터닝 과정을 통해 원하는 다각형 게이트 모양(예컨대, 4각형, 6각형, 8각형, 3각형 등, 도 1, 7, 8, 9 참조)을 얻는다.
- [0030] 도 5는 본 발명의 실시형태에 따라 도 1 내지 3의 멀티-레벨-셀 비휘발성 메모리 소자(100)를 사용하여 전하의 지역화(localization)를 통해 4개 비트를 한개의 단위셀에 저장하는 방식을 설명하기 위한 모식도이다.
- [0031] 도 5의 (a)~(p)에 도시된 바와 같이, 4각형의 게이트 모양을 갖는 메모리 소자의 경우를 예로 들어 설명하면, 게이트 전극의 4각형(또는 전하 트랩 영역의 4각형)의 각 꼭지점에 소스/드레인이 배치된다. 이 경우, 4각형의 전하 트랩 영역(60)의 각 꼭지점(또는 4각형의 게이트 전극(150)의 각 꼭지점)에 위치하는 전하 트랩 영역 부분에 전하가 지역화되어 저장되어 있을 경우를 1, 전하가 없을 경우를 0으로 나타낼 수 있다. 이에 따라, 각 꼭지점 부근의 소스/드레인 영역(105)에 인가되는 전압에 따라, 각각의 꼭지점 1개의 비트를 저장할 수 있고, 단위셀당 총 4개의 꼭지점을 갖고 있으므로 총 4개의 비트를 1개의 메모리 셀에 저장할 수 있게 된다. 따라서, 도 5의 (a)~(p)에 도시된 바와 같이, 단위 셀에는 총 4개의 데이터 저장 상태들이 구별되어 나타날 수 있고, 단위셀당 총 4비트의 데이터 저장이 가능하게 된다.
- [0032] 상술한 실시형태에서는, 전하의 지역화가 가능하도록 전하 트랩 사이트를 제공하는 전하 트랩 영역(60)으로서 금소 나노닷(120)을 사용하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 도 6에 도시된 바와 같이, 게이트 구조(161)에 있어서, 전하 트래핑 절연부(141) 내에 전하 트랩 영역(60)으로서 전하의 지역화가 가능한 질화막(125)을 사용할 수도 있다. 도 6을 참조하면, 소스/드레인 영역(105a, 105b)이 형성된 반도체 기판(101) 상에 터널링 절연막(110), 질화막(125), 블로킹 절연막(130) 및 게이트 전극(150)이 순차적으로 적층되어 있다. 터널링 절연막(110), 질화막(125), 블로킹 절연막(130)은 ONO 구조의 전하 트래핑 절연부(141)를 구성하여, 전체적으로 SONOS형 메모리 소자를 이룰 수 있다. 평면 형상은 도 1에 도시된 바와 마찬가지로이다. 이와 같이, 질화막(125)의 전하 트랩 영역(60)을 이용하여 전하를 4각형 게이트 모양의 꼭지점에 지역화하여 저장할 수 있다.
- [0033] 도 7 내지 도 9는 본 발명의 다른 실시형태들에 따른 멀티-레벨-셀 비휘발성 메모리 소자(특히, 단위셀)를 개략적으로 나타낸 평면도들이다. 이 실시형태들에 따른 메모리 소자의 단면 구조(예컨대, YY', ZZ'를 따라 자른 단면도)는 도 2 또는 도 6에 도시된 바와 마찬가지로 형성될 수 있다. 도 7 내지 9에 도시된 바와 같이, 게이트 전극은 다양한 다각형 형상으로 패터닝될 수 있다. 예를 들어, 도 7에 도시된 바와 같이 반도체 기판(101) 상에 육각형 형상의 게이트 전극(250)을 형성하여 그 아래에 육각형 형상의 전하 트랩 영역(60)을 한정할 수도 있고, 도 8 및 9에 도시된 바와 같이, 8각형 또는 3각형 형상의 게이트 전극(350, 450)을 형성하여 그 아래에 8각형 또는 3각형 형상의 전하 트랩 영역(60)을 한정할 수도 있다.
- [0034] 각 다각형(6각형, 8각형 또는 3각형 등)의 꼭지점에 소스/드레인 영역(205, 305, 405)을 배치하고 각 꼭지점부에 전하를 선택적으로 저장함으로써 0 또는 1의 저장 상태를 구분하여 각 꼭지점부마다 1개 비트를 저장할 수 있다. 따라서, 도 7에 도시된 6각형의 게이트 모양의 경우 단위셀당 총 6비트의 데이터 저장이 가능하고, 도 8에 도시된 8각형의 게이트 모양의 경우 단위셀당 총 8비트의 데이터 저장이 가능하며, 도 9에 도시된 3각형의 게이트 모양의 경우 단위셀당 총 3비트의 데이터 저장이 가능하다. 이러한 방식으로, 게이트의 평면 모양이 이루는 다각형의 꼭지점 수에 따라서 단위셀당 저장할 수 있는 비트의 수가 정해지는 새로운 형태의 고용량 고집적 비휘발성 메모리 소자가 구현된다.
- [0035] 상기한 멀티-레벨-셀 비휘발성 메모리 소자(도 1, 7~9 참조)는 기존의 횡적 축소과정에서 문제가 되었던 소자간 간섭 현상을 또한 함께 해결함으로써, 안정적인 멀티-레벨-셀 구현이 가능하고 생산 비용을 낮추며 동시에 현재

히 증가된 회로 집적도 효과를 가져올 수 있다.

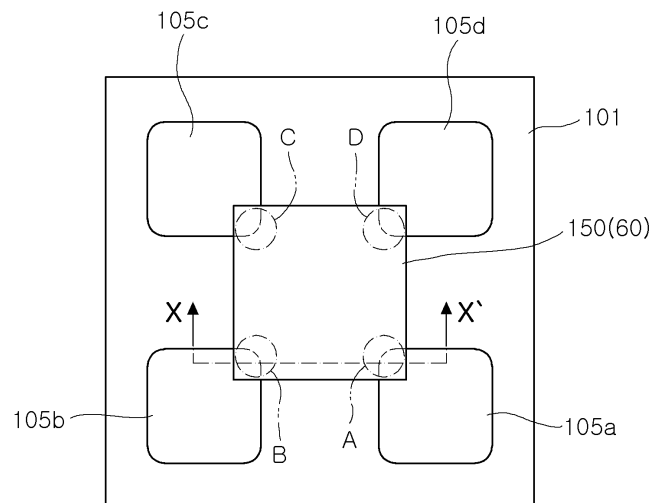
[0036] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되지 아니한다. 첨부된 청구범위에 의해 권리범위를 한정하고자 하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게 자명할 것이다.

도면의 간단한 설명

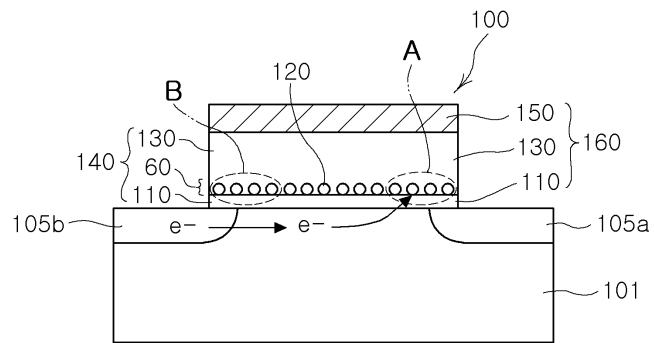
[0037] 도 1은 본 발명의 실시형태에 따른 멀티-레벨-셀 비휘발성 메모리 소자의 단위셀을 나타낸 평면도이다.
 [0038] 도 2는 도 1의 XX' 라인을 따라 자른 단면도이다.
 [0039] 도 3은 도 1의 비휘발성 메모리 소자의 3차원 입체 구조를 개략적으로 나타낸 사시도이다.
 [0040] 도 4는 본 발명의 실시형태에 따른 멀티-레벨-셀 비휘발성 메모리 소자의 전하 트랩 사이트로 사용되는 금속 나노닷을 나타낸 주사 전자 현미경(SEM) 사진이다.
 [0041] 도 5는 본 발명의 실시형태에 따라 전하의 지역화(localization)를 통해 4개 비트를 한개의 단위셀에 저장하는 방식을 설명하기 위한 모식도이다.
 [0042] 도 6은 본 발명의 다른 실시형태에 따른 멀티-레벨-셀 비휘발성 메모리 소자의 단면도이다.
 [0043] 도 7은 본 발명의 다른 실시형태에 따른 멀티-레벨-셀 비휘발성 메모리 소자의 단위셀을 나타낸 평면도이다.
 [0044] 도 8은 본 발명의 또 다른 실시형태에 따른 멀티-레벨-셀 비휘발성 메모리 소자의 단위셀을 나타낸 평면도이다.
 [0045] 도 9은 본 발명의 또 다른 실시형태에 따른 멀티-레벨-셀 비휘발성 메모리 소자의 단위셀을 나타낸 평면도이다.

도면

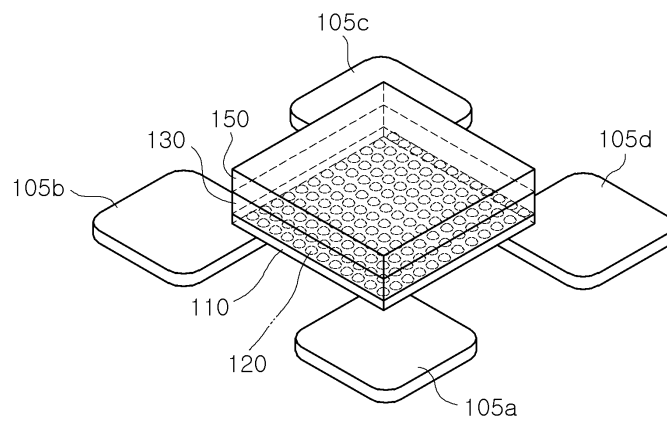
도면1



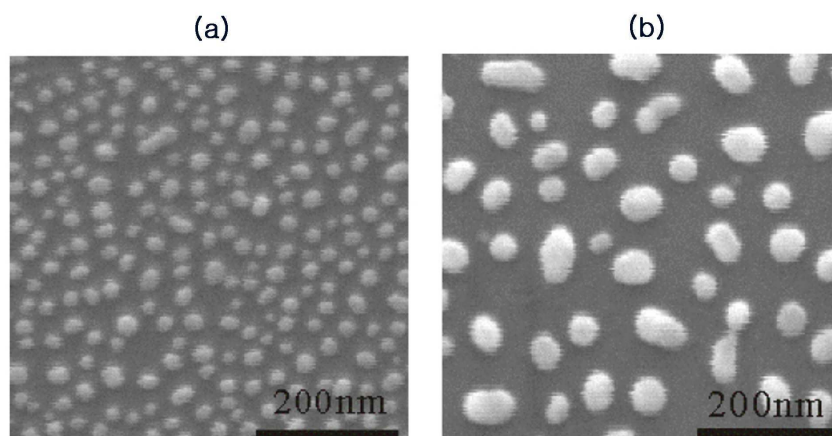
도면2



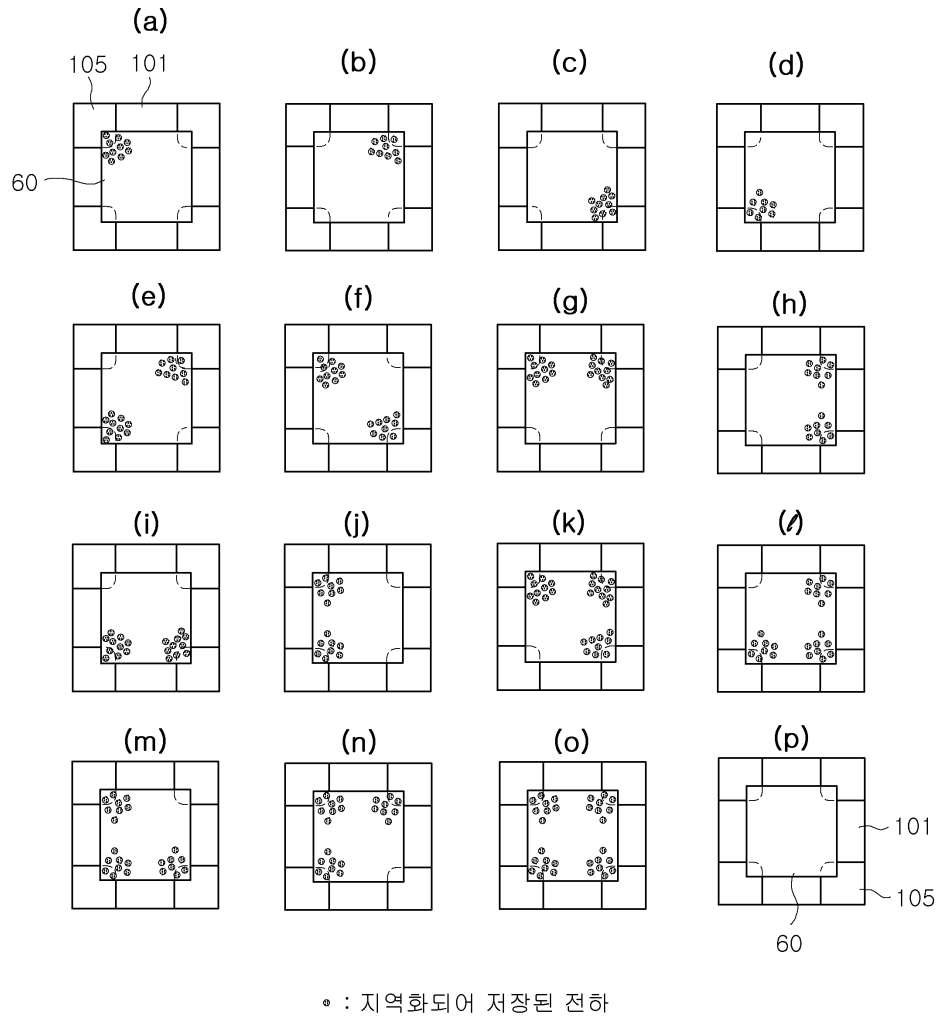
도면3



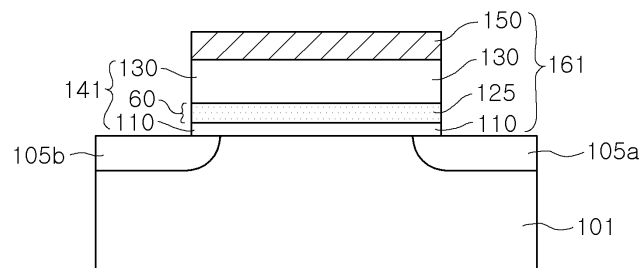
도면4



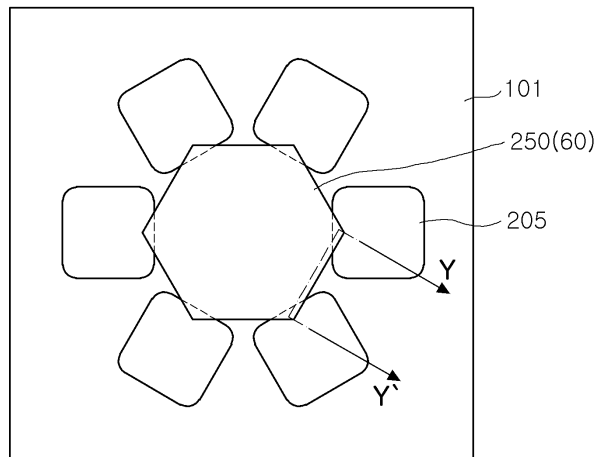
도면5



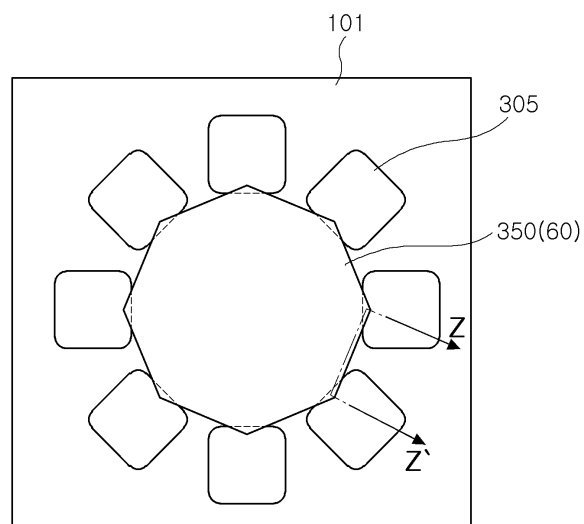
도면6



도면7



도면8



도면9

