



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0042864
(43) 공개일자 2011년04월27일

(51) Int. Cl.

H03M 1/10 (2006.01)

(21) 출원번호 10-2009-0099721

(22) 출원일자 2009년10월20일

심사청구일자 2009년10월20일

(71) 출원인

연세대학교 산학협력단

서울 서대문구 신촌동 134 연세대학교

(72) 발명자

강성호

서울특별시 종로구 무악동 82 현대아파트 109-140

(74) 대리인

송윤호, 오세준, 권혁수

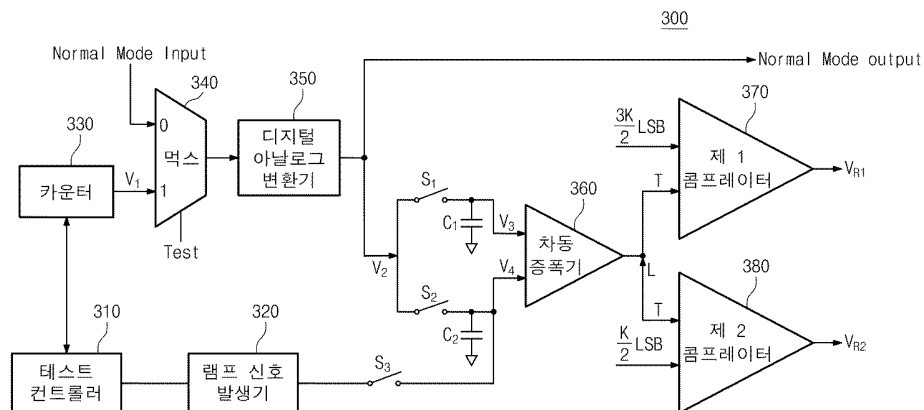
전체 청구항 수 : 총 17 항

(54) 디지털 아날로그 변환기의 내장 테스트 방법 및 회로

(57) 요약

디지털 아날로그 변환기의 내장 테스트 방법이 제공된다. 디지털 아날로그 변환기의 내장 테스트 방법은 디지털 아날로그 변환기의 출력 신호와, 시작 클럭에서 양의 값을 갖는 램프 신호의 차이에 해당하는 테스트 값을 구하여 오차 범위내에 있는지 검사하는 단계를 포함하되, 상기 테스트 값을 구하는 단계 및 오차 범위내에 있는지 검사하는 단계는 디지털 아날로그 변환기의 내부에서 수행될 수 있어, 고신뢰성, 저가격화 소형화에 최적화된 디지털 아날로그 변환기의 테스트 방법에 제공될 수 있다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호 2009-8-0068

부처명 지식경제부

연구관리전문기관

연구사업명 ITRC

연구과제명 IT SOC 설계 기술 연구

기여율

주관기관 연세대학교 산학협력단

연구기간 2009-01-01 ~ 2009-12-31

특허청구의 범위

청구항 1

디지털 아날로그 변환기의 출력 신호와, 시작 클럭에서 양의 값을 갖는 램프 신호의 차이에 해당하는 테스트 값을 구하는 단계; 및

상기 테스트 값이 오차 범위 내에 있는지 검사하는 단계를 포함하되,

상기 테스트 값을 구하는 단계 및 상기 오차 범위 내에 있는지 검사하는 단계는 상기 디지털 아날로그 변환기의 내부에서 수행되는 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 2

제1 항에 있어서,

상기 양의 값은 1 LSB 인 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 3

제1 항에 있어서,

상기 램프 신호의 기울기는 클럭당 1 LSB의 값을 갖는 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 4

제1 항에 있어서,

상기 테스트 값이 일정한 오차 범위 내에 있는지 검사하기 전,

상기 테스트 값을 증폭하는 단계를 더 포함하는 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 5

제4 항에 있어서,

상기 오차 범위가 $\pm A$ 인 경우, 상기 오차 범위 내에 있는지 검사하는 단계는 상기 테스트 값이 상기 $(1-A)*K$ LSB 보다 크고, $(1+A)*K$ LSB 보다 작은지 검사하는 단계를 포함하되,

상기 K는 실수이고, 상기 테스트 값의 증폭물인 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 6

제1 항에 있어서,

상기 테스트 값을 구하는 단계는, 제n-1 클럭의 상기 디지털 아날로그 변환기의 출력 값과 제n 클럭의 상기 디지털 아날로그 변환기의 출력 값의 차이에 해당하는 차동 비선형성 테스트 값을 구하는 단계를 포함하고,

상기 오차 범위 내에 있는지 검사하는 단계는, 상기 차동 비선형성 테스트 값이 상기 오차 범위 내에 있는지 검사하는 단계를 포함하되,

상기 n 은 정수인 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 7

제6 항에 있어서,

상기 차동 비선형성 테스트 값을 구하기 전,

상기 제n 클럭의 상기 디지털 아날로그 변환기의 출력 값을 저장하는 단계; 및

상기 제n-1 클럭의 상기 디지털 아날로그 변환기의 출력 값을 저장하는 단계를 더 포함하는 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 8

제7 항에 있어서,

상기 차동 비선형성 테스트 값을 증폭하는 단계를 더 포함하는 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 9

제8 항에 있어서,

상기 오차 범위가 $\pm A$ 인 경우, 상기 오차 범위 내에 있는지 검사하는 단계는 상기 차동 비선형성 테스트 값이 상기 $(1-A)*K$ LSB 보다 크고, $(1+A)*K$ LSB 보다 작은지 검사하는 단계를 포함하되,

상기 K는 실수이고, 상기 테스트 값의 증폭률인 디지털 아날로그 변환기의 내장 테스트 방법.

청구항 10

시작 클럭에서 양의 값을 갖는 램프 신호를 발생하는 램프 신호 발생기;

제1 입력 신호를 발생하는 카운터;

제1 입력 신호를 제1 출력 신호로 변환하는 디지털 아날로그 변환기;

상기 램프 신호 및 상기 제1 출력 신호의 차이에 해당하는 테스트 값을 구하는 차동 증폭기를 포함하되,

상기 램프 신호 발생기, 상기 카운터 및 상기 차동 증폭기는 상기 디지털 아날로그 변환기에 내장되는 디지털 아날로그 변환기의 내장 테스트 회로.

청구항 11

제10 항에 있어서,

상기 양의 값은 1 LSB 인 디지털 아날로그 변환기의 내장 테스트 회로.

청구항 12

제10 항에 있어서,

상기 램프 신호의 기울기는 클럭당 1 LSB의 값을 갖는 디지털 아날로그 변환기의 내장 테스트 회로.

청구항 13

제12 항에 있어서,

상기 차동 증폭기는 상기 테스트 값을 K배 증폭하되, 상기 k는 실수인 디지털 아날로그 변환기의 내장 테스트 회로.

청구항 14

제13 항에 있어서,

상기 테스트 값과 상한 오차 값의 차이를 구하는 제1 콤프레이터; 및

상기 테스트 값과 하한 오차 값의 차이를 구하는 제2 콤프레이터를 더 포함하되,

상기 테스트 값의 오차 범위가 $\pm A$ LSB 인 경우, 상기 상한 오차 값은 $(1-A)*K$ LSB 이고, 상기 하한 오차 값은 $(1+A)*K$ LSB 인 디지털 아날로그 변환기의 내장 테스트 회로.

청구항 15

제14 항에 있어서,

상기 카운터는 제2 입력 신호를 발생하고, 상기 디지털 아날로그 변환기는 상기 제2 입력 신호를 제2 출력 신호로 변환하고,

상기 차동 증폭기는 제 $n-1$ 클럭의 상기 디지털 아날로그 변환기의 제2 출력 신호와 제 n 클럭의 상기 디지털 아

날로그 변환기의 제2 출력 신호의 차이에 해당하는 차동 비선형성 테스트 값을 구하고,

상기 제1 콤프레이터는 상기 차동 비선형성 테스트 값과 상기 상한 오차 값의 차이를 구하고, 상기 제2 콤프레이터는 상기 차동 비선형성 테스트 값과 상기 하한 오차값을 구하되,

상기 n 은 정수인 디지털 아날로그 변환기의 내장 테스트 회로.

청구항 16

제15 항에 있어서,

상기 디지털 아날로그 변환기의 내장 테스트 회로는,

상기 제n 클럭의 상기 디지털 아날로그 변환기의 상기 제2 출력 신호를 저장하는 제1 커패시터;

상기 제n-1 클럭의 상기 디지털 아날로그 변환기의 상기 제2 출력 신호를 저장하는 제2 커패시터를 더 포함하는 디지털 아날로그 변환기의 내장 테스트 회로.

청구항 17

제16 항에 있어서,

상기 디지털 아날로그 변환기의 내장 테스트 회로는,

상기 제1 커패시터와 상기 디지털 아날로그 변환기를 연결하고, 상기 제n-1 클럭 동안 닫혀 있는 제1 스위치; 및

상기 제2 커패시터와 상기 디지털 아날로그 변환기를 연결하고, 상기 제n 클럭 동안 닫혀 있는 제2 스위치를 더 포함하는 디지털 아날로그 변환기의 내장 테스트 회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 디지털 아날로그 변환기의 내장 테스트 방법에 관한 것이다. 본 발명은 정보 통신 연구 진흥원의 IT SOC 설계 연구 기술 사업의 일환으로 수행한 연구로부터 도출된 것이다. [과제 관리 번호: 2009-8-0068, 과제명: IT SOC 설계 기술 연구]

배경 기술

[0002] 마이크로 프로세스 또는 ASIC과 같은 주문형 집적회로(Application Specific Integrated Circuit) 등의 디지털 디바이스를 구성하는 데 있어서, 아날로그 디지털 변환기 또는 디지털 아날로그 변환기가 개발되었다. 일반적으로 디지털 아날로그 변환기는 예를 들어, 마이크로 프로세스에서 처리된 디지털 신호를 디스플레이를 통하여 외부에 표시될 수 있도록, 아날로그 신호로 변환하는 장치이다.

[0003] 디지털 아날로그 변환기를 포함하는 전자 기기에서, 디지털 아날로그 변환기는 전자 기기의 품질을 결정하는 주요 구성이다. 특히, 최근 디지털 가전 제품 및 휴대용 기기들에 대한 수요의 증가와 함께 고성능의 디지털 아날로그 변환기에 대한 관심이 높아지고 있다.

[0004] 고성능 및 고신뢰성을 갖는 디지털 아날로그 변환기에 대한 관심이 높아지고, 디지털 아날로그 변환기에 대한 수요가 증가함에 따라, 디지털 아날로그 변환기의 테스트 방법에 대한 관심이 집중되고 있다. 특히, 디지털 아날로그 변환기의 테스트에서 노이즈에 의한 오차를 줄이는 방안 또는 복잡한 디지털 아날로그 변환기의 테스트 방법을 간소화하기 위한 많은 연구들이 진행 중이다.

발명의 내용

해결하고자 하는 과제

[0005] 본 발명이 이루고자 하는 일 기술적 과제는 소형화에 최적화된 디지털 아날로그 변환기의 내장 테스트 방법 및

회로를 제공하는 데 있다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 고신뢰성을 갖는 디지털 아날로그 변환기의 내장 테스트 방법 및 회로를 제공하는 데 있다.

과제 해결수단

- [0007] 상기 기술적 과제를 달성하기 위해, 본 발명은 디지털 아날로그 변환기의 내장 테스트 방법을 제공한다. 디지털 아날로그 변환기의 출력 신호와, 시작 클럭에서 양의 값을 갖는 램프 신호의 차이에 해당하는 테스트 값을 구하는 단계 및 상기 테스트 값이 오차 범위 내에 있는지 검사하는 단계를 포함하되, 상기 테스트 값을 구하는 단계 및 상기 오차 범위 내에 있는지 검사하는 단계는 상기 디지털 아날로그 변환기의 내부에서 수행된다.
- [0008] 상기 양의 값은 1 LSB 일 수 있다.
- [0009] 상기 램프 신호의 기울기는 클럭당 1 LSB의 값을 가질 수 있다.
- [0010] 상기 디지털 아날로그 변환기의 내장 테스트 방법은 상기 테스트 값이 일정한 오차 범위 내에 있는지 검사하기 전, 상기 테스트 값을 증폭하는 단계를 더 포함할 수 있다.
- [0011] 상기 오차 범위가 $\pm A$ 인 경우, 상기 오차 범위 내에 있는지 검사하는 단계는 상기 테스트 값이 상기 $(1-A)*K$ LSB 보다 크고, $(1+A)*K$ LSB 보다 작은지 검사하는 단계를 포함하되, 상기 K 는 실수이고, 상기 테스트 값의 증폭률일 수 있다.
- [0012] 상기 테스트 값을 구하는 단계는, 제 $n-1$ 클럭의 상기 디지털 아날로그 변환기의 출력 값과 제 n 클럭의 상기 디지털 아날로그 변환기의 출력 값의 차이에 해당하는 차동 비선형성 테스트 값을 구하는 단계를 포함하고, 상기 오차 범위 내에 있는지 검사하는 단계는, 상기 차동 비선형성 테스트 값이 상기 오차 범위 내에 있는지 검사하는 단계를 포함하되, 상기 n 은 정수일 수 있다.
- [0013] 상기 디지털 아날로그 변환기의 내장 테스트 방법은 상기 차동 비선형성 테스트 값을 구하기 전, 상기 제 n 클럭의 상기 디지털 아날로그 변환기의 출력 값을 저장하는 단계 및 상기 제 $n-1$ 클럭의 상기 디지털 아날로그 변환기의 출력 값을 저장하는 단계를 더 포함할 수 있다.
- [0014] 상기 디지털 아날로그 변환기의 내장 테스트 방법은 상기 차동 비선형성 테스트 값을 증폭하는 단계를 더 포함할 수 있다.
- [0015] 상기 오차 범위가 $\pm A$ 인 경우, 상기 오차 범위 내에 있는지 검사하는 단계는 상기 차동 비선형성 테스트 값이 상기 $(1-A)*K$ LSB 보다 크고, $(1+A)*K$ LSB 보다 작은지 검사하는 단계를 포함하되, 상기 K 는 실수이고, 상기 테스트 값의 증폭률일 수 있다.
- [0016] 본 발명에 따른 디지털 아날로그 변환기의 내장 테스트 회로는 시작 클럭에서 양의 값을 갖는 램프 신호를 발생하는 램프 신호 발생기, 제1 입력 신호를 발생하는 카운터, 제1 입력 신호를 제1 출력 신호로 변환하는 디지털 아날로그 변환기, 상기 램프 신호 및 상기 제1 출력 신호의 차이에 해당하는 테스트 값을 구하는 차동 증폭기를 포함하되, 상기 램프 신호 발생기, 상기 카운터 및 상기 차동 증폭기는 상기 디지털 아날로그 변환기에 내장된다.
- [0017] 상기 양의 값은 1 LSB 일 수 있다.
- [0018] 상기 램프 신호의 기울기는 클럭당 1 LSB의 값을 가질 수 있다.
- [0019] 상기 차동 증폭기는 상기 테스트 값을 K 배 증폭하되, 상기 k 는 실수일 수 있다.
- [0020] 상기 디지털 아날로그 변환기의 내장 테스트 회로는 상기 테스트 값과 상한 오차 값의 차이를 구하는 제1 콤프레이터 및 상기 테스트 값과 하한 오차 값의 차이를 구하는 제2 콤프레이터를 더 포함하되, 상기 상한 오차 값은 $(1-A)*K$ LSB 이고, 상기 하한 오차 값은 $(1+A)*K$ LSB 일 수 있다.
- [0021] 상기 카운터는 제2 입력 신호를 발생하고, 상기 디지털 아날로그 변환기는 상기 제2 입력 신호를 제2 출력 신호로 변환하고, 상기 차동 증폭기는 제 $n-1$ 클럭의 상기 디지털 아날로그 변환기의 제2 출력 신호와 제 n 클럭의 상기 디지털 아날로그 변환기의 제2 출력 신호의 차이에 해당하는 차동 비선형성 테스트 값을 구하고, 상기 제1 콤프레이터는 상기 차동 비선형성 테스트 값과 상기 상한 오차 값의 차이를 구하고, 상기 제2 콤프레이터는 상기 차동 비선형성 테스트 값과 상기 하한 오차값을 구하되, 상기 n 은 정수일 수 있다.

[0022] 상기 디지털 아날로그 변환기의 내장 테스트 회로는, 상기 제 n 클럭의 상기 디지털 아날로그 변환기의 상기 제2 출력 신호를 저장하는 제1 커패시터, 상기 제 $n-1$ 클럭의 상기 디지털 아날로그 변환기의 상기 제2 출력 신호를 저장하는 제2 커패시터를 더 포함할 수 있다.

[0023] 상기 디지털 아날로그 변환기의 내장 테스트 회로는, 상기 제1 커패시터와 상기 디지털 아날로그 변환기를 연결하고, 상기 제 $n-1$ 클럭 동안 닫혀 있는 제1 스위치 및 상기 제2 커패시터와 상기 디지털 아날로그 변환기를 연결하고, 상기 제 n 클럭 동안 닫혀 있는 제2 스위치를 더 포함할 수 있다.

효 과

[0024] 본 발명의 실시 예에 따르면, 디지털 아날로그 변환기를 테스트함에 있어서, 시작 클럭에서 양의 값을 갖는 램프 신호를 사용함으로써, 참조 값이 줄어들어 간소화된 방법으로 디지털 아날로그 변환기를 테스트할 수 있고, 고신뢰성을 갖는 디지털 아날로그 변환기의 내장 테스트 방법 및 회로를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해 질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 또한, 실시 예에 따른 것이기 때문에, 설명의 순서에 따라 제시되는 참조 부호는 그 순서에 반드시 한정되지는 않는다.

[0026] 본 발명에 따른 디지털 아날로그 변환기의 내장 테스트 방법이 설명된다.

[0027] 디지털 아날로그 변환기에서, 차동 비선형성(수학식 1) 누적 비선형성(수학식2)을 테스트하기 위한 식은 아래와 같이 표현될 수 있다.

수학식 1

$$\frac{1}{2} LSB < V_{real}(n) - V_{real}(n-1) < \frac{3}{2} LSB$$

[0028]

수학식 2

$$-\frac{1}{2} LSB < V_{ideal}(n) - V_{real}(n) < \frac{1}{2} LSB$$

[0029]

[0030] 여기서, 오차는 $\pm 1/2$ LSB 이고, V_{real} 은 테스트의 대상이 되는 디지털 아날로그 변환기의 출력 값을 나타내고, V_{ideal} 은 이상적인 디지털 아날로그 변환기의 출력 값을 나타내고, N 은 마지막 클럭을 나타내고, n 은 클럭을 나타낸다.

[0031] 상기 수학식2 에서, n 이 '0'인 경우, 오프셋이 테스트될 수 있고, n 이 'N'인 경우, 게인이 테스트될 수 있다. 따라서, 상기 수학식 1 및 수학식 2에 의해 디지털 아날로그 변환기의 정적 파라미터가 테스트될 수 있다.

[0032] 상기 수학식 2에서, 양변에 $V_{ideal}(1)$ 값(1 LSB)을 더하여 정리하면, 누적 비선형성, 오프셋 및 게인을 테스트하기 위한 식은 아래의 수학식 3으로 표현될 수 있다.

수학식 3

$$\frac{1}{2} LSB < V_{ideal}(n+1) - V_{real}(n) < \frac{3}{2} LSB$$

[0033]

[0034] 따라서, 상기 수학식 1 및 상기 수학식 3에 의해 디지털 아날로그 변환기의 정적 파라미터가 테스트될 수 있다. 상기 수학식 1 및 상기 수학식 3을 검토하면, 오차를 $\pm 1/2$ LSB로 하는 경우, $1/2$ LSB 및 $3/2$ LSB 의 참조 값만

으로 디지털 아날로그 변환기의 정적 파라미터가 테스트될 수 있다. $V_{ideal}(n+1)$ 의 값은 시작 클럭(제0 클럭)에서 1 LSB 를 갖는 램프신호로 나타내어질 수 있다. 따라서, 시작 클럭에서 1LSB 를 갖는 램프 신호와 실제 디지털 아날로그 변환기의 출력 값의 차이를 구하여, 디지털 아날로그 변환기의 정적 파라미터가 테스트될 수 있다.

- [0035] 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법이 설명된다. 도 1 은 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법 및 회로를 설명하기 위한 도면이다.
- [0036] 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법은 상기 수학식 3에 기초하여, 디지털 아날로그 변환기를 테스트하기 위한 방법일 수 있다.
- [0037] 도 1 을 참조하면, S110 단계에서는 디지털 아날로그 변환기의 출력 신호와 시작 클럭에서 1LSB 를 갖는 램프 신호의 차이에 해당하는 테스트 값이 구해질 수 있다. 상기 램프 신호의 기울기는 클럭당 1 LSB의 값을 가질 수 있다. S120 단계에서는 상기 테스트 값이 K 배 증폭될 수 있다. 상기 K는 실수 일 수 있다. S130 단계에서는 K 배 증폭된 상기 테스트 값이 오차 범위 내에 있는지 검사될 수 있다. 예를 들어, 오차 허용 범위가 $\pm A$ LSB 인 경우, K 배 증폭된 상기 테스트 값이 $(1-A)*K$ LSB 이상 $(1+A)*K$ LSB 이하에 있는지 검사될 수 있다. 상기 A 는 실수 일 수 있다. 본 발명의 일 실시 예에 따르면, 제0 클럭에서 상기 테스트 값을 검사하여 디지털 아날로그 변환기의 오프셋을 테스트할 수 있고, 마지막 클럭에서 상기 테스트 값을 검사하여 디지털 아날로그 변환기의 게인을 테스트할 수 있다.
- [0038] 도 1 을 참조하여 설명된 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법은 디지털 아날로그 변환기 내부에서 수행되어 질 수 있다.
- [0039] 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로가 설명된다. 도 2 는 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로를 설명하기 위한 도면이다.
- [0040] 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로는 도 1 을 참조하여 설명된 디지털 아날로그 변환기의 내장 테스트 방법을 구현하기 위한 것일 수 있다.
- [0041] 도 2 를 참조하면, 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 테스트 회로(100)는 디지털 아날로그 변환기(110), 램프 신호 발생기(120), 차동 증폭기(130), 제1 및 제2 콤프레이터(140, 150)를 포함할 수 있다.
- [0042] 입력 신호(V1)가 디지털 아날로그 변환기(110)로 입력될 수 있다. 입력 신호(V1)을 입력받는 디지털 아날로그 변환기(110)는 출력 신호(V2)를 출력할 수 있다. 램프 신호 발생기(120)에서 램프 신호(L)가 발생될 수 있다. 램프 신호(L)는 시작 클럭(제0 클럭)에서 양의 값을 가질 수 있다. 예를 들어, 상기 양의 값은 1LSB 일 수 있다. 램프 신호(L)의 기울기는 클럭당 1LSB일 수 있다.
- [0043] 램프 신호(L) 및 출력 신호(V2)는 차동 증폭기(130)로 입력될 수 있다. 차동 증폭기(130)는 램프 신호(L) 및 출력 신호(V2)의 차이에 해당하는 테스트 값을 구하여 증폭시킬 수 있다. 차동 증폭기(130)는 테스트 값을 K 배 증폭시킬 수 있다. 상기 K는 실수 일 수 있다.
- [0044] 증폭된 테스트 값(T)은 제1 콤프레이터(140) 및 제2 콤프레이터(150)로 입력될 수 있다. 제1 콤프레이터(140) 및 제2 콤프레이터(150)는 증폭된 테스트 값(T)이 허용된 오차 범위 내에 있는지 검사할 수 있다. 예를 들어, 오차의 허용 범위가 $\pm 1/2$ LSB 인 경우, 제1 콤프레이터(140)로 상한 오차 값($3K/2$ LSB)이 입력되고, 제2 콤프레이터(150)로 하한 오차 값($K/2$ LSB)이 입력될 수 있다. 제1 콤프레이터(140)는 상한 오차 값과 증폭된 테스트 값(T)의 차이를 구하여, 제1 결과 값(VR1)을 출력할 수 있다. 제2 콤프레이터(150)에서 하한 오차 값과 증폭된 테스트 값(T)의 차이를 구하여 제2 결과 값(VR2)을 출력할 수 있다. 제1 결과 값(VR1) 및 제2 결과 값(VR2)을 판단하여, 디지털 아날로그 변환기(110)의 테스트가 수행될 수 있다. 한 클럭동안, 램프 신호(L)는 일정하게 증가하지만, 출력 신호(V2)는 일정할 수 있다. 출력 신호(V2)는 클럭에 동기하여 일정하게 증가할 수 있다. 따라서, 제1 결과 값(VR1) 및 제2 결과 값(VR2)은 클럭 동안 증가하다가, 클럭에 동기하여 감소되는 모양을 가질 수 있다.
- [0045] 도면에 도시된 바와는 달리, 램프 신호 발생기(120), 차동 증폭기(130), 제1 및 제2 콤프레이터(140, 150)는 디지털 아날로그 변환기(110)에 내장될 수 있다.
- [0046] 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법이 설명된다. 도 3 은 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법을 설명하기 위한 도면이다.

- [0047] 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법은 상기 수학적 식 1에 기초하여, 디지털 아날로그 변환기를 테스트하기 위한 방법일 수 있다.
- [0048] 도 3 을 참조하면, S210 단계에서는 제 $n-1$ 클럭의 디지털 아날로그 변환기의 출력 값이 출력되어 저장될 수 있다. S220 단계에서는 제 n 클럭의 디지털 아날로그 변환기의 출력 값이 출력되어 저장될 수 있다. S230 단계에서는 저장된 상기 제 $n-1$ 클럭의 디지털 아날로그 변환기의 출력 값과 상기 제 n 클럭의 디지털 아날로그 변환기의 출력 값의 차이가 구해질 수 있다. 상기 n 은 정수일 수 있다. S240 단계에서는 상기 차이 값이 K 배 증폭될 수 있다. 상기 K 는 실수 일 수 있다. S250 단계에서는 상기 차이값이 오차 범위 내에 있는지 검사될 수 있다. 예를 들어, 오차 허용 범위가 $\pm A$ LSB 인 경우, K 배 증폭된 상기 테스트 값이 $(1-A)*K$ LSB 이상 $(1+A)*K$ LSB 이하에 있는지 검사될 수 있다. 상기 A 는 실수 일 수 있다.
- [0049] 도 3 을 참조하여 설명된 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법은 상기 디지털 아날로그 변환기 내부에서 수행될 수 있다.
- [0050] 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로가 설명된다. 도 4 는 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로를 설명하기 위한 도면이다.
- [0051] 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로는 도 3 을 참조하여 설명된 디지털 아날로그 변환기의 내장 테스트 방법을 구현하기 위한 것일 수 있다.
- [0052] 도 4 를 참조하면, 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로(200)는 디지털 아날로그 변환기(210), 제1 스위치(S1), 제2 스위치(S2), 제1 커패시터(C1), 제2 커패시터(C2), 차동 증폭기(230), 제1 및 제2 콤프레이터(240, 250)를 포함할 수 있다.
- [0053] 입력 신호(V1)가 디지털 아날로그 변환기(210)로 입력될 수 있다. 디지털 아날로그 변환기(210)는 입력 신호(V1)를 변환하여 출력할 수 있다. 변환된 입력 신호는 제1 스위치(S1) 및 제2 스위치(S2)를 조절하여, 클럭 단위로 제1 커패시터(C1) 및 제2 커패시터(C2)에 저장될 수 있다. 예를 들어, 제 $n-1$ 클럭에서 제 n 클럭 까지 제1 스위치(S1)은 닫히고, 제2 스위치(S2)는 열릴 수 있다. 제 $n-1$ 클럭의 디지털 아날로그의 출력 값(V_{n-1})은 제1 커패시터(C1)에 저장될 수 있다. 제 n 클럭에서 제 $n+1$ 클럭까지 제1 스위치(S1)은 열리고, 제2 스위치(S2)는 닫힐 수 있다. 제 n 클럭의 디지털 아날로그의 출력 값(V_n)은 제2 커패시터(C2)에 저장될 수 있다.
- [0054] 제 n 클럭의 디지털 아날로그 변환기의 출력 값(V_{n-1}) 및 제 $n-1$ 클럭의 디지털 아날로그 변환기의 출력 값(V_n)은 차동 증폭기(230)로 입력될 수 있다. 차동 증폭기(230)는 제 n 클럭의 디지털 아날로그 변환기의 출력 값(V_{n-1})과 제 $n-1$ 클럭의 디지털 아날로그 변환기의 출력 값(V_m-1)의 차이에 해당하는 차동 비선형성 테스트 값을 구할 수 있다. 차동 증폭기(230)는 상기 차동 비선형성 테스트 값을 K 배 증폭시킬 수 있다. 상기 K 는 실수 일 수 있다.
- [0055] 증폭된 차동 비선형성 테스트 값(T)은 제1 콤프레이터(240) 및 제2 콤프레이터(250)로 입력될 수 있다. 증폭된 차동 비선형성 테스트 값(T)은 제1 콤프레이터(240) 및 제2 콤프레이터(250)로 입력되어, 오차 범위 내에 있는지 테스트될 수 있다. 예를 들어, 오차 범위가 $\pm 1/2$ 인 경우, 제1 콤프레이터(240)로 상한 오차 값($3K/2$ LSB)가 입력되고, 제2 콤프레이터(250)로 하한 오차 값($K/2$ LSB)가 입력될 수 있다. 제1 콤프레이터(240)는 증폭된 차동 비선형성 테스트 값(T)과 상한 오차 값의 차이를 구하여 제1 결과 값(VR1)을 출력할 수 있다. 제2 콤프레이터(250)는 증폭된 차동 비선형성 테스트 값(T)과 하한 오차 값의 차이를 구하여, 제2 결과 값(VR2)을 출력할 수 있다. 제1 결과 값(VR1) 및 제2 결과 값(VR2)을 판단하여, 디지털 아날로그 변환기(110)의 테스트가 수행될 수 있다.
- [0056] 도면에 도시된 바와는 달리, 제1 스위치(S1), 제2 스위치(S2), 제1 커패시터(C1), 제2 커패시터(C2), 차동 증폭기(230), 제1 및 제2 콤프레이터(240, 250)는 디지털 아날로그 변환기(210)에 내장될 수 있다.
- [0057] 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법이 설명된다. 도 5 는 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법을 설명하기 위한 도면이다.
- [0058] 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법은 상기 수학적 식 1 및 상기 수학적 식 3에 기초하여 디지털 아날로그 변환기를 테스트하기 위한 것일 수 있다.
- [0059] 도 5 를 참조하면, S300 단계에서는 테스트 모드를 선택 여부가 선택될 수 있다. 상기 테스트 모드가 선택되는 경우, 디지털 아날로그 변환기가 테스트될 수 있고, 상기 테스트 모드가 선택되지 않는 경우, S302 단계에서는

상기 디지털 아날로그 변환기로 normal 모드의 입력(input)이 상기 디지털 아날로그 변환기로 입력되고, S304 단계에서는 상기 디지털 아날로그 변환기는 normal 모드의 신호를 출력할 수 있다.

- [0060] S300 단계에서 테스트 모드가 선택되는 경우, S310 단계에서 제1 테스트 모드 및 제2 테스트 모드 중에서 상기 제1 테스트 모드의 선택 여부가 결정될 수 있다. 상기 제1 테스트 모드는 상기 수학적 식 3에 기초한 디지털 아날로그 변환기의 테스트일 수 있고, 상기 제2 테스트 모드는 상기 수학적 식 1에 기초한 디지털 아날로그 변환기의 테스트일 수 있다.
- [0061] 상기 제1 테스트 모드가 선택된 경우, S320 단계에서 디지털 아날로그 변환기의 출력 신호와 시작 클럭에서 1LSB 를 갖는 램프 신호의 차이가 구해질 수 있다. 상기 차이는 테스트 값일 수 있다.
- [0062] 상기 제2 테스트 모드가 선택된 경우, S332 단계에서 제n-1 클럭의 디지털 아날로그 변환기의 출력 값이 저장될 수 있다. S334 단계에서 제n 클럭의 디지털 아날로그 변환기의 출력 값이 저장될 수 있다. S336 단계에서, 상기 제n-1 클럭의 디지털 아날로그 변환기의 출력 값과 상기 제n 클럭의 디지털 아날로그 변환기의 출력 값의 차이가 구해질 수 있다. 상기 차이는 차동 비선형성 테스트 값일 수 있다.
- [0063] S340 단계에서는, 상기 제1 테스트 모드가 S310 단계에서 선택된 경우, 상기 테스트 값이 증폭될 수 있다. 이와는 달리, 상기 제2 테스트 모드가 S310 단계에서 선택된 경우, 상기 차동 비선형성 테스트 값이 증폭될 수 있다. S350 단계에서는 증폭된 상기 테스트 값 또는 증폭된 상기 차동 비선형성 테스트 값이 오차 범위 내에 있는지 검사될 수 있다.
- [0064] 도 5 를 참조하여 설명된 디지털 아날로그 변환기의 내장 테스트 방법은 상기 디지털 아날로그 변환기의 내부에서 수행될 수 있다.
- [0065] 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로가 설명된다. 도 6 은 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로를 설명하기 위한 도면이다.
- [0066] 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로는 도 5 를 참조하여 설명된 디지털 아날로그 변환기의 내장 테스트 방법을 구현하기 위한 것일 수 있다.
- [0067] 도 6 을 참조하면, 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 테스트 회로(300)는 테스트 컨트롤러(310), 카운터(330), 믹스(340), 램프 신호 발생기(320), 제1 스위치(S1), 제2 스위치(S2), 제3 스위치(S3), 제1 커패시터(C1), 제2 커패시터(C2), 차동 증폭기(360), 제1 콤프레이터(370) 및 제2 콤프레이터(380)를 포함할 수 있다.
- [0068] 믹스(340)를 이용하여 디지털 아날로그 변환기(350)의 테스트 여부가 조절될 수 있다. Test 에 0이 입력되는 경우, 믹스(340) 신호 중 normal mode input을 디지털 아날로그 변환기(350)로 입력하고, 디지털 아날로그 변환기는 normal mode output 을 출력할 수 있다. Test에 1 이 입력된 경우, 디지털 아날로그 변환기(350)가 테스트될 수 있다.
- [0069] 테스트 컨트롤러(310)는 스위치들(S1~S3), 카운터(330) 및 램프 신호 발생기(320)를 조절하여, 디지털 아날로그 변환기(350)의 테스트 모드를 결정할 수 있다. 테스트 컨트롤러(310)는 제1 테스트 모드 및 제2 테스트 모드를 결정할 수 있다. 상기 제1 테스트 모드는 수학적 식 3에 기초하여 설명된 디지털 아날로그 변환기의 테스트 방법일 수 있다. 상기 제2 테스트 모드는 수학적 식 1에 기초하여 설명된 디지털 아날로그 변환기의 테스트 방법일 수 있다.
- [0070] 상기 제1 테스트 모드에 따른 디지털 아날로그 변환기(350)의 테스트가 설명된다.
- [0071] 테스트 컨트롤러(310)는 카운터(330)로 신호를 입력할 수 있다. 신호를 입력받는 카운터(330)는 입력 신호(V1)를 출력할 수 있다. 입력 신호(V1)는 믹스(340)를 통과하여 디지털 아날로그 변환기(350)로 입력될 수 있다. 디지털 아날로그 변환기(350)는 입력 신호(V1)를 변환하여 출력 신호(V2)를 출력할 수 있다. 제1 스위치(S1)는 닫히고, 제2 스위치(S2)는 열릴 수 있다. 출력 신호(V2)는 제1 스위치(S1) 및 제1 커패시터(C1)을 경유하여, 차동 증폭기(360)로 입력될 수 있다.
- [0072] 테스트 컨트롤러(310)는 램프 신호 발생기(320)로 신호를 입력할 수 있다. 신호를 입력받은 램프 신호 발생기(320)는 램프 신호(L)를 발생시킬 수 있다. 램프 신호(L)는 시작 클럭에서 양의 값을 가질 수 있다. 예를 들어, 상기 양의 값은 1LSB 일 수 있다. 램프 신호(L)의 기울기는 클럭당 1LSB 의 값을 가질 수 있다. 제3 스위치(S3)은 닫힐 수 있다. 램프 신호(L)는 제3 스위치(S3)을 경유하여, 차동 증폭기(360)로 입력될 수 있다. 차동 증

폭기(360)는 램프 신호(L)와 출력 신호(V2)의 차이에 해당하는 테스트 값을 구하여, 증폭시킬 수 있다. 예를 들어, 차동 증폭기(360)는 상기 테스트 값을 K 배 증폭시킬 수 있다.

[0073] 증폭된 테스트 값(T)은 제1 콤프레이터(370) 및 제2 콤프레이터(380)로 입력되어, 증폭된 테스트 값(T)이 오차 범위 내에 있는지 검사될 수 있다. 예를 들어, 오차 범위가 $\pm 1/2$ LSB 인 경우, 제1 콤프레이터(370)로 $3K/2$ LSB 가 입력되어 증폭된 테스트 값(T)의 오차 상한이 구해질 수 있고, 제2 콤프레이터(380)로 $K/2$ LSB 가 입력되어 증폭된 테스트 값(T)의 오차 하한이 구해질 수 있다.

[0074] 제1 콤프레이터(370)는 상한 오차 값과 증폭된 테스트 값(T)의 차이를 구하여, 제1 결과 값(VR1)을 출력할 수 있다. 제2 콤프레이터(380)은 하한 오차 값과 증폭된 테스트 값(T)의 차이를 구하여 제2 결과 값(VR2)을 출력할 수 있다. 제1 결과 값(VR1) 및 제2 결과 값(VR2)을 판단하여, 디지털 아날로그 변환기(350)의 제1 모드 테스트가 수행될 수 있다. 한 클럭동안, 램프 신호(L)는 일정하게 증가하지만, 출력 신호(V2)는 일정할 수 있다. 출력 신호(V2)는 클럭에 동기하여 일정하게 증가할 수 있다. 따라서, 제1 결과 값(VR1) 및 제2 결과 값(VR2)은 클럭 동안 증가하다가, 클럭에 동기하여 감소되는 모양을 가질 수 있다.

[0075] 상기 제2 테스트 모드에 따른 디지털 아날로그 변환기(350)의 테스트가 설명된다.

[0076] 테스트 컨트롤러(310)는 카운터(330)로 신호를 입력할 수 있다. 신호를 입력 받은 카운터(330)는 입력 신호(V1)를 출력할 수 있다. 입력 신호(V1)는 믹스(340)를 통과하여, 디지털 아날로그 변환기(350)로 입력될 수 있다. 디지털 아날로그 변환기(350)는 입력 신호(V1)를 변환하여 출력 신호(V2)를 출력할 수 있다. 출력 신호(V2)는 제1 스위치(S1) 및 제2 스위치(S2)를 조절하여, 클럭 단위로 제1 커패시터(C1) 및 제2 커패시터(C2)에 저장될 수 있다. 예를 들어, 제 n-1 클럭에서 제 n 클럭까지 제1 스위치(S1)은 제2 스위치(S2)는 열릴 수 있다. 제 n-1 클럭의 디지털 아날로그의 출력 값(V3)은 제1 커패시터(C1)에 저장될 수 있다. 제 n 클럭에서 제 n+1 클럭까지 제1 스위치(S1)은 열리고, 제2 스위치(S2)는 닫힐 수 있다. 제 n 클럭의 디지털 아날로그의 출력 값(V4)은 제2 커패시터(C2)에 저장될 수 있다. 이때, 테스트 컨트롤러(310)는 램프 신호 발생기(320)로 신호를 입력하지 않을 수 있다. 이와는 달리, 테스트 컨트롤러(310)가 램프 신호 발생기(320)로 신호를 입력하는 경우, 제3 스위치(S3)은 열릴 수 있다.

[0077] 제n 클럭의 디지털 아날로그 변환기의 출력 값(V4) 및 제n-1 클럭의 디지털 아날로그 변환기의 출력 값(V3)은 차동 증폭기(360)로 입력될 수 있다. 차동 증폭기(360)는 제n 클럭의 디지털 아날로그 변환기의 출력 값(V4)과 제n-1 클럭의 디지털 아날로그 변환기의 출력 값(V3)의 차이에 해당하는 차동 비선형성 테스트 값을 구할 수 있다. 차동 증폭기(360)는 상기 차동 비선형성 테스트 값을 K 배 증폭시킬 수 있다. 상기 K는 실수 일 수 있다.

[0078] 증폭된 차동 비선형성 테스트 값(T)은 제1 콤프레이터(370) 및 제2 콤프레이터(380)로 입력될 수 있다. 증폭된 차동 비선형성 테스트 값(T)은 제1 콤프레이터(370) 및 제2 콤프레이터(380)로 입력되어, 증폭된 차동 비선형성 테스트 값(T)이 오차 범위 내에 있는지 테스트될 수 있다. 예를 들어, 오차 범위가 $\pm 1/2$ LSB 인 경우, 제1 콤프레이터(370)로 상한 오차 값($3K/2$ LSB)가 입력되고, 제2 콤프레이터(380)로 하한 오차 값($K/2$ LSB)가 입력될 수 있다. 제1 콤프레이터(360)는 증폭된 차동 비선형성 테스트 값(T)과 상한 오차 값의 차이를 구하여 제1 결과 값(VR1)을 출력할 수 있다. 제2 콤프레이터(380)는 증폭된 차동 비선형성 테스트 값(T)과 하한 오차 값의 차이를 구하여, 제2 결과 값(VR2)을 출력할 수 있다. 제1 결과 값(VR1) 및 제2 결과 값(VR2)을 판단하여, 디지털 아날로그 변환기(350)의 테스트가 수행될 수 있다.

[0079] 도면에 도시된 바와는 달리, 테스트 컨트롤러(310), 카운터(330), 램프 신호 발생기(320), 믹스(340), 제1~3 스위치(S1~S3), 제1 커패시터(C1), 제2 커패시터(C2), 차동 증폭기(360), 제1 및 제2 콤프레이터(370, 380)는 디지털 아날로그 변환기(350)에 내장될 수 있다.

[0080] 본 발명의 실시 예들에 따르면, 오차 허용 범위의 상/하한선을 간단한 회로를 통해 동시에 테스트할 수 있어, 고성능 및 고직접화에 최적화된 디지털 아날로그 변환기를 제공할 수 있다. 또한, 오차 범위를 확인하기 위해 참조되는 신호의 수가 감소되어, 전력 소모를 줄여 친환경에 최적화된 디지털 아날로그 변환기의 내장 테스트 방법 및 회로가 제공될 수 있다.

도면의 간단한 설명

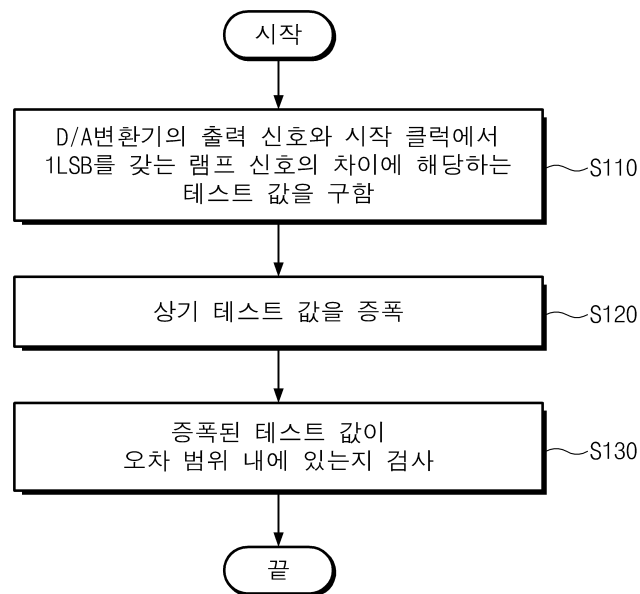
[0081] 도 1 은 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법을 설명하기 위한 도면이다.

[0082] 도 2 는 본 발명의 일 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로를 설명하기 위한 도면이다.

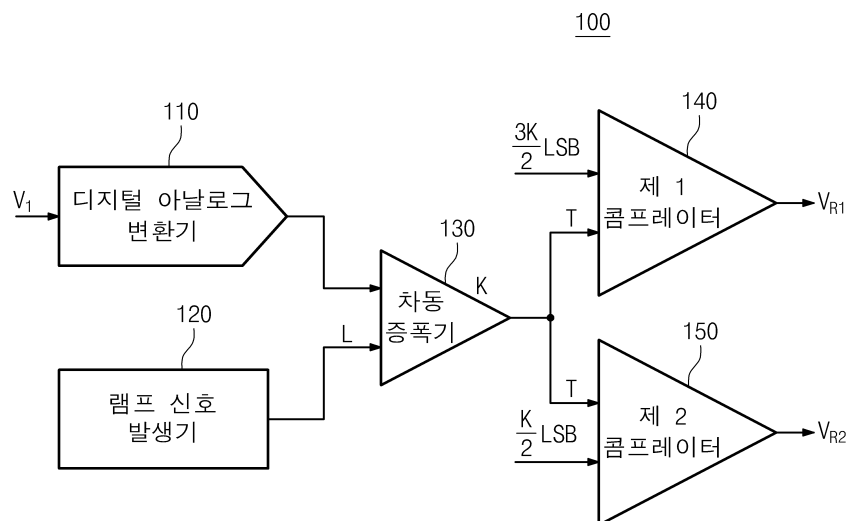
- [0083] 도 3 은 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법을 설명하기 위한 도면이다.
- [0084] 도 4 는 본 발명의 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로를 설명하기 위한 도면이다.
- [0085] 도 5 는 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 방법을 설명하기 위한 도면이다.
- [0086] 도 6 은 본 발명의 또 다른 실시 예에 따른 디지털 아날로그 변환기의 내장 테스트 회로를 설명하기 위한 도면이다.

도면

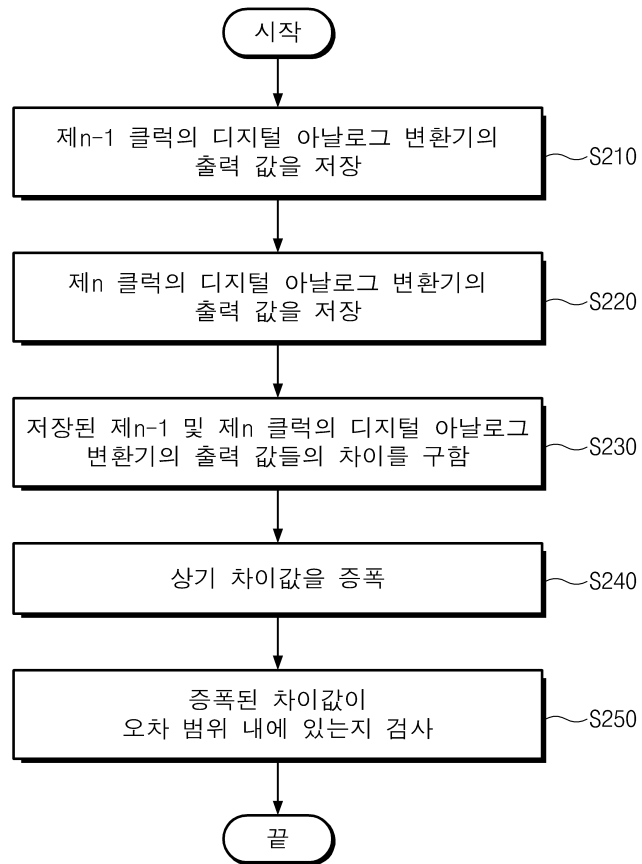
도면1



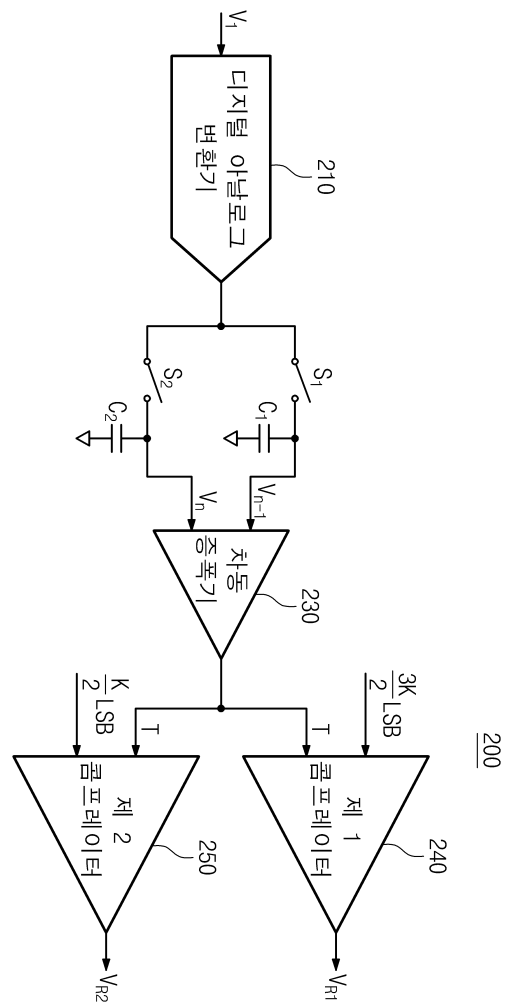
도면2



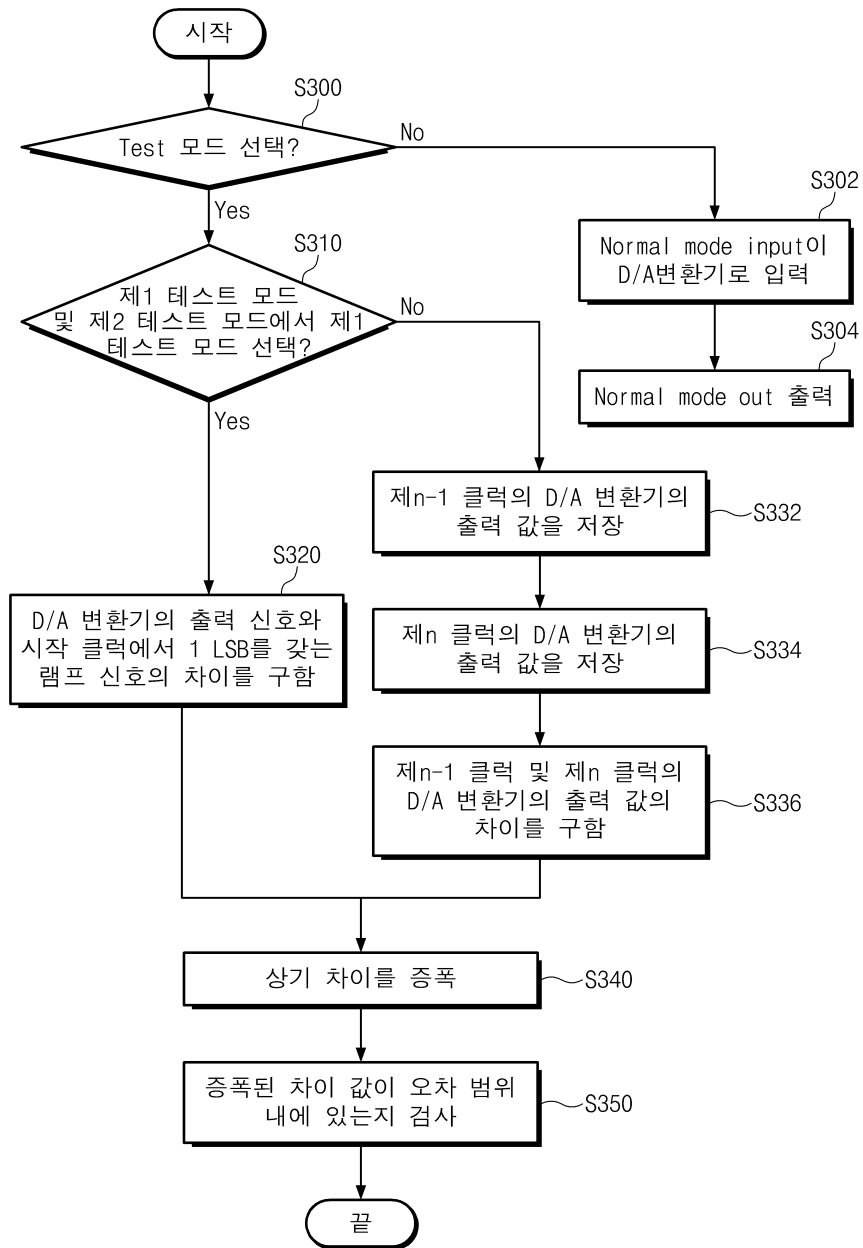
도면3



도면4



도면5



도면6

